

サブスレッショルド MOS 回路によるしきい論理システム

Threshold-logic systems consisting of subthreshold MOS circuits

小川太一 廣瀬哲也 浅井哲也 雨宮好仁

北海道大学 情報科学研究科

Ogawa Taichi Hirose Tetsuya Asai Tetsuya Amemiya Yoshihito

Department of Electrical Engineering, Hokkaido University

1 はじめに

近年の情報ネットワーク社会の進展にともない、ユビキタス情報環境の実現に向けて多種多様なインテリジェントセンサ LSI が要求されるようになった。これらのセンサ LSI は広い地域に分散配置され、限られたエネルギー源で長期間にわたり動作することが要求される。

このような低電力動作を実現するためには、MOS 論理回路をサブスレッショルド領域で動かす必要がある。本稿では、サブスレッショルド LSI の開発に向けて、高機能論理ゲートの一つ「しきい論理ゲート」を実現するサブスレッショルド MOS 回路を提案する。さらに、このゲートを用いたサブシステムの例として加算器を設計し、その動作をシミュレーション上で確認する。

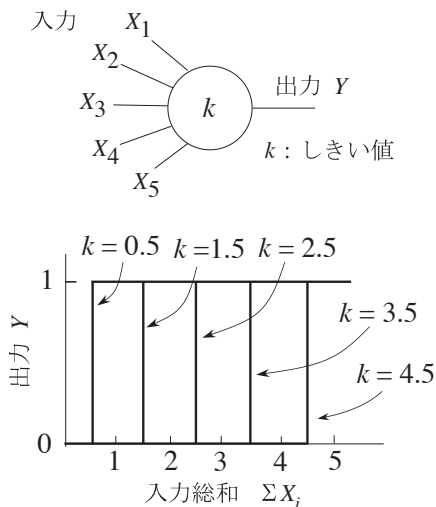


図 1: しきい論理ゲートの動作 (入出力は 1 か 0)。入力総和がしきい値 k より大きいと出力が 1。

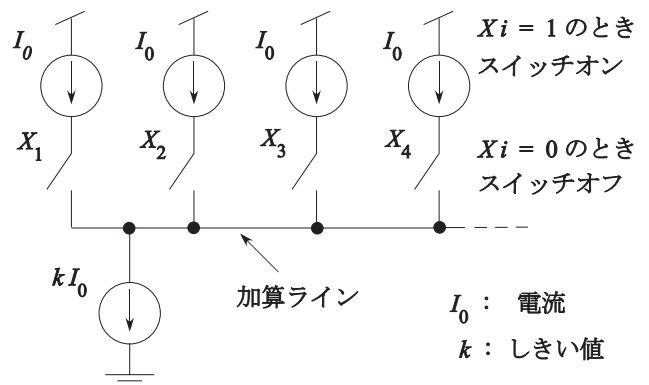


図 2: 電流加算による論理の実現

2 しきい論理とその回路化

しきい論理は、入力総和と与えられたしきい値の大小関係に応じて論理判定を行う方式である [1]。その単位ゲートを図 1 に示す。ゲートは複数の入力 (X_1, X_2, \dots) を有し、論理 1 の入力の合計数 $\sum X_i$ がしきい値 k を超えると論理 1 を出力する (それ以外ときは出力 0)。図 1 には 5 入力ゲートについて k をパラメータとしたときの伝達特性を示した。たとえば $k = 1.5$ のときは、論理 1 の入力の合計数が 2 以上になると出力が 1 となる。なお、入力数が奇数 N でしきい値が $k = N/2$ の場合 (図では $k = 2.5$ のとき) を特に多数決ゲートという。しきい論理は、普通のデジタル演算だけでなく、画像処理の近傍演算・セルオートマトン演算・ニューラルネットワークのしきい演算等にも容易に対応できる機能的な論理方式である。

このようなしきい論理の動作を回路化するた

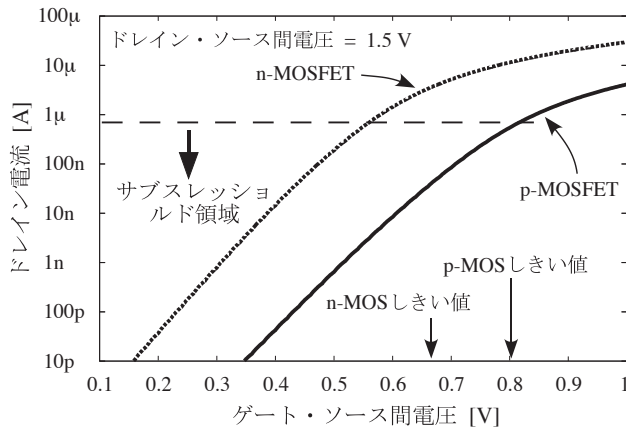


図 3: MOSFET の伝達特性とサブスレッショルド動作 ($W/L=1\mu\text{m}/0.35\mu\text{m}$)

め、図 2 に示す電流加算の方法を考えた。入力数だけの電流源を用意し、加算ラインに流れ込む電流 I_0 を入力 X_i の 1-0 によってオン-オフする ($X_i=1$ でオン、 $X_i=0$ でオフ)。同時に加算ラインから、しきい電流 $k I_0$ を流し出す。加算ラインに流入する正味の電流は $(\sum X_i - k) I_0$ である。論理 1 の入力数がしきい値より大きいとき、加算ラインの電位が上がって出力が 1 となる。論理 1 の入力数がしきい値より小さいときには、加算ラインの電位が下がって出力が 0 となる。

3 サブスレッショルド電源回路

サブスレッショルド領域とは、MOSFET のゲート電圧がしきい値電圧より低い領域のことをいう [2]。図 3 に MOSFET の伝達特性を示す ($0.35\mu\text{m}$ -CMOS デバイスの例)。この例では、およそ電流 $1\mu\text{A}$ 以下がサブスレッショルド領域である。本研究では回路内の各 MOSFET を電流 1-100 nA の範囲で動作させる。MOS 回路をこの電流領域で動かすために、供給電圧をシリーズレギュレータで低い値に調節することを考えた。

シリーズレギュレータを用いたサブスレッショルド電源回路の一例を 図 4 に示す [3]。電源電圧 V_{ss} を M6 で降下させて低い供給電圧 V_{dd} をつくる。M4 と M5 は、しきい論理ゲート (後述) に流れる電流を模擬するモニタである。この電源回路は

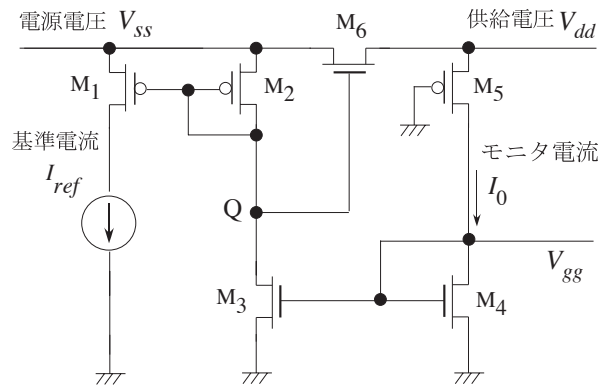


図 4: サブスレッショルド電源回路 (n-MOS 型)

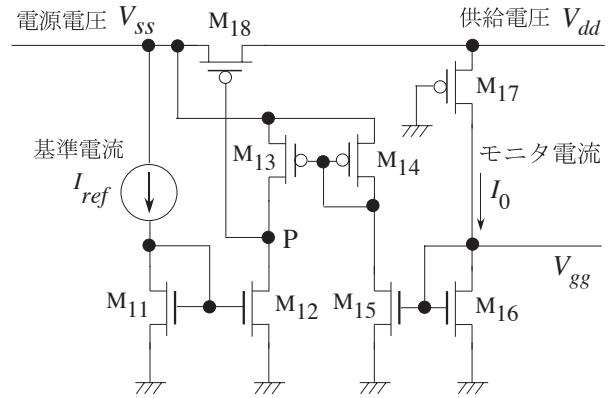


図 5: サブスレッショルド電源回路 (p-MOS 型)

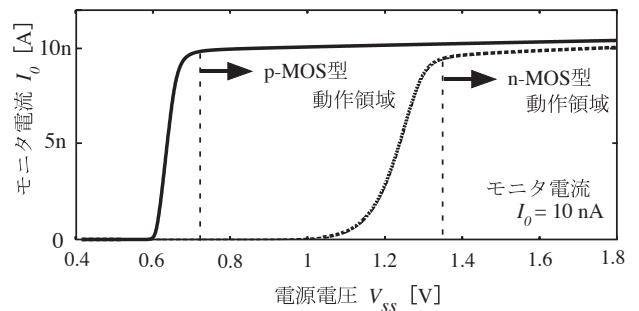


図 6: 二種類の電源回路の V_{ss} - I_0 特性

モニタ電流 I_0 が基準電流 I_{ref} と同じになるような供給電圧 V_{dd} (および V_{gg}) を発生する。すなわち、MOSFET に電流 I_{ref} を流すようなゲート-ソース電圧——p-MOSFET に対しては V_{dd} , n-MOSFET に対しては V_{gg} ——を発生する。なお p-MOSFET の

しきい値電圧はn-MOSFETのそれより大きいとする。

回路動作を以下に示す。M6のゲートノードQにはカレントミラーを介して基準電流 I_{ref} と同値の電流が流入し、同時にモニタ電流 I_0 と同値の電流が流出する。いまモニタ電流 I_0 が基準電流 I_{ref} より小さくなると、M6ゲート電圧の上昇→M6のオン抵抗の減少→供給電圧 V_{dd} の上昇→モニタ電流 I_0 の上昇、という負帰還を生じて $I_0=I_{ref}$ に戻る。同様に、モニタ電流 I_0 が基準電流 I_{ref} より大きくなったときも負帰還によって $I_0=I_{ref}$ に戻る。

この電源回路は安定で発振の恐れはないが、電源電圧 V_{ss} の低下には注意を要する。つまり、M6のゲート-ソース電圧をしきい値 V_{thn} 以上にする必要がある。ゲートノードQの電位の最大値は電源電圧 V_{ss} なので、 $V_{ss} > V_{dd} + V_{thn}$ でなければ回路は動作しない。たとえば $I_0 = 10 \text{ nA}$ にしたいときは $V_{dd} = 0.6 \sim 0.7 \text{ V}$ なので、必要な電源電圧は図6のように $V_{ss} > 1.3 \text{ V}$ となり、電源としてマンガン電池1個を使うときには電圧余裕が小さい。

この問題は、M6に換えて図5のようにp-MOSFET M18を用いることで解決できる。回路の負帰還動作は図4と類似である。この回路でもM18のゲート・ソース電圧 V_p がしきい値 V_{thp} 以上になる必要がある。ゲートノードPの電位は0近くまで低下し得るので、電源電圧 $V_{ss} > V_{thp}$ ならば回路は動作する。 V_{thp} は約0.8Vなので、この回路は、図6のように電源電圧 V_{ss} が約0.8Vに下がるまで動作可能である。なお、この回路は、M18のドレイン-ソース間に位相補償キャパシタ(およそ0.1-1 pF)が必要な場合がある。

4 しきい論理ゲート

しきい論理ゲートの回路構成を図7に示す。図は3入力ゲートの例である。駆動電圧 V_{dd} と V_{gg} は前記のサブスレッショルド電源回路(図5)で供給する。M21-M23は電源回路のモニタトランジスタM17と同じゲート幅、M24はM16の k 倍のゲート幅に設定する。入力電圧が0のとき、M21-M23の各々は加算ラインにモニタ電流と

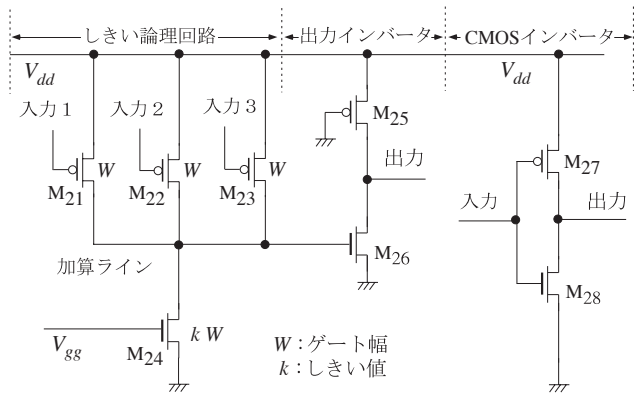


図7: しきい論理ゲート回路, およびCMOSインバータ

同じ電流 I_0 を流し込む。一方、M24は加算ラインから電流 kI_0 を流し出す。

しきい論理の動作を以下に示す。電圧が V_{dd} (論理1)の入力数がしきい値 k 以下であれば、加算ラインに流入する電流合計が正なので加算ラインは高電位になる。この電位が出力インバータの反転電圧以上になると、出力インバータM25-M26の出力電圧は0(論理0)となる。電圧 V_{dd} (論理1)の入力数がしきい値 k を超えると、加算ラインに流入する電流合計が負になり加算ラインは低電位になる。この電位がインバータの反転電圧以下になると、出力インバータの出力は V_{dd} (論理1)となる。

このゲート回路では、出力インバータとして擬似n-MOS型インバータを使用する。その理由は、このインバータの反転電圧が加算ラインの中性電位と一致するからである。ゲート回路は図5の電源回路から駆動電圧 V_{dd} と V_{gg} を受けるので、インバータの反転電圧はいずれも V_{gg} に等しい。ゲート入力の総和がしきい値以下であれば加算ラインの電位は V_{gg} より高く、しきい値以上であれば V_{gg} より低くなる。これを反転電圧 V_{gg} の擬似n-MOS型インバータで受けることにより、正しい1-0論理出力を安定に得ることができる。なお、出力インバータ以外の部分では、スタンバイ電流が流れないCMOSインバータを使用する(図5の右端M17-M18)。

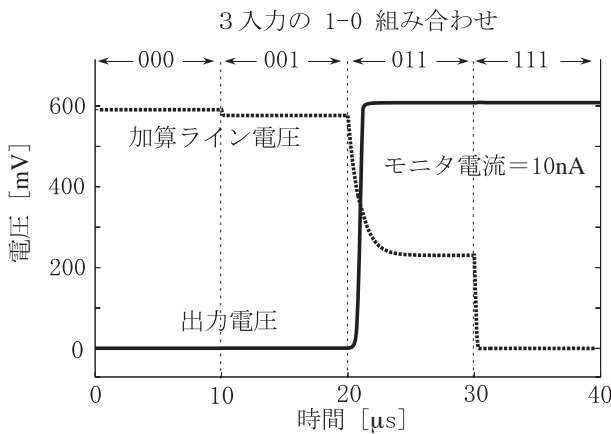
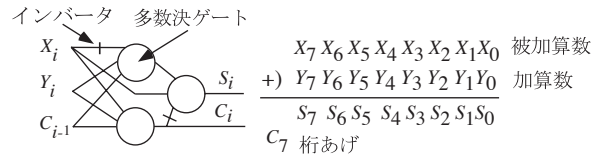


図 8: しきい論理ゲートの動作 (多数決動作)

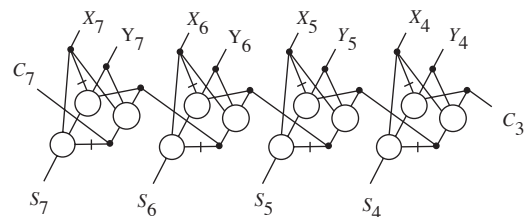
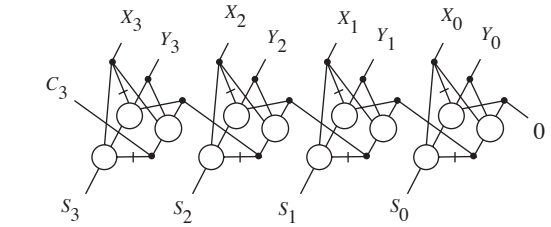
5 しきい論理ゲートによる多数決ゲート

図 7 のゲート回路で $k = 1.5$ にすると 3 入力の多数決ゲートになる。この回路の動作をシミュレーション解析して図 8 に示す (MOSFET はすべて $W/L = 1\mu\text{m}/0.35\mu\text{m}$, ただし M24 だけは $W/L = 1.5\mu\text{m}/0.35\mu\text{m}$)。三つの入力の論理 1 の個数を時間とともに増加させて加算ラインと出力の電圧変化を求めた。この例では、電源回路の供給電圧はモニタ電流が $I_0 = 10\text{ nA}$ となるように設定されている (およそ $V_{dd} = 600\text{ mV}$, $V_{gg} = 390\text{ mV}$)。二つ以上の入力の電圧が V_{dd} (論理 1) になると加算ラインの電位が下がり、出力インバータが V_{dd} (論理 1) を出力して多数決動作を示す。ゲートに流れる電流は、二つ以上の入力電圧が 0 のときに最大となり、その値は 28 nA であった。

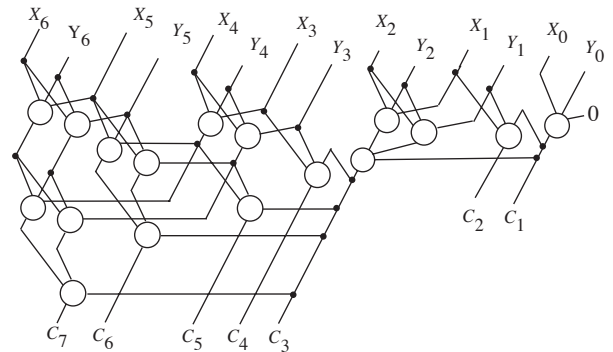
論理 1 の入力の個数が二つのとき、加算ラインから流れ出る電流の方が多いため加算ライン電位は 0 に近くなるはずである。しかし、実際には約 200 mV となった。これは加算ライン電位が V_{gg} より下がると、チャネル長変調効果により、M21-M23 の電流 I_0 は本来より少し増加し、M24 の電流 $k I_0$ は本来より少し減少するので、加算ラインに流れ込む電流と加算ラインから流れ出る電流が等しくなるためである。ただし、この時の加算ライン電位は出力インバータの反転電圧 V_{gg} より必ず低いので、ゲート動作には支障ない。



(a) 全加算器 (b) 8 ビット加算



(c) 8 ビット加算器 (リップルキャリー型)



(d) 桁上げ先見回路

図 9: 多数決ゲートによる加算器の構成

6 しきい論理ゲートによる加算回路

この多数決ゲートと CMOS インバータを組み合わせると全加算器をつくり、その全加算器をカスケード接続して 8 ビット加算器を構成した。その回路構成を図 9 に示す。

図 9(a) は全加算器の回路である。和の出力 S_i は、三つの入力 X_i, Y_i, C_{i-1} のうち論理 1 の入力数が 1 または 3 のときに論理 1 となる (奇パリティ)。桁上げ出力 C_i は、論理 1 の入力数が 2 以上のときに論理 1 となる (多数決)。この動作を 3 個の多数決ゲートと 2 個のインバータで実現できる。図

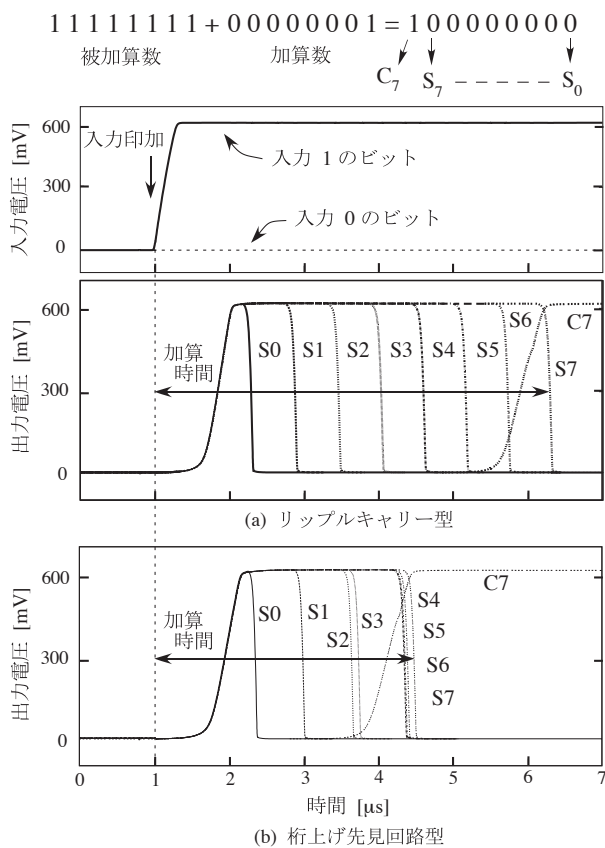


図 10： 8 ビット加算器の動作（シミュレーション）。上段は入力信号の波形、中段と下段はそれぞれリップルキャリー加算器と桁上げ先見加算器の出力波形。

9(b) は 8 ビットの加算、図 9(c) は 8 ビットリップルキャリー加算器である。また、図 9(d)には桁上げ先見回路の構成を示す。この回路と全加算器を組み合わせると桁上げ先見型の加算器を構成できる。

8 ビットのリップルキャリー加算器と桁上げ先見加算器の遅延時間をシミュレーション解析した（MOSFET はすべて $W/L=1\mu\text{m}/0.35\mu\text{m}$ 、ただし図 7 の M24 だけは $W/L=1.5\mu\text{m}/0.35\mu\text{m}$ ）。ここでは、加算時間が最も長い $11111111 + 00000001 = 100000000$ の演算を例にとった。各ビット出力の波形を図 10 に示す。加算時間は、最上位ビット出力 S_7 の遅延時間で決まる。モニタ電流 $I_0 = 10\text{nA}$ のときの加算時間を調べた。リップルキャリー型は $5.1 \mu\text{s}$ であり（図 10(a)）、桁上げ先見型では

$3.4 \mu\text{s}$ であった（図 10(b)）。最下位ビット入力 $X_0 \cdot Y_0$ から最上位ビット出力 S_7 までのしきいゲート数はリップルキャリー型は 9 つ、桁上げ先見回路型では 5 つである。

7 おわりに

本稿では、サブスレッショルド動作の MOSFET 回路による「しきい論理ゲート」を提案した。また、しきい論理ゲート回路によるサブシステムの例として 8 ビット加算器を設計し、その動作をシミュレーション上で確認した。サブスレッショルド動作の論理回路を使用すると、限られたエネルギー源——たとえば極小体積のマイクロ電池、あるいは周囲環境からの僅かなエネルギー取得など——のもとで長期にわたり動作可能な LSI を構成することができる。今後は、サブスレッショルドしきい論理ゲートを用いた機能的な信号処理のアーキテクチャと回路構成を検討していく予定である。

謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。

参考文献

- [1] 室賀三郎、茨木俊秀、北橋忠宏 “しきい論理” 産業図書,1976
- [2] A.Wang, B.H.Calhoun, A.P.Chandrakasan ; *Sub-threshold Design for Ultra Low-Power Systems*, Springer ,2006
- [3] Hirose T, Asai T, and Amemiya Y; "Power-supply circuits for ultralow-power subthreshold MOS-LSIs," IEICE Electronics Express, vol. 3, no. 22, pp. 464-468 (2006).