

アナデジ混載オシレータ LSI による分散 PLL ネットワークの ハードウェアエミュレーション

山田 崇史[†] 本間 慶正[†] 浅井 哲也[†] 雨宮 好仁[†]

[†] 北海道大学工学部

〒 060-8628 札幌市北区北 13 条西 8 丁目

E-mail: †yamada@sapiens-ei.eng.hokudai.ac.jp

あらまし 複数の PLL を同期させて GHz クロックの分配を行うオシレータネットワーク (distributed PLL) をエミュレートするアナデジ混載 LSI を提案する。PLL の要素回路 (位相差検出器, ループフィルタ, VCO) を簡略化したモデル (オシレータ) を平面上に敷き詰めて、それらのオシレータを相互に結合したネットワークにより distributed PLL を疑似的にエミュレートする。Distributed PLL は空間規模が大きくなると計算機シミュレーションが困難になる (空間規模に対して計算時間が指数関数的に増加する) が、提案する LSI は各オシレータが並列に動作するため、エミュレーション時間は distributed PLL の空間規模に依存しない。本稿では、distributed PLL とその簡易モデルおよびモデルの回路化について述べ、HSPICE により提案回路のパフォーマンス (同期クロックおよびモードロックの発生) を示す。提案回路の大規模集積化により、GHz クロックの分配設計が容易になるかもしれない。

キーワード PLL, 分散 PLL, モードロック, オシレータ, 非線形回路

Hardware Emulation of Distributed PLL Networks with an Analog-Digital Hybrid Oscillator LSI

Takashi YAMADA[†], Yoshimasa HONMA[†], Tetsuya ASAI[†], and Yoshihito AMEMIYA[†]

[†] Department of Electrical Engineering, Hokkaido University

Kita 13, Nishi 8, Kita-ku, Sapporo, 060-8628 Japan

E-mail: †yamada@sapiens-ei.eng.hokudai.ac.jp

Abstract In this report, we propose an analog-digital hybrid LSI that emulates multiple synchronized phase-locked loops (PLLs) for a clock distribution network. The distributed PLL is emulated by a 2-D oscillator network consisting of multiple oscillator circuits that mimic elemental circuits of PLLs (phase detectors, loop filters, and VCOs). Numerical simulation of large-scale distributed PLL is very difficult because the load of simulations increases exponentially as the scale of the PLL network increases, while the emulation load is independent of the scale of the PLL network in the proposed circuit because the load is distributed into each oscillator. We here introduce the distributed PLL, its simplified model and analog-digital hybrid circuits of the proposed model, and show performances (synchronization and mode lock) of the circuit by using HSPICE. Large-scale integration of the proposed circuit may facilitate the design of GHz clock distribution networks.

Key words PLL, distributed PLL, modelock, oscillator, nonlinear circuits

1. はじめに

近年、LSIの微細化技術の向上によりGHzという高い周波数で動作するプロセッサが実現している。しかし、高速なクロックをLSIチップ全体に遅延なく伝達することは難しく、このクロックスキューがプロセッサの性能向上に大きな影響を及ぼしている。そのため、従来のツリー方式によるクロック分配とは異なる新しい方式の研究が盛んに行われている[1],[2]。その一つとしてGutnikらが提案している分散PLL法は、LSIチップ内を複数の領域に分割しその領域の境界ごとに位相補償ループ(PLL)を設けた構造を持つ。近傍領域と自領域のクロックの位相差を位相検出器によって検出し、位相差がなくなるよう補正を行う[2]。この方式ではスキューを小さく抑えることが可能であるが、特殊な初期状態において領域間のクロックの位相がずれて安定することがある。また、実デバイスでは応答速度が有限であるためクロックは完全に同期しない。このような状態をモードロックと呼ぶ。モードロックの状態ではLSIチップ内のクロックは同期せず、最悪の場合はチップが正常に動作しなくなる。

モードロックを修正する方法として、PLL間の結合を一度切ることによって新しい同期状態へと収束させる方法[3]などが提案されている。デバイスの遅延や振動子(PLL)の個数といった回路パラメータとモードロックの発生との関係の研究が進めば、前述のモードロック回避法の解析や新しい回避法の発見につながる。しかし、このような現象を解析するには、PLLのダイナミクスを表す非線形の偏微分方程式をチップ内の分割領域ごとに計算しなくてはならないため、チップサイズの増大に伴い計算時間が膨大に増える。そのため、このような非線形の偏微分方程式を高速に計算するシミュレータの実現が望まれている。

そこで本稿では、回路方程式がPLLをダイナミクスを表す方程式と相似となるような回路を設計し、分散PLL法によるクロックネットワークのシミュレータの実現を目的とする。そのためには、(1)解析を行いたい物理現象と相似な回路、(2)条件(シミュレートしたいネットワークの規模)を可変にする回路構成、(3)入力の与え方や出力の取り出し方、などの多くの検討事項があるが、ここでは第一段階としてPLLをダイナミクスを模倣した回路を提案し、この回路を用いたLSIチップの設計を行い、その基本動作を確認する。

2. 分散PLLによるクロックネットワーク

従来のクロックの供給方法は、図1に示すように、クロックを二つのバッファに分割し、最終的なバッファの出力をチップの領域毎に回路に供給するというものである。出力までのバッファの個数を等しくすることで、スキューを最小にする。しかし、バッファの特性や配線遅延のばらつきのために、通過したバッファが異なるとバッファの段数と同じでもスキューが生じる。例えば図1ではA1~4, B1~4の間で最もスキューが大きくなる可能性がある。

スキューを小さくし、より高速なクロック分配を可能にする

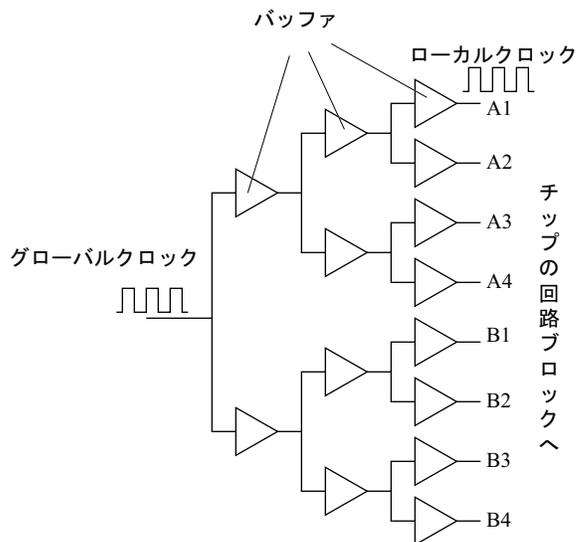


図1 従来のクロック分配法

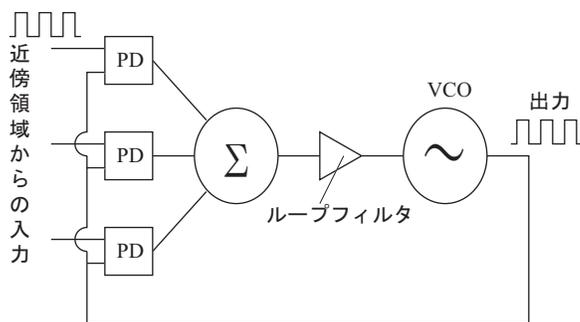


図2 分散PLL法におけるPLLの構成

方法として、Gutnikらが提案した分配法の概念を図2と3に示す。PLLは一つの位相検出器(PD)とループフィルタ、電圧制御発振器(VCO)で構成されるが、分配法では一つのPLLに対して複数のPDを接続する(図2)。チップ内を複数の領域(タイル)に分割し、このPLLをそれぞれのタイルに配置する(図3)。そのため、異なるタイル同士ではクロックの位相が異なる可能性がある。そこで、自タイルと近傍タイルの出力クロックをPDに入力し、近傍タイルとのクロックの位相差を検出する。タイル内で近傍タイルとの位相差の和を取り、この和信号によって自タイルのクロック周波数を制御する。チップ内においてすべてのタイルにおけるクロック(ローカルクロック)の位相がグローバルクロックと等しくなれば、PDの出力はゼロとなり、すべてのローカルクロックは変化しない。つまりチップ内の全領域においてクロックが同期する。

しかし、この方式では初期状態によってはクロックが同期しないモードロック現象が起こる。モードロック現象の例を図4に示す(タイルが四つの場合)。このようなネットワークで図4(b)に示すように全てのタイルのクロック周波数が等しく、隣接するタイル間で位相が $\pi/2$ ずれている場合、1タイルに接続している二つのPLLの出力(位相差)は絶対値が等しく符号が逆であるため、全てのタイルにおいてPLL出力の和はゼロとなり、周波数(位相)は変化しない。つまりこれらのタイルは $\pi/2$ の位相差を保ったまま振動を続ける。これがモード

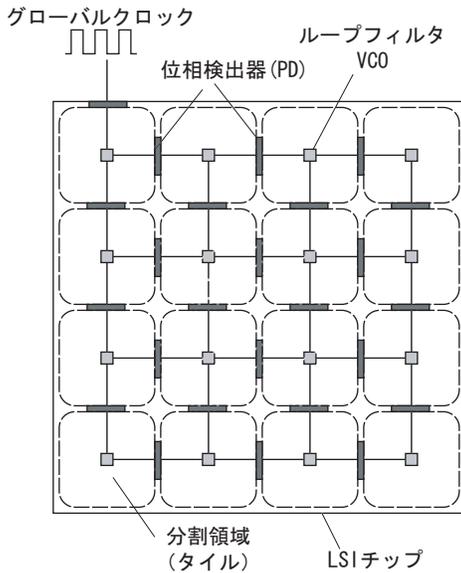


図3 分散 PLL によるクロック分配法

ロック現象である。この現象が起こると LSI チップ内のクロックは同期して変化しないため、チップは正常に動作しなくなる。

この他に、デバイスの応答速度に起因するモードロックがある。たとえばトランジスタでは入力ゲート容量の充放電のためスイッチングに遅れが生じる。このため、近隣の振動子は同じ初期位相から振動を始めない限り、完全に同期することはない。そのため、振動子数の増大や複雑なフィードバックがかかる振動子アレイでは位相のずれた振動パターンが生じる。

3. 分散 PLL のモデル化

分散 PLL は二次元に配列した振動子が近傍と互いに結合している系であり、結合振動系の一つである。分散 PLL における i 番目の振動子の位相は

$$\dot{\phi}_i = \omega_0 + \sum_{j \in R_1} \sin(\phi_j - \phi_i) \quad (1)$$

でモデル化できる [3]。ここで ϕ_i は i 番目の振動子の位相、 ω_0 は振動子の固有振動数、 R_1 は i 番目の振動子の第一近傍を表す。式 (1) の右辺第一項は、この振動子が他の振動子との結合を持たないとき周期 $T = 2\pi/\omega_0$ で振動することを表す。他の振動子と結合している場合には (1) の右辺第二項によって、位相差 $\phi_k - \phi_i$ が 0 から π の間すなわち $\sin(\phi_k - \phi_i) > 0$ のときには i 番目の振動子の位相が進み、そうでなければ i 番目の振動子の位相は遅れる。

分散 PLL をシミュレートするために、この PLL の位相方程式と似たような単位回路を作りチップ上に集積する。しかし、位相方程式による記述では実回路との対応がとりにくいため、本稿では位相方程式を振幅方程式に書き直す。

まず、周期振動を表す $\dot{\phi}_i = \omega_0$ を振幅方程式に書き直す。分散 PLL をシミュレートするための単位回路はチップ上に多数集積する必要があるため、できるだけコンパクトな回路設計にする必要がある。そこで (1) の位相方程式を以下のような振幅

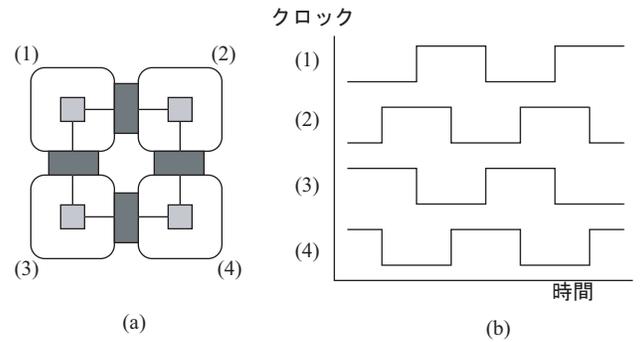


図4 モードロックの例

方程式

$$\begin{aligned} \dot{v}_i &= \text{sgn}(u_i - \frac{1}{2}) \\ u_i &= H(\alpha u_i - v_i + \beta) \\ H(x) &= \begin{cases} 1 & (x > 0) \\ 0 & (x \leq 0) \end{cases} \end{aligned} \quad (2)$$

で表すことにする。ここで、 α と β は振動パラメータを表す。

次に、位相方程式の結合項を振幅方程式に加える。位相方程式 (1) の右辺第二項が振動子間の結合を表す。二つの振動子の位相差が非常に小さい場合 ($\phi_j - \phi_i \approx 0$)、 $\sin(\phi_j - \phi_i) \sim \phi_j - \phi_i$ である。また、ある時間における i 番目の振動子の位相を ϕ 、振幅を A とすると、 $\phi = [0, \pi/2]$ において ϕ の増加に伴い A が増加する (ϕ と A はともに単調増加)。よって、(1) の右辺第二項を $\sum_{j \in R_1} (A_j - A_i)$ で近似する。さらに、これらの振幅の二値化 [$\sum_{j \in R_1} (H(A_j) - H(A_i))$] して回路構成を簡単化する。振動子間の位相差が小さければ、これらの近似は系の振る舞いに本質的な影響を与えない。

以上の変換によって、(1) を簡略化した (回路化が容易な) 振幅方程式

$$\dot{v}_i = \text{sgn}(u_i - \frac{1}{2}) + \sum_{j \in R_1} (H(v_j) - H(v_i)) \quad (3)$$

$$u_i = H(\alpha u_i - v_i + \beta) \quad (4)$$

を得る。

4. 分散 PLL の電子回路化

前章の振幅方程式を電子回路化する。一つの振動方程式 (PLL のダイナミクス) を一つの処理回路で計算し、その処理回路 (単位回路) をチップ上に多数配置することで、分散 PLL をシミュレートする LSI チップを構成する。

提案する単位回路を図 5 に示す。単位回路の構成要素は、前章でモデル化した振動子の固有振動部 [(1) の右辺第一項] を実装する回路 (振動回路) および振動子間の結合 [(1) の右辺第二項] を実装する回路 (結合回路) である。キャパシタ C_v の両端電圧 V が (3) の変数 v に相当、振動回路の内部状態 U が (3) の u に相当する。コンパレータ 1 は、キャパシタ C_1 と C_2 で分圧した電圧 $(C_1 U + C_2 V_{dd}/2)/(C_1 + C_2)$ と V を比較する。その比較結果が U であり、 $(C_1 U + C_2 V_{dd}/2)/(C_1 + C_2) > V$

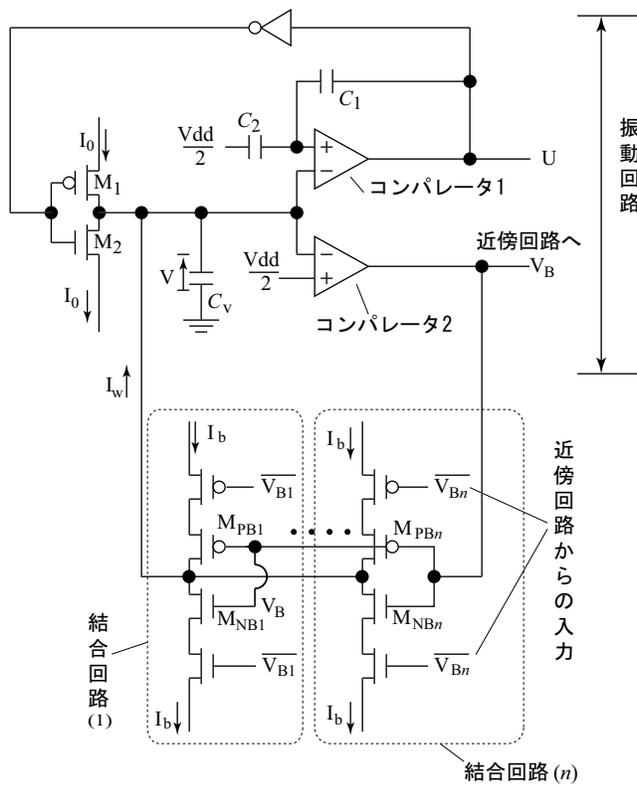


図5 単位回路の構成

のとき $U = "0"$, 反対のとき $U = "1"$ である。上記の回路が (4) に相当し、振動パラメータは

$$\alpha = \frac{C_1}{(C_1 + C_2)} V_{dd}$$

$$\beta = \frac{C_2}{2(C_1 + C_2)} V_{dd} \quad (5)$$

で表される。

M_1, M_2 を通してキャパシタ C_V を充電する。 $U = "1"$ のとき M_1 がオン, M_2 がオフとなり、キャパシタに電流 I_0 が流れ込む (V が増加する)。一方、 $U = "0"$ のときは M_1 がオフ, M_2 がオンとなり、電流 I_0 により V が減少する。そのダイナミクスは

$$C_V \dot{V} = I_0 \operatorname{sgn}(U - \frac{V_{dd}}{2}) \quad (6)$$

で表される。式 (6) が (3) の左辺と右辺第一項に相当する。

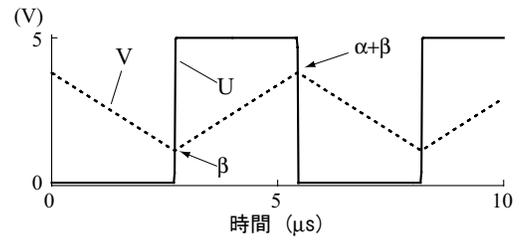
結合回路は、中心となる振動子 (自身) とその近傍の一つの振動子を結合する回路である。具体的には、中心となる振動子とその近傍の振動子の位相差を検出するものである。前章で述べたように、位相差を振幅差で近似する [(3) の右辺第二項]。コンパレータ2の出力 V_B [(3) の $H(v_i)$ に相当] をすべての結合回路 ($1 \sim n, n = 2$ (一次元配列); $n = 4$ (二次元配列)) の入力に接続する。 V_B と V_{Bn} の組合せにより決まる結合回路の出力 I_w を表1に示す。各結合回路の出力電流を加算した I_w [(3) の右辺第二項] がキャパシタ C_V を充電する。これらの仕組みによって、(3) のダイナミクスを回路で実現する。

5. シミュレーション結果

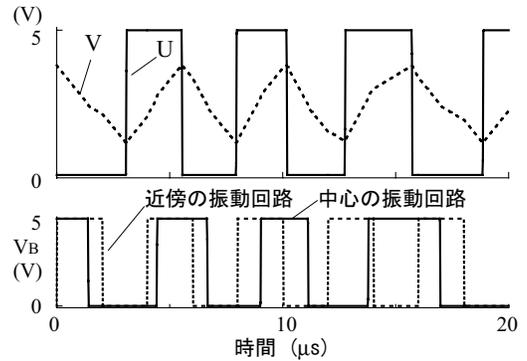
提案した回路の動作を HSPICE を用いたシミュレーションに

$V_{Bn} \setminus V_B$	0	1
0	0	$-I_b$
1	I_b	0

表1 I_w の入出力特性



(a) 振動回路



(b) 振動回路+結合回路

図6 単位回路のシミュレーション

より確認した (1.6 μm CMOS プロセスを想定)。回路パラメータは $I_0 = 1 \mu\text{A}$, $C_V = C_1 = C_2 = 1 \text{ pF}$, $V_{dd} = 5 \text{ V}$ とした。

単体回路のシミュレーション結果を図6に示す。図6 (a) は $I_w = 0$ とした振動回路のシミュレーション結果である。 $U = 1$ のとき V は増加し、 $U = 0$ のとき V が減少することを確認した。 $U = 0 \rightarrow 1$ のときの V は (4) より β であり、 $U = 1 \rightarrow 0$ となるとき V は $\alpha + \beta$ である。式 (5) より $\alpha = V_{dd}/4$, $\alpha + \beta = 3V_{dd}/4$ であり、これは図6 (a) のシミュレーション結果とよく一致した。また、式 (6) より V の時間変化率は $\pm I_0/C_V$ [$= 10^6 \text{ (V/s)}$] であり、これも図6 (a) の結果とよく一致した。

結合回路を含めた単位回路のシミュレーション結果を図6 (b) に示す ($I_b = 0.5 \mu\text{A}$)。外部からの V の二値化信号として、250 Hz の信号を入力した。結果から中心の振動回路と近傍回路の V の二値化信号が異なる時に拡散電流 I_b により V の充放電時間が変化し、クロック U の位相が変化することを確認した。

単位回路を 4×4 個配置した二次元ネットワークのシミュレーションを行った ($I_b = 0.1 \mu\text{A}$)。図7に示すように U, V にランダムな初期値を与えて回路を動作させると、全てのセルが同期振動した。図8は、図7の V をグレースケールで表したものである (黒: 0 V, 白: 5 V)。この図から、色の濃淡がランダムな初期状態から、単調な濃度勾配をなりながら、同じ値に収束することを確認した。

また、近傍からの入力電流が切り替わる所で波形の歪みが生じた (図7の点P)。これは、回路化を容易にするために V を二値化をしたために生じた歪みである。結合を二値化しない場

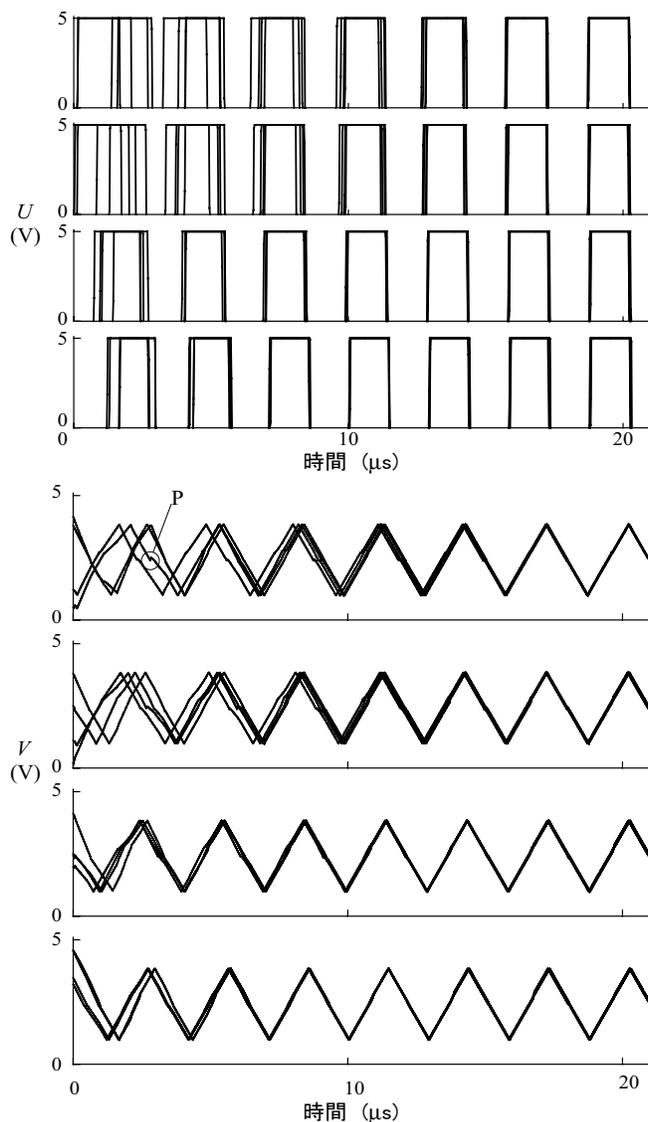


図 7 ネットワークのシミュレーション

合は V の位相差が小さいと V の変化量も小さい。 V を二値化すると、位相差が小さいときでも一定の電流 I_b が流れる (V の変化量は一定)。そのため、中心の振動回路と近傍回路の V_b が同じ値から異なる値に遷移したときに、 I_B によって V が大きく変化する。

単位回路を一次元に 50 個配列した時のシミュレーション結果を図 9 に示す。十分に時間が経過した後の各振動子の V の時間変化をプロットすると、近傍とわずかであるが位相がずれており、そのため遠方の振動子との位相差が大きくなっていることがわかる。この結果から、提案した回路が実デバイスに見られるモードロックを再現することを確認した。

これらのシミュレーション結果から、提案回路が (1) 振動子が同期するように互いの位相を変化させること、 (2) デバイスの応答時間の限界から完全に同期せずモードロックを起こすことを確認した。このことから、提案した回路が分散 PLL によるクロックネットワークのシミュレーションに利用可能であることがわかった。今後の課題は、結合状態を可変にする方法や、出力の取り出し方などである。

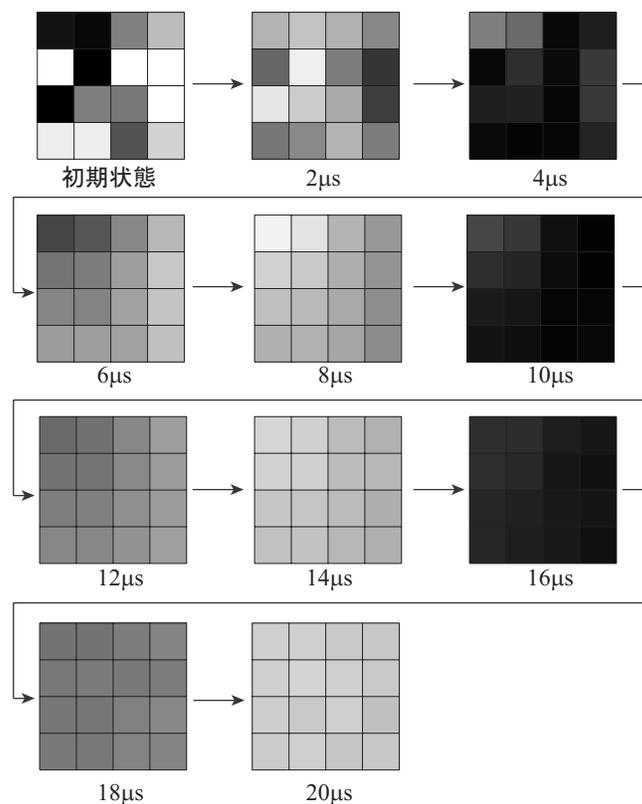


図 8 ネットワークのシミュレーション

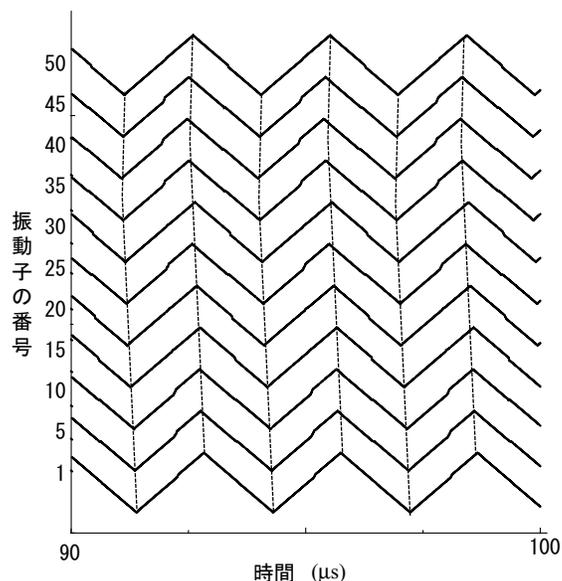


図 9 一次元ネットワークのシミュレーション

6. まとめ

分散 PLL のダイナミクスを模倣した結合振動子回路の設計を行い、SPICE シミュレーションによりその動作を確認した。結合振動子回路は、電流によるキャパシタの充放電によって状態変数の連続的な変化を可能にする構成である。提案した回路のシミュレーション結果から、デバイスの応答速度の限界によるノードロックを再現することができ、分散 PLL 法によるクロック分配のシミュレーションに適用できることを示した。分

散 PLL 法では隣接するタイルが異なる周波数・位相のクロックであれば、周囲との位相差が最小になるように作用する。このことを利用すると、チップ内全体のクロックを同期させるだけでなく、チップ内で高速に動かすブロックと低速でよいブロックの間を連続的にクロック周波数を変化させながら信号処理を行ったり、携帯機器向けの LSI チップのクロック制御などにも利用できるかも知れない。このような複雑な制御の解析には本提案のようなハードウェアによる高速なシミュレータが有効であると考えられる。

謝 辞

本研究は、平成 12 年度 N E D O 速効型産業技術研究事業費助成金および平成 14 年度若手研究 B (課題番号:13750295) を受けて研究を実施したものです。

文 献

- [1] G. Geannopoulos and X. Dai, "An adaptive digital deskewing circuit for clock distribution networks," *ISSCC Dig. Tech. Papers*, San Francisco, USA, February 1998, pp. 400-401.
- [2] V. Gutnik and A. Chandrakasan, "Active GHz network using distributed PLLs," *IEEE Journal of Solid-state Circuits*, Vol. 35, No. 11, pp. 1553-1560, 2000.
- [3] H. A. Tanaka and A. Hasegawa, "Modelock-avoiding synchronisation method," *IEEE Electronics letters*, Vol. 38, No.4, pp. 186-187, 2002.

V