

MOSFETのサブスレッショルド特性を利用した スマート温度センサ LSI の検討

上野 憲一[†] 廣瀬 哲也[†] 浅井 哲也[†] 雨宮 好仁[†]

[†] 北海道大学大学院 情報科学研究科 〒060-0814 北海道札幌市北区北14条西9丁目

E-mail: †{k_ueno,hirose,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

あらまし MOSFETのサブスレッショルド電流特性を利用した温度センサを提案する。サブスレッショルド領域での電流特性は、温度に対して指数的に変化する。また、その電流値は数十 nA オーダの微小電流であり、極低電力の動作である。この物理特性を利用して、従来方式とは異なる温度センサ LSI を構成することができる。実際にセンサ回路を設計し、その動作を SPICE シミュレーションにより確認した。この温度センサは、サブスレッショルド領域で動作する CMOS 回路からなり、6 μ W 程度の極低電力で動作する。

キーワード CMOS、温度センサ、PTAT 電流、サブスレッショルド領域、極低消費電力

A Smart Temperature Sensor with Subthreshold CMOS Circuits

Ken UENO[†], Tetsuya HIROSE[†], Tetsuya ASAI[†], and Yoshihito AMEMIYA[†]

[†] Graduate School of Information Science and Technology, Hokkaido University

kita 14, Nishi 9, kita-ku, Sappor, Hokkaido, 060-0814 Japan

E-mail: †{k_ueno,hirose,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

Abstract We propose a smart temperature sensor using subthreshold CMOS circuits. The subthreshold current of MOSFET changes exponentially with temperature, and is an ultralow-power operation because of its nano-ampere order current. By using this characteristics, the temperature sensor circuit can be constructed with ultralow-power consumption. In this work, we developed the sensor circuit, and its operation principle was verified through SPICE simulation. The power consumption was only 6 μ W or less.

Key words CMOS, Temperature sensor, PTAT current, Subthreshold region, Ultralow-power

1. ま え が き

近い将来、我々の周りには多数のスマートセンサとそれらを結ぶネットワークが配置されたユビキタス情報環境が構築されると予想できる。このようなセンサネットワーク環境を実現するための技術ポイントは、極めて限られた電力消費のもとで各種の機能センシングを行うスマートセンサ LSI を開発することにある。このようなセンサの問題点はエネルギー供給にある。すなわち、これらのセンサ LSI は超小型電池を電源とするか、あるいは周囲の自然環境から電力を吸収するか、いずれにしても極めて限られた電力消費（数 μ W 以下）のもとで長時間動作しなければならない。

本研究は、ユビキタス情報社会に向けた、センサネットワーク環境の実現のために、極めて微小な電力で動作するスマート温度センサ LSI の構成方法の確立を検討する。MOSFET のサブスレッショルド領域での電流特性は、温度に対して指数的に

変化する。また、その電流値は数十 nA オーダの微小電流であり、極低消費電力化が期待できる。この特性を利用して、従来の方式とは異なる温度センサ LSI を構築する。

本稿では、はじめにサブスレッショルド領域で動作する MOSFET を温度センサとして LSI に構築するための方式を説明する。そして、それに基づいた回路構成と SPICE シミュレーション結果を示す。さらに、サブスレッショルド電流を生成するためのバイアス回路について議論する。

2. 動作原理

MOSFET のサブスレッショルド領域での電流特性は、温度に対して敏感に変化する物理特性を示す。この特性を利用することで、絶対温度に対してリニアに変化する PTAT(Proportional To Absolute Temperature) 電流を生成することが可能である。PTAT 電流は、温度センサに利用することができる。以下では、サブスレッショルド MOS 回路で PTAT 電流を生成するための方式を記述する。

MOSFET のゲート・ソース間電圧 (V_G) がしきい値電圧 (V_{TH}) 以下のとき、サブスレッショルド電流 (弱反転電流) I_D が流れる。ここで、ドレイン・ソース間電圧が 0.1 V 以上のとき、 I_D は指数関数で近似できて次のようになる [1]。

$$I_D = I_0 \exp\left(\frac{V_G - V_{TH}}{\eta V_T}\right) \quad (1)$$

ここで、 I_0 はサブスレッショルド電流の前置係数、 e は電気素量、 η はゲート酸化膜容量と空乏層容量に起因するデバイス構造由来の定数、 $V_T (= k_B T / e)$ は熱電圧である。ここで、2 つのサブスレッショルド電流 I_{D1} , I_{D2} の比 (I_{D2}/I_{D1} , I_{D1}/I_{D2}) をとると、 I_0 , V_{TH} に依存しない次式が得られる。

$$\frac{I_{D2}}{I_{D1}} = \exp\left(\frac{V_{G2} - V_{G1}}{\eta V_T}\right) \quad (2)$$

$$\frac{I_{D1}}{I_{D2}} = \exp\left(-\frac{V_{G2} - V_{G1}}{\eta V_T}\right) \quad (3)$$

$|V_{G1} - V_{G2}|$ の値が ηV_T と比較して十分小さいとき、上式は次のように近似することができる。

$$\frac{I_{D2}}{I_{D1}} = 1 + \frac{V_{G2} - V_{G1}}{\eta V_T} \quad (4)$$

$$\frac{I_{D1}}{I_{D2}} = 1 - \frac{V_{G2} - V_{G1}}{\eta V_T} \quad (5)$$

式 (4)、(5) の差をとると次式が得られる。

$$\frac{I_{D2}}{I_{D1}} - \frac{I_{D1}}{I_{D2}} = 2 \frac{V_{G2} - V_{G1}}{\eta V_T} \quad (6)$$

式 (6) の逆数をとることで次式を得る。

$$\begin{aligned} \frac{1}{\frac{I_{D2}}{I_{D1}} - \frac{I_{D1}}{I_{D2}}} &= \frac{\eta V_T}{2(V_{G2} - V_{G1})} \\ &= \frac{\eta k_B}{2e(V_{G2} - V_{G1})} \cdot T \end{aligned} \quad (7)$$

したがって、サブスレッショルド電流を発生させる V_{G1} , V_{G2} の差電圧 ($V_{G2} - V_{G1}$) を一定にすることで絶対温度に比例する PTAT 特性を得ることができる。すなわち、MOSFET のサブスレッショルド電流を利用して、PTAT 特性を得ることが可能である。これに基づいて PTAT 電流を発生させて、温度センサに利用する。

ここで、回路化のために式 (7) を変形して次式を得る。

$$\frac{1}{\frac{I_{D2}}{I_{D1}} - \frac{I_{D1}}{I_{D2}}} = \frac{I_{D2} I_{D1}}{(I_{D2} - I_{D1})(I_{D2} + I_{D1})} \quad (8)$$

以下、式 (8) の回路化について記述する。

3. 回路構成

前節で導出した式 (8) に基づく温度センサを提案する。図 1 に、この温度センサのブロック図を示す。図 1 (a) のバイアス回路により一定微小電圧 (式 (7) の $V_{G2} - V_{G1}$) を生成して PTAT 電流生成回路 (図 1 (b)) に入力する。PTAT 電流生成回路は、前節の式 (8) に比例する PTAT 電流を生成する。この電流を A/D コンバータによりデジタル値に変換し、出力パルスカウンタで計数する。以下、各回路ブロックについて記述する。

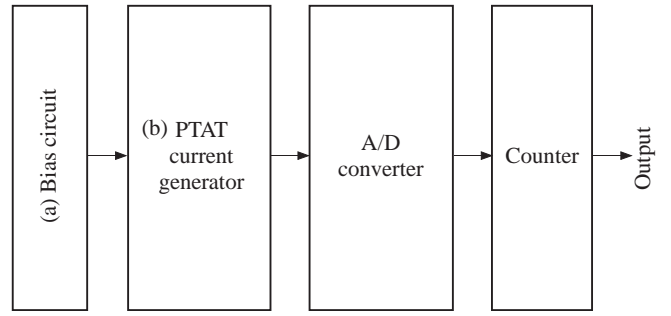


図 1 スマート温度センサ LSI のブロック図。

表 1 各トランジスタを流れる電流。

M_1 :	I_{D1}	M_4 :	$I_{D2} + I_{D1}$
M_2 :	$I_{D2} - I_{D1}$	M_5 :	I_{REF}
M_3 :	I_{D2}	M_6 :	I_{OUT}

3.1 PTAT 電流生成回路

図 2 にバイアス回路と PTAT 電流生成回路を示す。抵抗 R に一定電流 I_{REF} をバイアスすることで、抵抗の両端に V_{G1} , V_{G2} のバイアス電圧を生成することができる (I_{REF} の発生方法は [2] を参照)。抵抗 R は、温度係数が小さい金属皮膜抵抗をオフチップで使用する。金属皮膜抵抗の温度係数は、 $\pm 5 \sim \pm 50$ ppm/ $^{\circ}\text{C}$ であり、非常に小さな温度係数である。したがって、温度変動に対してバイアス電圧 V_{G1} , V_{G2} の変動は非常に小さい。この電圧を M_{B1} , M_{B2} のゲート電圧に印加してサブスレッショルド電流 I_{D1} , I_{D2} を生成し、電流ミラー回路で $M_1 \sim M_6$ に入力する。 $M_1 \sim M_6$ のゲート・ソース間電圧は閉ループ内にあるので次式を満たす。

$$V_1 - V_2 + V_3 - V_4 + V_5 - V_6 = 0 \quad (9)$$

それぞれの MOSFET ($M_1 \sim M_6$) を流れるサブスレッショルド電流を表 1 に示す。トランスリニア則により、それぞれのサブスレッショルド電流の間には次式の関係が成立する [3], [4]。

$$I_{D1} I_{D2} I_{REF} = (I_{D2} - I_{D1})(I_{D2} + I_{D1}) I_{OUT} \quad (10)$$

したがって、出力電流 I_{OUT} は次式で表される。

$$I_{OUT} = I_{REF} \frac{I_{D2} I_{D1}}{(I_{D2} - I_{D1})(I_{D2} + I_{D1})} \quad (11)$$

前節の式 (7), (8) より、式 (11) は、次式で表される。

$$I_{OUT} = I_{REF} \frac{\eta k_B}{2e(V_{G2} - V_{G1})} \cdot T \quad (12)$$

したがって、サブスレッショルド電流を発生させる V_{G1} , V_{G2} の差電圧 ($V_{G2} - V_{G1}$) を一定にすることで絶対温度に比例する PTAT 電流を得ることができる。この差電圧 ($V_{G2} - V_{G1}$) は、式 (4), (5) を成立させるために数十 mV 以下の微小差電圧でなければならない。この微小差電圧を生成するために、温度係数が小さい抵抗体 R をオフチップで使用している。

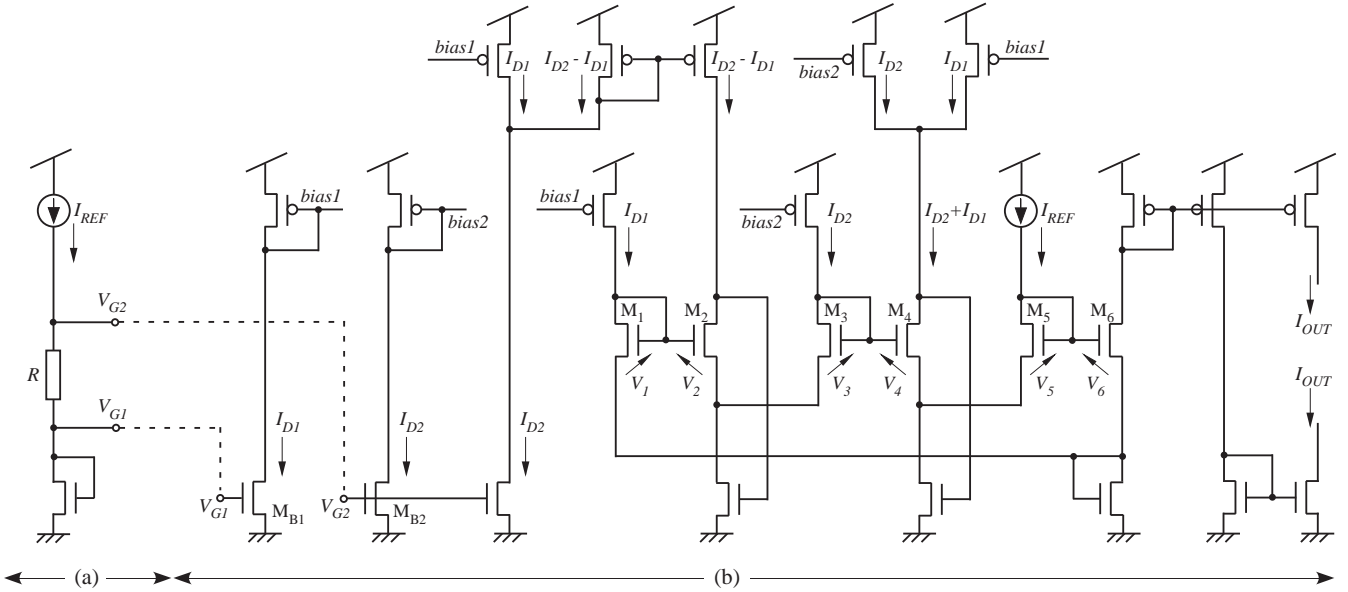


図2 (a) バイアス回路, (b) PTAT 電流生成回路.

3.2 A/D コンバータ

式 (12) の PTAT 電流 I_{OUT} をデジタル変換するために、電荷平衡方式 AD コンバータを用いる。図 3 に A/D コンバータの回路図を示す [5]。この構成は、積分器、コンパレータ、クロック制御回路、カウンタから構成される。クロック ϕ_2 が ON のとき、pMOSFET のカレントミラー回路 (A) より PTAT 電流 I_{OUT} が積分器 (C) に流れ込み、積分器の出力電圧は減少する。出力電圧がコンパレータ (D) の参照電圧値 V_{com2} に到達すると、クロック ϕ_1 が ON になり、積分動作が切り替わる。クロック ϕ_1 により、nMOSFET のカレントミラー回路 (B) より PTAT 電流 I_{OUT} が引き抜かれ、積分器の出力電圧は上昇する。出力電圧がコンパレータ (E) の参照電圧値 V_{com1} に到達すると、クロック ϕ_2 が ON となり同様の積分動作を繰り返す。以上の動作を繰り返すことで、電流に比例したパルスを得ることができる。

一定時間 t_0 秒後の積分器の出力電圧 V_{int} は、積分器に用いる容量値を C とすると次式で表せる。

$$V_{int} = \frac{1}{C} \int_0^{t_0} I_{OUT} dt \quad (13)$$

この出力電圧 V_{int} は、2つのコンパレータの参照電圧値 (V_{com1} , V_{com2}) の差に相当するため次式を満たす。

$$V_{com1} - V_{com2} = \frac{I_{OUT}}{C} \cdot t_0 \quad (14)$$

したがって、一回の充放電 (クロック ϕ_1 , ϕ_2) に $2 t_0$ の時間を要するので、変換パルスの周波数 f は、次式で表される。

$$f = \frac{I_{OUT}}{2C(V_{com1} - V_{com2})} \quad (15)$$

電流 I_{OUT} は PTAT 電流なので、周波数 f は I_{OUT} に依存し、絶対温度に比例する。積分動作の切り替えの際に、積分器の反転端子の電位変動を抑えるためにユニティゲイン構成のオペアンプを接続した [6]。

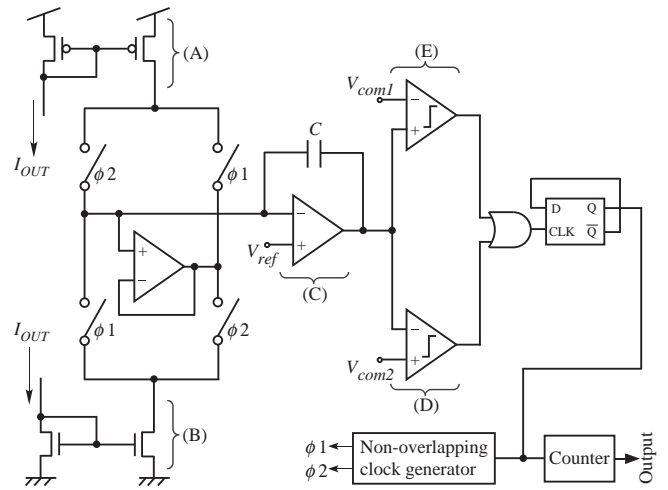


図3 電荷平衡方式 A/D コンバータ.

4. シミュレーション結果

構成した温度センサ回路の SPICE シミュレーション結果を以下に示す。使用プロセスは、 $0.35 \mu\text{m}$ -2P4M, CMOS プロセスである。電源電圧は、マンガンボタン電池の使用を想定して 1.5 V でシミュレーションを行った。

図 4 に、 $-20 \text{ }^\circ\text{C}$ ~ $100 \text{ }^\circ\text{C}$ に温度変化させたときの PTAT 電流生成回路の出力電流特性を示す。参照電流を 100 nA 、抵抗値を $100 \text{ k}\Omega$ に設定した。温度上昇に伴い電流がリニアに増大している。この電流は、A/D コンバータによりデジタル値に変換される。

図 5 に、電荷平衡方式 A/D コンバータに用いた積分器の出力電圧シミュレーション結果を示す。動作温度は、 $-20 \text{ }^\circ\text{C}$, $20 \text{ }^\circ\text{C}$, $60 \text{ }^\circ\text{C}$, $100 \text{ }^\circ\text{C}$ のときの出力電圧である。動作温度の上昇に従って、PTAT 出力電流が増加するため、それに伴い積分量が増加している。積分器の出力電圧がコンパレータの比較電圧と一致した時点で、積分動作の切り替えをしていることが分か

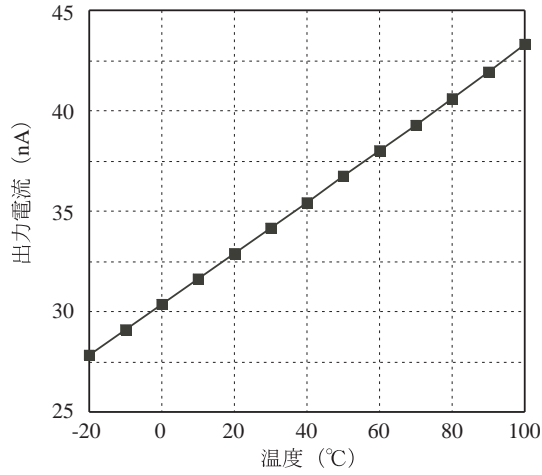


図 4 PTAT 電流生成回路の出力電流シミュレーション結果。

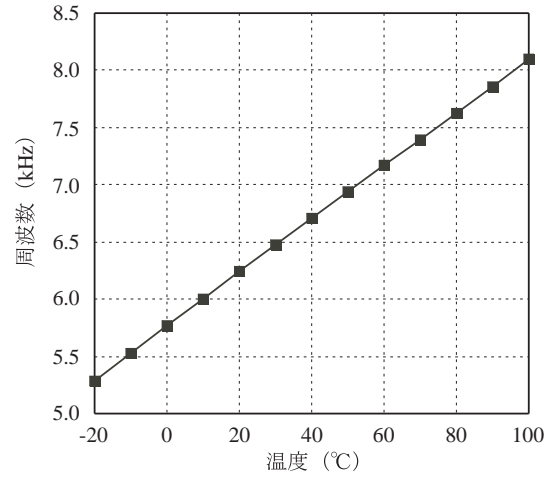


図 6 A/D コンバータの出力周波数シミュレーション結果。

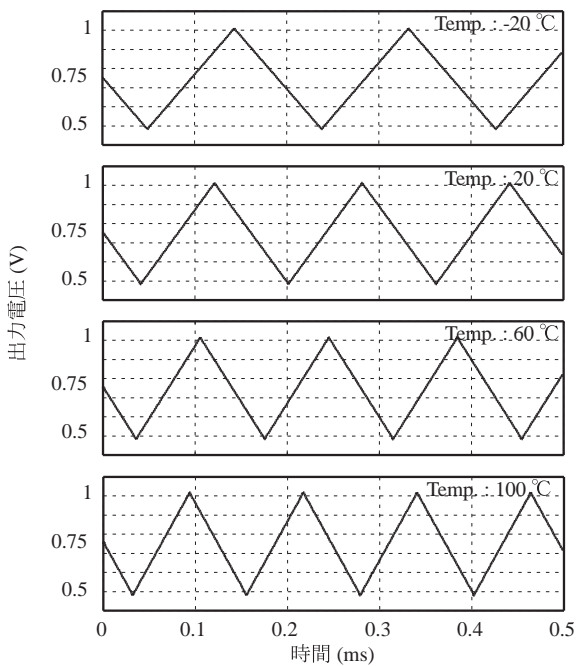


図 5 積分器の出力電圧シミュレーション結果。

る。この積分量は、コンパレータと D-フリップフロップによりパルスに変換される。このパルスの周波数温度特性を図 6 に示す。PTAT 出力電流が、温度に比例した周波数に変換されていることが確認できる。このパルスを一定間隔の時間でカウンタで計数することにより、PTAT 出力電流のデジタル値を得ることができる。

表 2 にシミュレーション結果のまとめを示す。電流量が最も大きくなる 100 °C において、5.8 μW と極低消費電力である。したがって、一般的なボタン電池 (35 mAh) で約 1 年の連続動作が可能である。

表 2 シミュレーション結果のまとめ	
プロセス	0.35- μm , 2-poly, 4-metal CMOS
電源電圧	1.5 V
温度レンジ	-20 - 100 °C
消費電力	5.8 μW ($T=100$ °C)

5. 微小差電圧生成回路の検討

これまでの構成では、2 つの微小差バイアス電圧 ($V_{G2} - V_{G1}$) をオンチップの抵抗体で実現した。この微小差バイアス電圧をオンチップで生成する回路構成の検討を行った。

図 7 に、微小差電圧生成回路の回路図を示す [2]。この回路は、トランジスタサイズを変えたダイオード接続 MOSFET (M_{D1} , M_{D2}) と 3 つの差動対から構成される。ダイオード接続 MOSFET のトランジスタのサイズを変えることで、しきい値電圧が変化することを利用する。この回路の 2 つの出力電圧 (V_{out1} , V_{out2}) の差電圧は、サイズの異なるトランジスタのしきい値電圧の差電圧となる。出力電圧の差電圧は、温度依存項がキャンセルされ、トランジスタサイズに依存した項だけが残る。その差電圧は、数十 mV に設定することができる。以下、回路動作を説明する。

サブスレッショルド電流でバイアスされた二つのダイオード接続 MOSFET (M_{D1} , M_{D2}) のゲート・ソース間電圧 $V_{GS,D1}$ は次式で表せる。

$$V_{GS,D1} = V_{TH,D1} + \eta V_T \ln \left(\frac{I_{bias}}{K_{D1} I_0} \right) \quad (16)$$

$$V_{GS,D2} = V_{TH,D2} + \eta V_T \ln \left(\frac{I_{bias}}{K_{D2} I_0} \right) \quad (17)$$

2 つのダイオード接続 MOSFET (M_{D1} , M_{D2}) のゲート・ソース間電圧の差電圧 $\Delta V_{GS,D}$ は、次式で表される。

$$\begin{aligned} \Delta V_{GS,D} &= V_{GS,D2} - V_{GS,D1} \\ &= \Delta V_{TH,D21} + \eta V_T \ln \left(\frac{K_{D1}}{K_{D2}} \right) \end{aligned} \quad (18)$$

$$\Delta V_{TH,D21} = V_{TH,D2} - V_{TH,D1}$$

ここで、 $\Delta V_{TH,D21}$ は、サイズの異なるトランジスタのしきい値電圧の差である。この差電圧 $\Delta V_{GS,D}$ を、差動対の M_1 , M_2 に印加する。これにより、 M_2 を流れる電流 I_2 はカレントミラー回路によって後段の差動対を構成する M_4 に流れる。したがって、 M_3 , M_4 のゲート・ソース間電圧は次式で表される。

$$V_{GS3} = V_{TH3} + \eta V_T \ln \left(\frac{I_1}{K_3 I_0} \right) \quad (19)$$

$$V_{GS4} = V_{TH4} + \eta V_T \ln \left(\frac{I_2}{K_4 I_0} \right) \quad (20)$$

差動対 M3, M4 のゲート・ソース間電圧の差電圧 ΔV_{GG1} は、次式で表される。

$$\begin{aligned} \Delta V_{GG1} &= V_{GS3} - V_{GS4} \\ &= \Delta V_{TH,34} + \eta V_T \ln \left(\frac{K_4 I_1}{K_3 I_2} \right) \\ &= \Delta V_{TH,34} + \Delta V_{TH,21} - \Delta V_{TH,D21} \\ &\quad + \eta V_T \ln \left(\frac{K_4 K_1 K_{D1}}{K_3 K_2 K_{D2}} \right) \end{aligned} \quad (21)$$

この差電圧 ΔV_{GG1} は、ダイオード接続 MOSFET のゲート・ソース間電圧 $V_{GS,D2}$ に加算され、M4 の出力電圧 V_{out1} は次式で表せる。

$$V_{out1} = V_{GS,D2} + \Delta V_{GG1} \quad (22)$$

同様に、差動対 M6, M5 のゲート・ソース間電圧の差電圧 ΔV_{GG2} は、次式で表せる。

$$\begin{aligned} \Delta V_{GG2} &= V_{GS6} - V_{GS5} \\ &= \Delta V_{TH,65} + \eta V_T \ln \left(\frac{K_5 I_1}{K_6 I_2} \right) \\ &= \Delta V_{TH,65} + \Delta V_{TH,21} - \Delta V_{TH,D21} \\ &\quad + \eta V_T \ln \left(\frac{K_5 K_1 K_{D1}}{K_6 K_2 K_{D2}} \right) \end{aligned} \quad (23)$$

M5 の出力電圧 V_{out2} は差動対 M5, M6 のゲート・ソース間電圧の差電圧 ΔV_{GG2} が加算された次式で表せる。

$$V_{out2} = V_{GS,D1} + \Delta V_{GG2} \quad (24)$$

ここで、これらの電圧 V_{out1} , V_{out2} の差電圧 ΔV_{out12} は次式で表せる。

$$\begin{aligned} \Delta V_{out12} &= V_{out1} - V_{out2} \\ &= \Delta V_{TH,D21} + \Delta V_{TH,34} + \Delta V_{TH,56} \\ &\quad + \eta V_T \ln \left(\frac{K_{D1} K_4 K_6}{K_{D2} K_3 K_5} \right) \end{aligned} \quad (25)$$

したがって、差動対を構成する MOSFET のサイズを調節することで、式 (25) の第 4 項がキャンセルされ、ダイオード接続 MOSFET (M_{D1} , M_{D2})、差動対 (M3~M6) のしきい値電圧の差分だけの項が残った出力電圧となる。すなわち、しきい値電圧の温度依存性がキャンセルされた MOSFET のサイズのみ依存した電圧だけが残る。この 2 つのバイアス電圧 (V_{out1} , V_{out2}) を PTAT 電流生成回路の微小差電圧に使用する。

図 8 に、微小差電圧回路のシミュレーション結果を示す。温度を $-20^\circ\text{C} \sim 100^\circ\text{C}$ まで変動させたときの、 V_{out1} と V_{out2} の差電圧のシミュレーション結果である。温度に対しての変動は、 $\pm 2\%$ である。この変動の要因として、ダイオード接続 MOSFET (M_{D1} , M_{D2}) のゲート・ソース間電圧の温度に対しての非線形項があげられる。出力差電圧は、温度に比例する 1 次係数をキャンセルすることができるが、高次の温度依存性をもった非線形項が残る。

このバイアス電圧の変動は、高精度な PTAT 電流を生成するためには、十分な精度ではない。今後は、温度変動に対しての電圧変動を抑えるため、ダイオード接続 MOSFET (M_{D1} , M_{D2})、差動対 (M3~M6) のしきい値電圧の制御等を行う補整回路を検討する予定である。

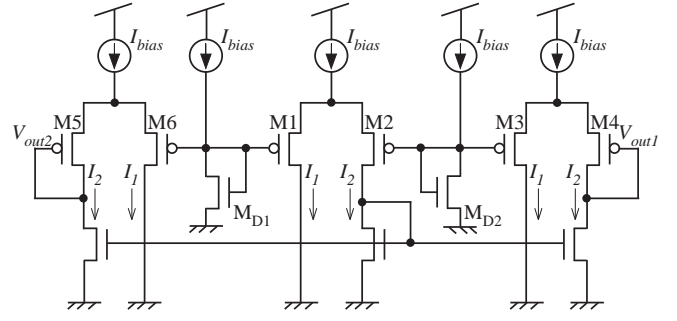


図 7 微小差電圧生成回路。

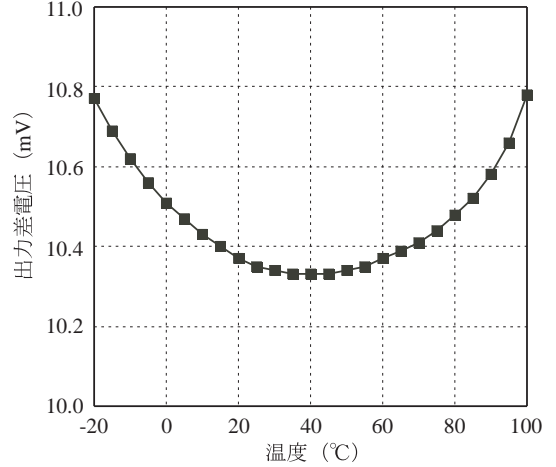


図 8 微小差電圧生成回路の出力 ($V_{out1} - V_{out2}$) シミュレーション結果。

6. まとめ

本研究では、サブスレッショルド領域で動作する CMOS スマート温度センサの検討を行った。温度センサとして、MOSFET のサブスレッショルド電流の温度感性性を利用し、絶対温度に比例する PTAT 電流を生成した。また、サブスレッショルド電流で回路を動作させることで極低消費電力の構成を実現した。今後は、高精度キャリブレーションの検討、また微小差電圧回路の精度を上げ、全ての回路ブロックをワンチップ化する構成を検討予定である。

文献

- [1] Yuan Taur, and Tak H. Ning, "Fundamentals of Modern VLSI Devices", Cambridge University Press, 2002.
- [2] T. Hirose, T. Matsuoka, K. Taniguchi, T. Asai, and Y. Amemiya, "Ultralow-power current reference circuit with low temperature dependence," IEICE Trans. Electron., Vol.E88-C, no.6, pp.1142-1147, Nov. 2004.
- [3] S.-C. Liu, J. Kramer, G. Indiveri, T. Delbruck, and R. Douglas, Analog VLSI: circuits and principles, MIT PRESS, 2002.
- [4] E.S. -Sinencio and A.G. Andreou, Low-Voltage / Low-Power Integrated Circuits and Systems, IEEE, 1999.
- [5] R. Jacob Baker, Harry W. Li, David E. Boyce, "CMOS circuit design, layout, and simulation", IEEE Press, 1998.
- [6] F. Gardner, "Charge-Pump Phase-Lock Loops," IEEE Transactions on Communications, vol. COM-28, no. 11, pp. 1849-1858, Nov. 1980.