

MOSFET のしきい値電圧を参照した基準電圧源回路

上野 憲一[†] 廣瀬 哲也[†] 浅井 哲也[†] 雨宮 好仁[†]

[†] 北海道大学大学院 情報科学研究科 〒060-0814 北海道札幌市北区北14条西9丁目

E-mail: †{k_ueno,hirose,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

あらまし 絶対零度での MOSFET のしきい値電圧を出力する基準電圧源回路を開発した。この回路は、MOSFET のサブスレッショルド領域を利用して温度係数が正の電圧と負の電圧を生成し、これらを加算することでゼロ温度係数を実現する。また、バイアス電流の生成では、抵抗体の代わりに強反転線形領域で動作する MOSFET を利用することで回路面積を削減している。この回路を $0.35\ \mu\text{m}$ CMOS パラメータにより設計し、その動作を SPICE シミュレーションで確認した。 $-20\ \sim 100\ ^\circ\text{C}$ の温度変動に対して出力電圧の値は $0.81\ \text{V}$ であり、その変動率は $\pm 0.2\ \%$ であった。また $1.2\ \text{V} \sim 3\ \text{V}$ の電源電圧の変動に対して参照電圧の変動は $\pm 0.5\ \%$ であった。プロセス変動によるデバイスミスマッチを考慮してモンテカルロ解析を行い、参照電圧の温度特性における相対バラツキが $\pm 0.3\ \%$ 以内であることを確認した。この回路は、サブスレッショルド領域と強反転線形領域で動作する CMOS 回路のみで構成し、 $0.5\ \mu\text{W}$ の極低電力で動作する。

キーワード CMOS, 参照電圧源, 基準電圧源, サブスレッショルド (弱反転) 領域, 強反転線形領域, 極低消費電力

CMOS Voltage Reference Based on Threshold Voltage of a MOSFET

Ken UENO[†], Tetsuya HIROSE[†], Tetsuya ASAI[†], and Yoshihito AMEMIYA[†]

[†] Graduate School of Information Science and Technology, Hokkaido University

kita 14, Nishi 9, kita-ku, Sappor, Hokkaido, 060-0814 Japan

E-mail: †{k_ueno,hirose,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

Abstract We developed a voltage reference circuit using MOSFETs operated in the subthreshold region, except for the MOS resistor in the strong-inversion and deep triode region. The circuit consists of a current source sub-circuit and a constant-voltage subcircuit without resistors. We confirmed the operation of the circuit by SPICE simulation with a set of $0.35\text{-}\mu\text{m}$ standard CMOS parameters. SPICE simulation demonstrated that the circuit generates the threshold voltage of nMOSFET, about $0.81\ \text{V}$, at absolute zero. The accuracy of the reference circuit was within $\pm 0.2\ \%$ in a temperature range of $-20\ \sim 100\ ^\circ\text{C}$ and within $\pm 0.5\ \%$ for a V_{DD} range of $1.2\ \sim 3\ \text{V}$. To confirm the circuit operation with device variation, we carried out Monte Carlo simulations assuming process spread and device mismatch in all MOSFETs. The error of the output voltage was within $\pm 0.3\ \%$ in the temperature range. The total power consumption of the circuit was $0.5\ \mu\text{W}$ with a V_{DD} of $1.5\ \text{V}$.

Key words CMOS, Voltage reference, Subthreshold region, Weak-inversion, Deep triode region, Ultralow-power

1. ま え が き

ユビキタスネットワーク社会の到来に伴い、それを支えるセンサデバイスの開拓が不可欠となっている。これらのセンサデバイスは、我々の周りの様々な情報をセンシングし、これまでにない新しい情報社会基盤を実現すると期待されている [1]。このような社会基盤を実現するためには、限られたエネルギー源のもとで各種のセンシングを行なうスマートセンサ LSI を開発することが求められている。これらのセンサは極低電力で動作し

なければならないため、超小型電池を電源とするか、あるいは周囲の環境エネルギーから電力を取得するか、いずれにしても極めて限られた電力消費のもとで長時間に渡る各種センシング動作をしなければならない。このような微弱電力供給のもとで数年以上に渡る連続動作を可能にするためには、センサ LSI 全体の消費電力を数 μW 以下に抑える必要がある。

これまで MOSFET は素子の微細化と電源電圧の低減により消費電力の削減を実現してきた [2], [3]。しかし、微細化プロセス技術においては、原子層レベルでの極薄膜の形成制御技術、リ

続 MOSFET (M_4) と 2 つの差動対 ($M_3 - M_6, M_5 - M_7$) を組み合わせた構成である。差動対を用いることにより、ゲート端子間に正の温度係数をもつ電圧を生成し [14], [15], ダイオード接続 MOSFET の示す負の温度係数電圧と加算して一定電圧を生成する。電流源サブサーキットで生成した電流 I_P をカレントミラー回路により電圧源サブサーキットへ供給し、トランジスタ M_7 のゲート電圧に基準電圧 V_{REF} を生成する。この電圧 V_{REF} は、温度に対して一定の電圧を出力し、参照電圧源として使用することができる。トランジスタ M_{R1}, M_{R2} は強反転線形領域で動作し、他のトランジスタはすべてサブスレッシュヨルド領域で動作する。

3.2 動作原理

はじめに、本回路で使用する強反転線形領域、サブスレッシュヨルド領域特性について説明する。

強反転線形領域での MOSFET の電流電圧特性は、 V_{DS} が十分に小さいとき次式で表される。

$$I_D = \beta(V_{GS} - V_{TH})V_{DS} \quad (1)$$

ここで、 I_D はドレイン電流、 β は電流利得係数、 V_{GS} はゲート・ソース間電圧、 V_{TH} はしきい値電圧、そして V_{DS} はドレイン・ソース間電圧を表している。一方、MOSFET のゲート・ソース間電圧がしきい値電圧以下のとき、サブスレッシュヨルド電流 (弱反転電流) I_D が流れる。ここで、ドレイン・ソース間電圧が 0.1 V 以上のとき、 I_D は指数関数で近似できて次のようになる [16]。

$$I_D = KI_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \quad (2)$$

ここで、 $K(=W/L)$ はアスペクト比、 $I_0(= \beta(\eta - 1)V_T^2)$ はサブスレッシュヨルド電流の前置係数、 η はゲート酸化膜容量と空乏層容量に起因するデバイス構造由来の定数、 $V_T(= k_B T/q)$ は熱電圧である。

電流源サブサーキットのトランジスタ M_1, M_2, M_{R1} および基準電圧 V_{REF} により回路を流れる電流 I_P が決まる。トランジスタ M_1, M_2 のゲート・ソース間電圧の差分が強反転線形 MOS 抵抗 M_{R1} のドレイン電圧 V_{R1} となることから、 V_{R1} は次式で表せる。

$$V_{R1} = V_{GS1} - V_{GS2} = \eta V_T \ln\left(\frac{K_2}{K_1}\right). \quad (3)$$

したがって、回路を流れる電流 I_P は次式を満たす。

$$\begin{aligned} I_P &= \beta(V_{REF} - V_{TH})V_{R1} \\ &= \beta(V_{REF} - V_{TH})\eta V_T \ln\left(\frac{K_2}{K_1}\right). \end{aligned} \quad (4)$$

電圧源サブサーキットの基準電圧 V_{REF} は、強反転線形 MOS 抵抗 M_{R2} のドレイン電圧 V_{R2} から、トランジスタ M_3-M_7 のゲート・ソース間電圧を加減算したものであるから、次式が成立する。

$$V_{REF} = V_{R2} + V_{GS4} - V_{GS3} + V_{GS6} - V_{GS5} + V_{GS7} \quad (5)$$

ここで、強反転 MOS 抵抗 M_{R2} に流れる電流が $3I_P$ となるので、 M_{R2} のドレイン電圧 V_{R2} は、次式を満たす。

$$3I_P = \beta(V_{REF} - V_{TH})V_{R2}. \quad (6)$$

したがって、式 (4), (6) より

$$\begin{aligned} V_{R2} &= \frac{3I_P}{\beta(V_{REF} - V_{TH})} \\ &= \frac{3\beta(V_{REF} - V_{TH})}{\beta(V_{REF} - V_{TH})} \eta V_T \ln\left(\frac{K_2}{K_1}\right) \\ &= \eta V_T \ln\left(\frac{K_2^3}{K_1^3}\right) \end{aligned} \quad (7)$$

となる。サブスレッシュヨルド電流式 (2)、および式 (7) を用いることにより、式 (5) は次式で表せる。

$$\begin{aligned} V_{REF} &= V_{R2} + V_{GS4} - V_{GS3} + V_{GS6} - V_{GS5} + V_{GS7} \\ &= V_{GS4} + \eta V_T \ln\left(\frac{2K_2^3 K_3 K_5}{K_1^3 K_6 K_7}\right) \\ &= V_{TH4} + \eta V_T \ln\left(\frac{3I_P}{K_4 I_0}\right) + \eta V_T \ln\left(\frac{2K_2^3 K_3 K_5}{K_1^3 K_6 K_7}\right). \end{aligned} \quad (8)$$

したがって、基準電圧 V_{REF} は、トランジスタ M_4 のゲート・ソース間電圧 V_{GS4} と熱電圧 V_T をトランジスタサイズ (M_1-M_7) でスケールした値に依存する。式 (8) の右辺第 1 項と第 2 項が負の温度依存性を持つこと、さらに右辺第 3 項に正の温度依存性を持たせることができることから、トランジスタサイズ (K) を適切に設定することで温度に依存しない一定電圧を生成することができる。

3.3 温度特性

式 (8) で表される基準電圧 V_{REF} の温度特性を考える。一般に、しきい値電圧 V_{TH} 、および移動度 μ の温度依存性は次式で表される [16]。

$$V_{TH} = V_{TH0} - \kappa T, \quad (9)$$

$$\mu = \mu_0 \left(\frac{T_0}{T}\right)^m \quad (10)$$

ここで V_{TH0} は絶対零度におけるしきい値電圧、 κ はしきい値電圧の温度係数、 μ_0 は温度 T_0 における移動度、そして m は移動度の温度係数である。これより、基準電圧 V_{REF} の温度係数は次式で表せる。

$$\begin{aligned} \frac{dV_{REF}}{dT} &= \frac{dV_{TH}}{dT} + \frac{d}{dT} \left\{ \eta V_T \ln\left(\frac{3I_P}{K_4 I_0}\right) \right\} \\ &\quad + \frac{d}{dT} \left\{ \eta V_T \ln\left(\frac{2K_2^3 K_3 K_5}{K_1^3 K_6 K_7}\right) \right\}. \end{aligned} \quad (11)$$

式 (4) より、電流 I_P を代入して次式を得る。

$$\begin{aligned} \frac{dV_{REF}}{dT} &= -\kappa + \frac{\eta k_B}{q} \ln\left\{ \frac{3K_\beta(V_{REF} - V_{TH})}{K_4(\eta - 1)V_T} \eta \ln\left(\frac{K_2}{K_1}\right) \right\} \\ &\quad + \eta V_T \left\{ \frac{1}{V_{REF} - V_{TH}} \frac{dV_{REF}}{dT} + \frac{\kappa}{V_{REF} - V_{TH}} - \frac{1}{T} \right\} \\ &\quad + \frac{\eta k_B}{q} \ln\left(\frac{2K_2^3 K_3 K_5}{K_1^3 K_6 K_7}\right) \end{aligned} \quad (12)$$

ここで、 ηV_T が、また基準電圧 V_{REF} と絶対零度のしきい値電圧 V_{TH0} の差分が κT に比べて十分小さいとき、すなわち、

$$\eta V_T \ll \kappa T, \quad (13)$$

$$V_{REF} - V_{TH0} \ll \kappa T \quad (14)$$

であるとする、式 (12) は次式で近似することができる。

$$\frac{dV_{REF}}{dT} = -\kappa + \frac{\eta k_B}{q} \ln \left\{ \frac{6q\eta\kappa}{k_B(\eta-1)} \frac{K_\beta K_2^3 K_3 K_5}{K_1^3 K_4 K_6 K_7} \ln \left(\frac{K_2}{K_1} \right) \right\}. \quad (15)$$

ここで、回路設計パラメータ K を次式の通り設定する。

$$\kappa = \frac{\eta k_B}{q} \ln \left\{ \frac{6q\eta\kappa}{k_B(\eta-1)} \frac{K_\beta K_2^3 K_3 K_5}{K_1^3 K_4 K_6 K_7} \ln \left(\frac{K_2}{K_1} \right) \right\}. \quad (16)$$

式 (16) を満たすように回路設計パラメータ K を設定することで、基準電圧 V_{REF} の温度係数をゼロにすることができる。したがって、温度に依存しない一定電圧を生成することができる。このときの基準電圧 V_{REF} は式 (16) を式 (8) に代入することにより次式で表される。

$$V_{REF} = V_{TH0} + \eta V_T \ln \left(1 + \frac{V_{REF} - V_{TH0}}{\kappa T} \right). \quad (17)$$

式 (13), (14) の関係より、出力電圧は次式で表される。

$$V_{REF} = V_{TH0}. \quad (18)$$

これより、基準電圧 V_{REF} は絶対零度におけるしきい値電圧 V_{TH0} が出力されることになる。

4. シミュレーション結果

開発した基準電圧源の SPICE シミュレーション結果を示す。使用プロセスは、0.35 μm -2P4M, CMOS プロセスである。電源電圧は、ボタン電池の使用を想定して 1.5 V とした。

温度を $-20^\circ\text{C} \sim 100^\circ\text{C}$ まで変動させたときの出力電圧 V_{REF} のシミュレーション結果を図 2 に示す。参照電圧値は 0.81 V であり温度に対してほぼ一定の特性である。その平均値からの温度変動率は $\pm 0.2\%$ 以内である。図 3 に、 $T=27^\circ\text{C}$ における出力電圧 V_{REF} の電源電圧依存性を示す。電源電圧 V_{DD} が 1.2 V から回路が動作していることが確認できる。また、電源電圧変動 (1.2 - 3 V) による出力電圧の変動率は $\pm 0.5\%$ 以内である。図 4 に、PSRR (電源電圧変動除去比) 特性を示す。周波数 100 Hz において PSRR は -45 dB である。

製造プロセスバラツキに対する回路動作検証を行うため、モンテカルロシミュレーションを行なった。その結果を図 5 ~ 図 8 に示す。トランジスタのプロセス変動による絶対バラツキ (均一分布を想定)、およびランダムバラツキ (ガウス分布を想定) を考慮した。図 5 に、温度変動させたときの出力電圧 V_{REF} のシミュレーション結果を示す。出力電圧 V_{REF} は絶対零度におけるしきい値電圧を参照するため、プロセス変動に伴い基準電圧 V_{REF} の絶対値は大きく変動することが確認できる。しかし、全てのシミュレーション結果において、温度に対する変動は十分小さくすることができており、一定電圧を出力することが分かる。図 6 に、出力電圧の平均値 $\overline{V_{REF}}$ のヒストグラムを示す。出力電圧はしきい値電圧の絶対バラツキ (均一分布を想定) の影響により均一に分布していることが確認できる。しきい値電圧の変動に対する出力電圧の平均値 $\overline{V_{REF}}$ の変動シミュレーション結果を図 7 に示す。出力電圧は ± 0.1 V のしきい値電

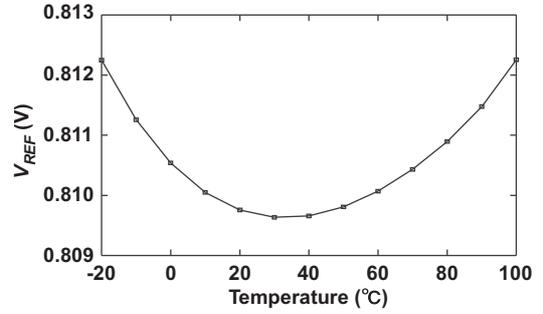


図 2 出力電圧 V_{REF} の温度特性。

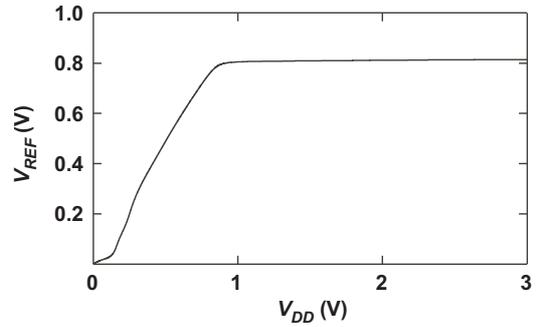


図 3 出力電圧 V_{REF} の電源電圧依存特性。

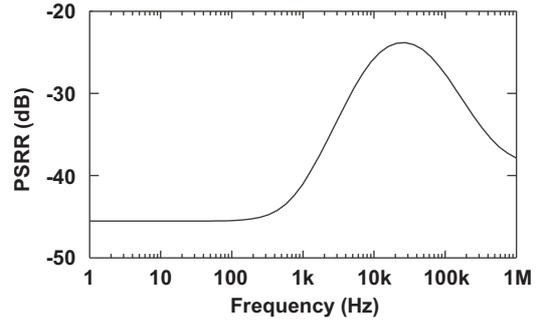


図 4 PSRR (電源電圧変動除去比) 特性。

圧 V_{TH} の変動に対してほぼ線形に変化していることが分かる。MOSFET のしきい値電圧 V_{TH} の製造プロセスバラツキを反映した出力電圧となる。図 8 に出力電圧 V_{REF} の温度に対する変化率 $\Delta V_{REF} / \overline{V_{REF}}$ を示す。その変動率は、すべてのシミュレーションにおいて $\pm 0.3\%$ 以内に抑制することができている。

表 1 にシミュレーション結果のまとめを示す。消費電力は、電流量が最も大きくなる 100°C において、 $0.53 \mu\text{W}$ と極低電力動作である。以上のシミュレーション結果より、サブスレッシュヨルドシステムにおける基準電圧源回路として使用することができる見通しを得た。

提案回路は、しきい値電圧の変化に対して線形に変動する特性を有するため、そのままでは通常用途のリファレンス電圧として使用するには検討が必要である。我々の想定しているセンサ信号処理においてはリファレンス信号からの差分信号が重要な役割を果たすことから差分信号処理を行なうアーキテクチャの検討が今後の課題となる。また一方で、提案した基準電圧源回路は MOSFET のしきい値電圧を参照するため、その絶対値

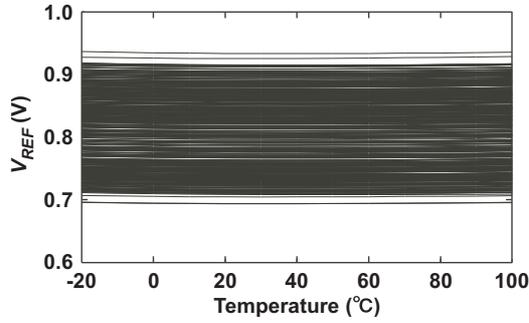


図 5 出力電圧 V_{REF} の温度特性モンテカルロ解析.

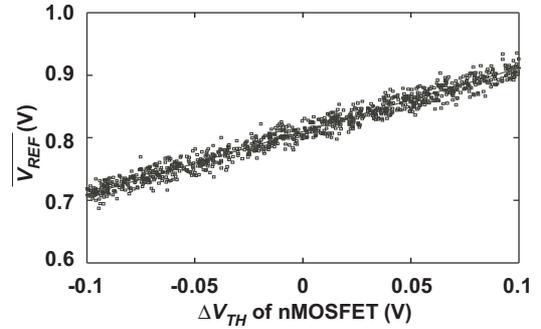


図 7 出力電圧の平均値 $\overline{V_{REF}}$ のしきい値電圧依存特性.

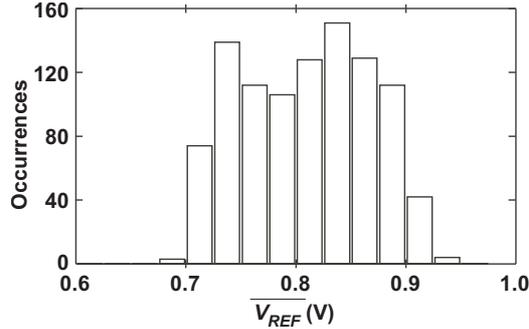


図 6 出力電圧の平均値 $\overline{V_{REF}}$ のヒストグラム.

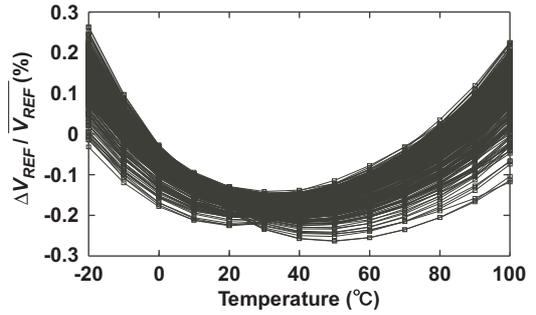


図 8 モンテカルロ解析による出力電圧 V_{REF} の誤差特性.

はプロセス変動と共に大きく変化する特徴を持つ．すなわち、出力電圧をモニタすることでチップのプロセス変動をモニタすることが可能である．したがって、本回路の出力電圧はプロセス変動に伴う消費電力の変化や遅延時間の変化等の補償技術の要素回路として使用することができる．これは、サブスレッショルド LSI だけでなく既存の強反転動作の CMOS LSI にも適用できる．

これまで述べてきた回路構成のレイアウトパターンを図 9 に示す．面積は $0.035 \text{ mm}^2 (=190 \times 186 \mu\text{m})$ である．

5. 基準電圧 V_{REF} の温度依存性

前節で示したように、モンテカルロシミュレーションによる出力電圧は、図 5-図 7 で示したように出力電圧の絶対値が大きく変動することがわかる．しかし、図 8 に示すように相対バラツキは、全てのシミュレーションにおいて $\pm 0.3 \%$ 以内とすることができ、その誤差は小さくできることがわかる．すなわち、絶対零度でのしきい値電圧の絶対値は大きく変化するが、しきい値電圧の温度係数はほぼ変化しないといえる．ここでは、しきい値電圧のバラツキが回路動作に与える影響について考察する．

しきい値電圧 V_{TH} は式 (9) で表すことができるが、この表現は回路設計用の簡略化した式であり、物理的な表現は次式で与えられる [16]．

$$V_{TH} = -\frac{E_g}{2q} + \psi_B + \frac{\sqrt{4\epsilon_{si}qN_A\psi_B}}{C_{OX}}, \quad (19)$$

ただし

$$\psi_B = V_T \ln\left(\frac{N_A}{n_i}\right) \quad (20)$$

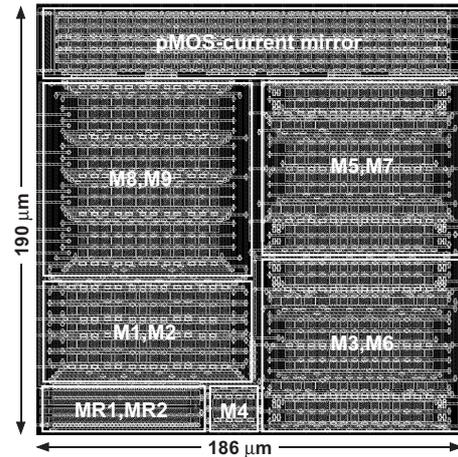


図 9 レイアウトパターン (0.035 mm^2).

表 1 Performance summary

Technology	0.35- μm , 2-poly, 4-metal CMOS
Temperature range	-20 - 100 °C
V_{DD}	1.5 V
V_{REF}	0.81 V (TYP.)
Power	0.53 μW ($T = 100 \text{ }^\circ\text{C}$)
$\Delta V_{REF} / \overline{V_{REF}}$	$\pm 0.3 \%$ ($T = -20 - 100 \text{ }^\circ\text{C}$) $\pm 0.5 \%$ ($V_{DD} = 1.2 - 3 \text{ V}$)
PSRR	-45 dB ($f=100 \text{ Hz}$)
Layout area	$0.035 \text{ mm}^2 (=190 \times 186 \mu\text{m})$

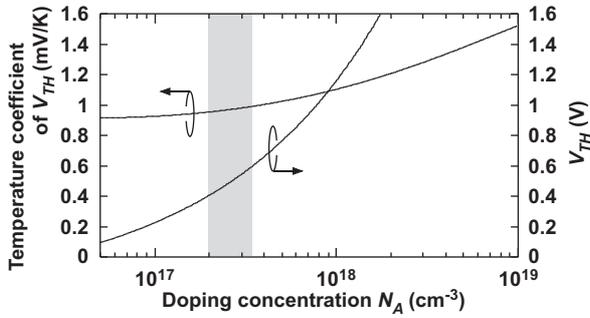


図 10 ドーピング濃度に対するしきい値電圧の温度係数, およびしきい値電圧の数値計算結果.

ここで, ψ_B はフェルミ準位と真性準位との差, ϵ_{si} はシリコンの誘電率, N_A は不純物濃度, n_i は真性キャリア密度, そして E_g はシリコンのバンドギャップエネルギーである. すなわち, しきい値電圧の温度依存性は, E_g と ψ_B の温度依存性に起因する. 式 (18), (19) より, しきい値電圧の温度係数は次式で表すことができる.

$$\frac{dV_{TH}}{dT} = -(2\eta - 1) \frac{k_B}{q} \left\{ \ln \left(\frac{\sqrt{N_C N_V}}{N_A} \right) + \frac{3}{2} \right\} + \frac{\eta - 1}{q} \frac{dE_g}{dT} \quad (21)$$

ここで, N_C と N_V は伝導体と荷電子帯における実効状態密度である. 式 (18), (19) から分かるとおり, しきい値電圧 V_{TH} は不純物濃度 N_A に依存するため, N_A のバラツキがしきい値電圧 V_{TH} のバラツキに大きく影響を与えることがわかる. しかし一方で, 式 (20) から明らかな通り, しきい値電圧の温度依存性は, 不純物濃度 N_A が対数項に含まれるため, 大きく変動することは無い. このことを数値計算により確認した結果を図 10 に示す. 不純物濃度に対するしきい値電圧の温度係数およびしきい値電圧をプロットしたものである. この数値計算には本設計で使用した $0.35 \mu\text{m}$ CMOS プロセスパラメータを使用した. 図 10 より, $2 \times 10^{17} (\text{cm}^{-3})$ の不純物濃度周辺 (使用した標準 CMOS プロセスでの不純物濃度) において, しきい値電圧が $\pm 20\%$ ($0.5 \pm 0.1 \text{ V}$) 変動した場合, 温度係数は $\pm 2\%$ 程度と比較的変化が小さいことが確認できる. このため, 図 8 のシミュレーション結果で示したとおり, 温度係数の変動は小さくなり, 式 (16) に基づく回路設計パラメータ K を適切に設定することで, しきい値電圧の負の温度依存性を打ち消し, ゼロ温度係数の電圧を生成することができる. つまり, 温度変動の小さな基準電圧源を構築することが可能である.

6. ま と め

本稿では, 極低電力で動作する基準電圧源回路を提案した. この回路は抵抗素子を用いずに, 強反転線形領域で動作する線形 MOS 抵抗と, サブスレッショルド領域で動作する MOSFET で構成した. 出力電圧は 0.81 V の絶対零度のしきい値電圧を参照する. モンテカルロ解析により出力電圧の相対精度は $-20^\circ\text{C} \sim 100^\circ\text{C}$ の温度範囲で $\pm 0.3\%$ 以内に抑えることができることを確認した. また, 動作電圧は 1.2 V 以上の電源電圧で動作し, 電源電圧の変動に対して出力電圧の変動は $\pm 0.5\%$ であった. 消費電力は最大 $0.5 \mu\text{W}$ の極低電力構成を実現した. これらの結

果より, この回路は, サブスレッショルドシステムにおける基準電圧源回路として使用することができる見通しを得た.

謝 辞

本研究は東京大学大規模集積システム設計教育研究センターを通し, 日本ケイデンス株式会社の協力で行われたものである.

文 献

- [1] Ministry of Internal Affairs and Communications, “u-Japan Policy,” http://www.soumu.go.jp/menu_02/ict/u-japan/index.html
- [2] R. H. Dennard, F. H. Gaensslen, H. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, “Design of ion-implanted MOSFET’s with very small physical dimensions,” *IEEE Journal of Solid-State Circuits*, vol. 9, pp. 256 - 268, Oct. 1974.
- [3] G. E. Moore, “No exponential is forever: But “Forever” can be delayed!,” *IEEE International Solid-State Circuits Conference*, vol. XLVI, pp. 20 - 23, Feb. 2003.
- [4] H. Iwai, “CMOS technology-Year 2010 and beyond,” *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 357 - 366, Mar. 1999.
- [5] S. Yan, “Low voltage analog circuit design techniques: A tutorial,” *IEICE Trans. Fundamentals*, Vol.E83-A, no.2, pp.179-196, Feb. 2000.
- [6] K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, “CMOS smart sensor for monitoring the quality of perishables,” *IEEE Journal of Solid-State Circuits*, vol. 42, no. 4, pp. 798-803, Apr. 2007.
- [7] T. Hirose, T. Asai, and Y. Amemiya, “Power-supply circuits for ultralow-power subthreshold MOS-LSIs,” *IEICE Electronics Express*, vol. 3, no. 22, pp. 464-468 2006.
- [8] K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, “Ultralow-power smart temperature sensor with subthreshold CMOS circuits,” *Proceedings of the 2006 International Symposium on Intelligent Signal Processing and Communication Systems*, pp. 546-549, Dec. 2006.
- [9] P. K. T. Mok and K. N. Leung, “Design considerations of recent advanced low-voltage low-temperature-coefficient CMOS bandgap voltage reference,” *2004 IEEE Custom Integrated Circuits Conference*, May 2004.
- [10] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, and K. Sakui, “A CMOS bandgap reference circuit with sub-1-V operation,” *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 670 - 674, May. 1999.
- [11] A. E. Buck, C. L. McDonald, S. H. Lewis, and T. R. Viswanathan, “A CMOS bandgap reference without resistors,” *IEEE Journal of Solid-State Circuits*, vol. 37, pp. 81 - 83, Jan. 2002.
- [12] T. Hirose, T. Matsuoka, K. Taniguchi, T. Asai, and Y. Amemiya, “Ultralow-power current reference circuit with low temperature dependence,” *IEICE Trans. Electron.*, Vol.E88-C, no.6, pp.1142-1147, Nov. 2004.
- [13] T. Matsuda, R. Minami, A. Kanamori, H. Iwata, T. Ohzone, S. Yamamoto, T. Ihara, S. Nakajima, “A Temperature and Supply Voltage Independent CMOS Voltage Reference Circuit,” *IEICE Trans. Electron.*, Vol.E88-C, no.5, pp.1087-1093, Nov. 2005.
- [14] E. A. Vittoz and O. Neyroud, “A low-voltage CMOS bandgap reference,” *IEEE Journal of Solid-State Circuits*, vol. 14, pp. 573 - 579, Jun. 1979.
- [15] W. M. Sansen, F. Op’t Eynde, and M. Steyaert, “A CMOS temperature-compensated current reference,” *IEEE Journal of Solid-State Circuits*, vol. 23, pp. 821 - 824, June 1988.
- [16] Y. Taur, T.H. Ning, “*Fundamentals of Modern VLSI Devices*,” Cambridge University Press, 2002.