

低電圧 CMOS デジタル回路の特性バラツキ補償技術の構築

次田 祐輔[†] 上野 憲一[†] 廣瀬 哲也^{††} 浅井 哲也[†] 雨宮 好仁[†]

[†] 北海道大学大学院 情報科学研究科 〒 060-0814 北海道札幌市北区北 14 条西 9 丁目

^{††} 神戸大学 大学院工学研究科 〒 657-8501 兵庫県神戸市灘区六甲台町 1-1

E-mail: [†]{tsugita,k_ueno,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp, ^{††}hirose@eedept.kobe-u.ac.jp

あらまし 低電圧 CMOS デジタル回路において、しきい値電圧のバラツキは回路特性を大きく変動させる。そこで本稿では、CMOS デジタル回路の特性バラツキをオンチップで補正する集積回路技術を提案する。この回路技術は、回路動作のバラツキの原因となるオン電流のバラツキを、プロセス変動バラツキに強いリファレンス電流に規定することでデジタル回路の特性バラツキを抑制する。提案回路は、温度変動による動作バラツキにも適応可能である。この回路を $0.35\ \mu\text{m}$ CMOS パラメータにより設計を行い、SPICE シミュレーションにより補正動作を確認した。また、モンテカルロ解析により提案回路の有効性を確認した。本提案回路技術を適用することで、デジタル回路の遅延時間バラツキを約 65% 補正可能である。これにより歩留まりの向上や設計動作マージンの緩和が期待できる。

キーワード CMOS, 低電圧デジタル回路, プロセスバラツキ, バラツキ補正

Process compensation techniques for low-voltage CMOS digital circuits

Yusuke TSUGITA[†], Ken UENO[†], Tetsuya HIROSE^{††}, Tetsuya ASAI[†], and Yoshihito AMEMIYA[†]

[†] Graduate School of Information Science and Technology, Hokkaido University
kita 14, nishi 9, kita-ku, Sapporo 060-0814, Japan

^{††} Department of Electrical and Electronics Engineering, Kobe University
1-1 Rokkodai, Nada, Kobe 657-8501, Japan

E-mail: [†]{tsugita,k_ueno,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp, ^{††}hirose@eedept.kobe-u.ac.jp

Abstract In low-voltage CMOS digital circuits, threshold voltage variation fluctuates circuit performance significantly. In this work, on-chip process compensation techniques for low-voltage CMOS digital circuits were proposed. We employed on-current compensation techniques in a digital circuit by using a reference current, that is independent of process variations. In addition, the technique can be applied to circuit performance's fluctuation induced by temperature change. We confirmed the operation of the circuit by a SPICE simulation with a set of $0.35\text{-}\mu\text{m}$ standard CMOS parameters, and performed Monte Carlo simulations assuming process spread and device mismatch in all MOSFETs. SPICE simulation demonstrated that the process variations of digital circuits were improved to 65% by applying the proposed architecture. The techniques will be useful for on-chip process compensation of digital circuits.

Key words CMOS, Low-voltage digital circuits, Process variation, Process compensation

1. ま え が き

CMOS 半導体集積回路はデバイス素子の微細化により目覚ましい発展を遂げてきた。その応用範囲は広く、携帯電話・ノートパソコン・IC タグなどのモバイル端末に及び、ユビキタスネットワーク社会の到来に大きく貢献している。これらモバイル端末は電池バッテリー寿命を延ばすため、低消費電力化が強く求められる。消費電力を低減する手法として、電源電圧の低減

と高 V_{th} トランジスタの使用が挙げられる。電源電圧を下げることで、スイッチングの際に負荷容量を充放電する電荷量を減らすことができ、また高 V_{th} トランジスタの使用によりリーク電流を減らすことができる。どちらも低消費電力化に大きく寄与することができ、モバイル端末においては広く使用されている。しかし、電源電圧の低減と共にデジタル回路では、しきい値電圧バラツキが回路動作に与える影響が大きくなり、第一次近似では $1/(V_{DD} - V_{th})$ に比例して増大する [1]。したがって、

電源電圧の低減や高 V_{th} トランジスタの使用はいずれも回路特性バラツキを増大させてしまう。

MOS トランジスタのしきい値電圧バラツキは、プロセスバラツキや温度変化により引き起こされる。プロセスバラツキによるしきい値電圧の変動は最大で ± 0.1 V 程度にもなる。また、動作温度範囲を -20°C から 100°C まで考慮すると、温度変化によるしきい値電圧の変動は 0.1 V 程度になる。このことは LSI 全体の歩留まりを低下させ、回路性能・信頼性の劣化や最適設計を困難にする。これまで、デジタル回路の動作補正は、クロックを用いたものが一般的であった [2], [3]。また、電源電圧や MOS 素子の基板電位を制御するものなどが報告されている [4] ~ [6]。しかし、これらの報告事例では、回路構成が複雑で大規模なものが多く、また温度が高くなると動作補正効果が劣化することなどの問題点が報告されている [6]。

そこで本研究では、コンパクトにデジタル回路の動作バラツキの補正を行なうことを目的とし、デジタル回路がプロセスバラツキや温度変動により受ける影響をオンチップで補正するための集積回路アーキテクチャを提案する。この補正技術により、デジタル回路の遅延時間などの設計パラメータを補正することができ、歩留まりの向上や回路動作性能の劣化を改善することができる。本稿では、はじめに LSI におけるバラツキの概要について述べ、次に、しきい値電圧バラツキが低電圧 CMOS デジタル回路の特性に与える影響を詳細に解析し、その特性バラツキを把握する。そして、バラツキが回路特性に与える影響を補正するための集積回路アーキテクチャについて説明する。

本稿のシミュレーションにおいて使用した標準 CMOS パラメータは、 $0.35\ \mu\text{m}$ CMOS 2-poly 4-metal プロセスである。使用したシミュレータは Cadence 社 Spectre であり、MOS トランジスタの SPICE モデルは BSIM3v3 Level 53 である。

2. LSI のプロセスバラツキ

LSI プロセスバラツキによるしきい値電圧バラツキは、その特徴から大別して 2 種類のモデルが提案されている [7], [8]。すなわち、LSI のチップ内トランジスタのしきい値電圧の相対精度が変化する「ランダムバラツキ (WID (Within-die) バラツキとも呼ばれる)」と LSI チップ間・ウェハ間毎にしきい値電圧の絶対値が変化する「グローバルバラツキ (D2D (Die-to-die) バラツキとも呼ばれる)」が提案されている。この両者のバラツキがウェハ上で同時に発生し、特性を大きく変化させる。前者は、平均 μ 、分散 σ で表される正規分布 $N(\mu, \sigma)$ に従って各トランジスタのしきい値電圧がチップ内でランダムに変化する。後者は、製造するウェハ (または、ウェハから取れるチップ) 上で緩やかな勾配を持って変化し、トランジスタのしきい値電圧の絶対値がチップ間で変化する。

ランダムバラツキに関しては、しきい値電圧の相対精度はトランジスタサイズに依存する [9]。通常のデジタル回路では、最小寸法のトランジスタサイズが使用されるため、ランダムバラツキの影響が大きくなる。しかし、統計的確率の定理、すなわち「大数の定理」や「中央極限定理」でも知られるように、ラ

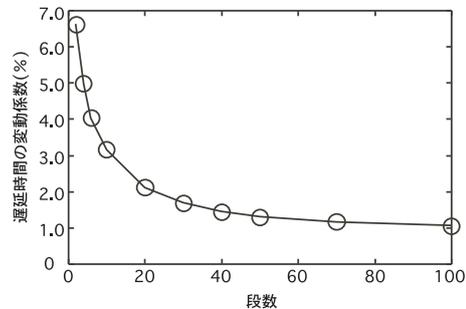


図 1 ランダムバラツキのみを考慮したモンテカルロシミュレーションの結果 (100 回)。遅延時間の接続段数依存性。電源電圧 1 V。

ンダムにばらつくデジタルゲート回路が多段接続されると、ランダムな成分は平均化され、チップ毎のグローバルバラツキに集約される。従って、チップ内のランダムバラツキの影響は小さくなる。

3. デジタル回路のプロセスバラツキ依存性

CMOS プロセスパラメータのバラツキが、デジタル回路に及ぼす影響を調べるために CMOS インバータ回路を利用したインバータチェーンとリング発振器を用いて検証を行なった。チップ内バラツキを想定したランダムバラツキとロット間・ウェハ間・チップ間バラツキを想定したグローバルバラツキを考慮したモンテカルロシミュレーションにより解析を行なった。しきい値電圧のランダムバラツキは正規分布 ($\sigma_{V_{th}} = \alpha/\sqrt{LW}$) を、グローバルバラツキは均一分布 ($\delta V_{th} = \pm 0.1$ V) を想定した。

3.1 ランダムバラツキ

ランダムバラツキがデジタル回路特性に及ぼす影響を解析した。図 1 にインバータの接続段数に対する遅延時間の変動係数を示す。ランダムバラツキのみを考慮したモンテカルロシミュレーションの結果 (100 回) である。接続段数の増加とともに変動係数 (σ/μ) の減少が確認でき、ランダムバラツキの影響が小さくなっていることが分かる。これは、インバータ単体のランダムなバラツキは段数の増加とともに平均化されるためである。通常のデジタル回路ではインバータ単体で使用されることはなく、多段接続となるためランダムバラツキの影響は小さくなる。

3.2 グローバルバラツキ

グローバルバラツキがデジタル回路に与える影響を解析した。特に、デジタル回路の性能指標である遅延時間、動作周波数、そして消費電力について解析した。以下に、その詳細を説明する。

3.2.1 遅延時間

デジタル回路において 1 段当たりの遅延時間 (τ) はトランジスタのオン電流 (I_{on})、負荷容量 (C_{load})、そして電源電圧 (V_{DD}) を用いて以下の式で与えられる。

$$\tau = \frac{C_{load} V_{DD}}{I_{on}} \quad (1)$$

ここでオン電流をトランジスタの飽和式で、また負荷容量を次段のゲート容量で近似すると、

$$I_{on} \sim \frac{W}{L} \mu C_{ox} (V_{DD} - V_{th})^{\alpha} \quad (2)$$

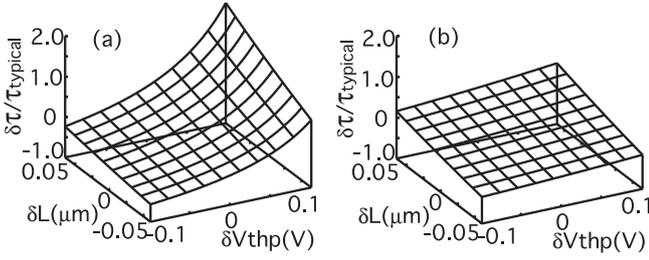


図2 チャンネル長と pMOS トランジスタのしきい値電圧のグローバルパラツキのみを考慮したインバータチェーン遅延時間のパラツキ特性;(a) 電源電圧:1 V, (b) 電源電圧:2 V

$$C_{load} \sim C_{ox}LW \quad (3)$$

と表せる。ここで、 L はチャンネル長、 W はチャンネル幅、 μ は移動度、 C_{ox} は単位面積辺りの酸化膜容量、そして α は電子速度飽和による定数である [10]。プロセスパラツキにより各パラメータが標準値 (typical 値) から δ 変動したとすると、遅延時間パラツキ ($\delta\tau/\tau$) は以下のように近似できる。

$$\frac{\delta\tau}{\tau} \sim f \left(\frac{\delta L}{L}, \frac{\delta\mu}{\mu}, \frac{\alpha}{V_{DD} - V_{th}} \delta V_{th} \right) \quad (4)$$

ここで、 f は式 (1)-(3) から得られる特性関数である。このように遅延時間パラツキは、チャンネル長のパラツキ ($\delta L/L$)、移動度のパラツキ ($\delta\mu/\mu$)、そしてしきい値電圧のパラツキ ($\delta V_{th}/V_{DD} - V_{th}$) のそれぞれの項で表され、特にしきい値電圧パラツキの項のみが電源電圧依存性を持つことがわかる。一般にデジタル回路の特性パラツキは、チャンネル長 (L) パラツキの影響が支配的である。これは、電源電圧がしきい値電圧に比較して大きい時には、しきい値電圧パラツキ δV_{th} に依存する項の影響が小さくなるためである。しかし、低電圧になると、この項の影響が大きくなり、しきい値電圧パラツキの影響が支配的になる。

今回使用した CMOS プロセスの各パラメータの値を用いて、各パラメータのパラツキが遅延時間のパラツキにどのように影響を及ぼすのかを数値計算により解析した。表 1 に使用した CMOS プロセスパラメータの標準値 (typical) とグローバルパラツキの変動分 (δ)、さらに変動率 ($\delta/\text{typical}$) を示す。 T_{ox} はゲート酸化膜の厚さである。今回使用したプロセスでは、pMOS トランジスタのしきい値電圧が nMOS トランジスタのしきい値電圧より約 1.4 倍程度大きいため、pMOS トランジスタのしきい値電圧パラツキの方が回路特性に与える影響が大きい。図 2 に、インバータチェーンにおける pMOS のしきい値電圧とチャンネル長のパラツキに対する遅延時間パラツキの数値計算結果を示す。電源電圧が 2 V の場合では、pMOS トランジスタのしきい値電圧パラツキの影響とチャンネル長のパラツキの影響はほぼ同程度である。しかし、電源電圧が 1 V の低電圧になると、pMOS トランジスタのしきい値電圧パラツキの影響が増大して遅延時間のパラツキが大きくなることから、従って、低電圧動作時において、しきい値電圧パラツキが遅延時間パラツキに与える影響が大きくなり、その結果動作速度を大きくばらつかせることが分かる。

表 1 使用した 0.35 μm CMOS プロセスパラメータの標準値 (typical)、パラツキ (δ)、および変動率 ($\delta/\text{typical}$, $\delta/(V_{DD}-\text{typical})$)。

parameter	typical	δ	$\delta/(V_{DD}-\text{typical})$	
			$V_{DD}=2\text{ V}$	$V_{DD}=1\text{ V}$
V_{thn} (V)	0.52	0.1	0.068	0.208
V_{thp} (V)	0.72	0.1	0.078	0.357
			$\delta/\text{typical}$	
L (μm)	0.35	0.05	0.143	
W (μm)	0.4	0.075	0.188	
μ_n ($\text{cm}^2/\text{V}\cdot\text{s}$)	370	16.5	0.045	
μ_p ($\text{cm}^2/\text{V}\cdot\text{s}$)	126	13.5	0.107	
T_{ox} (nm)	7.6	0.5	0.066	

3.2.2 動作周波数

N 段のインバータから構成されたリング発振器の発振周波数 f は、 $f = 1/N\tau$ で表される。したがって、その変動 ($\delta f/f$) は、遅延時間と同様に表せる。

$$\frac{\delta f}{f} = -\frac{\delta\tau}{\tau} \quad (5)$$

これより、動作周波数 f のパラツキは遅延時間のパラツキと逆方向に変化する。しかし、動作周波数のパラツキは、遅延時間のパラツキと同程度であることが予測できる。

3.2.3 消費電力

N 段のインバータから構成されたリング発振器の消費電力 P は次式で表される。

$$P = C_{load}V_{DD}^2f = C_{ox}LWV_{DD}^2\frac{1}{N\tau} \quad (6)$$

これより、消費電力の変動 ($\delta P/P$) を求めると次式を得る。

$$\frac{\delta P}{P} \sim g \left(\frac{\delta L}{L}, \frac{\delta W}{W}, \frac{\delta T_{ox}}{T_{ox}}, \frac{\alpha}{V_{DD} - V_{th}} \delta V_{th} \right) \quad (7)$$

ここで、 g は式 (1)-(4)、(6)、(7) から得られる特性関数である。式 (4)、および式 (5) で表される遅延時間と動作周波数のパラツキでは、チャンネル幅の依存性は無視することができた。しかし、消費電力の変動においては無視することができず、チャンネル長のパラツキ ($\delta L/L$)、チャンネル幅のパラツキ ($\delta W/W$)、そしてしきい値電圧のパラツキ ($\delta V_{th}/V_{DD} - V_{th}$) に依存する。

以上の結果より、デジタル回路の特性に影響を与えるパラメータには形状パラメータ (L , W , T_{ox}) と物理パラメータ (μ , V_{th}) のパラツキがあることが分かる。表 1 より、低電圧動作時にはこれらのパラメータのうち、チャンネル長 L 、チャンネル幅 W 、そしてしきい値電圧 V_{th} のパラツキの影響が大きいことから、以下では、これらのパラメータのパラツキに注目し、その影響を解析する。

3.3 シミュレーション結果

グローバルパラツキが回路特性に与える影響を、SPICE シミュレーションにより検証を行なった。インバータの 1 段当たりの遅延時間、および 10 段のリング発振器の動作周波数と消費電力のパラツキをモンテカルロシミュレーションによる解析を行なった。グローバルパラツキは均一分布を想定してパラメータをばらつかせている。ここでは、特性パラツキを平均 μ 、分散 σ のガウス分布で近似し、その変動係数 (σ/μ) による評価を行

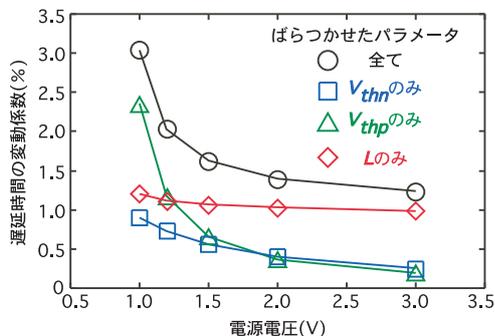


図3 グローバルバラツキのみを考慮したモンテカルロシミュレーションの結果 (100 回)。インバータの遅延時間バラツキの電源電圧依存性。

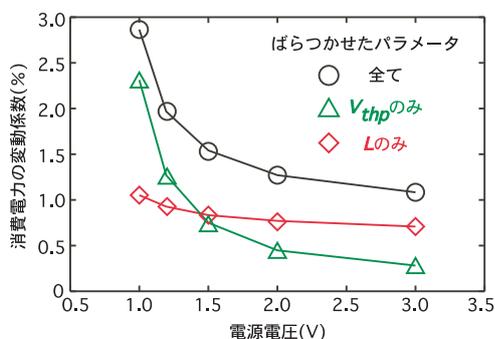


図4 グローバルバラツキのみを考慮したモンテカルロシミュレーションの結果 (100 回)。11 段のリング発振器の消費電力バラツキの電源電圧依存性。

なった。各パラメータのバラツキがデジタル回路に及ぼす影響を調べるために、全てのパラメータをばらつかせた場合と、各パラメータを単独でばらつかせた場合での比較を行なった。

図3にインバータ1段当たりの遅延時間の結果を示す。電源電圧が高い時、しきい値電圧のバラツキが与える影響は十分に小さく、チャンネル長のバラツキが支配的であることがわかる。しかし、電源電圧の低下と共に、しきい値電圧のバラツキが大きくなる。特に、pMOS トランジスタのしきい値電圧のバラツキが与える影響は顕著に上昇し、約 1.3 V 以下でチャンネル長のバラツキよりも大きくなる。nMOS トランジスタのしきい値電圧のバラツキの影響は低電圧動作時においても十分に低い。これは、しきい値電圧の標準値 (typical) の違いによる。今回使用した 0.35 μm CMOS パラメータでは pMOS トランジスタのしきい値電圧 (0.72 V) が nMOS トランジスタのしきい値電圧 (0.52 V) より大きいため、nMOS トランジスタのしきい値電圧バラツキが遅延時間に与える影響は小さくなる。動作周波数に対しても同様の解析を行ない遅延時間の結果とほぼ同じ結果を得た。図4に、11 段のリング発振器を用いた消費電力の結果を示す。遅延時間の解析結果と同様に、電源電圧が高い時にはチャンネル長 L のバラツキによる影響が大きくなり、電圧電圧の低下と共に pMOS トランジスタのしきい値電圧バラツキの影響が大きくなることが確認できる。

式 (4), (5), (7) によると、チャンネル長 L のバラツキの影響は電源電圧依存性を示さないはずである。しかし、先に示したシ

ミュレーション結果では、低電圧領域でこのパラメータを単独でばらつかせた場合の変動係数の結果が徐々に上昇していることが確認できる。この理由は、デバイスサイズに起因するしきい値電圧の変調効果、すなわち短チャネル効果による影響が一因であると考えられる。短チャネル効果は、デバイスサイズが小さくなると、しきい値電圧を変化させることが知られている [11]。従って、モンテカルロシミュレーションにより、チャンネル長 L を変化させることでしきい値電圧の変動が生じ、その影響がチャンネル長 L のバラツキに重畳し、低電圧領域で現れたものと考えられる。電源電圧が高い場合には、しきい値電圧のバラツキの影響はそもそも小さいので、チャンネル長 L に重畳する短チャネル効果によるしきい値電圧変動の影響も小さくなる。

以上の結果より、デジタル回路の特性指標である遅延時間、動作周波数、そして消費電力がプロセスバラツキによりどのような影響を受けるのかを解明することができた。電源電圧が高い場合には、形状パラメータのバラツキが支配的である。しかし、電源電圧の低電圧化に伴い、形状パラメータのバラツキ以上にしきい値電圧のバラツキが大きくなり、デジタル回路の特性が大きくばらつくことを確認した。形状パラメータのバラツキはプロセス技術の向上や注意深いマスクレイアウトパターン設計 (対称性を考慮した設計やダミーデバイスの配置など) である程度改善することができる。しかし、しきい値電圧のグローバルバラツキの影響は回避することができず、低電圧化が困難になることが予測される。

4. 温度変化が回路動作に及ぼす影響

温度変化が回路動作に及ぼす影響を解析した。温度変化によって変動するパラメータとして移動度 μ としきい値電圧 V_{th} が挙げられる。そこで、温度変化によりこの 2 つのパラメータが回路動作特性に与える影響を解析する。室温を T_0 ($=300\text{K}$) とし、 T_0 からの変動分を δT とする。温度が δT 変動したときの移動度 μ としきい値電圧 V_{th} は

$$\mu = \mu_0 \left(\frac{T_0 + \delta T}{T_0} \right)^{-m} \quad (8)$$

$$V_{th} = V_{th0} - \kappa (T_0 + \delta T) \quad (9)$$

で与えられる。 μ_0 は室温での移動度、 V_{th0} は絶対零度におけるしきい値電圧である。 m と κ はそれぞれプロセス固有の値で、今回用いたプロセスではそれぞれ 1.5 と 1.1 mV/K である。これらの式と式 (1),(2),(3) を用いて温度が室温から δT 変動したときの遅延時間バラツキ ($\delta\tau/\tau$) は、

$$\frac{\delta\tau}{\tau} \sim \left[\frac{m}{T_0} - \frac{\alpha\kappa}{V_{DD} - V_{th0} + \kappa T_0} \right] \delta T \quad (10)$$

となる。移動度の変動が回路動作に及ぼす影響 (m/T_0) としきい値電圧の変動による影響 [$\alpha\kappa/(V_{DD} - V_{th0} + \kappa T_0)$] がお互いに打ち消し合う形になることがわかる。しかし、プロセスバラツキと同様にしきい値電圧に依存する項は電源電圧依存性を持っており、低電圧になると、この項の影響が大きくなる。これを SPICE シミュレーションにより確認を行った。温度変動によるインバータチェーン 1 段当たりの遅延時間バラツキの電源電圧依存性を調べた。その結果を図5に示す。電源電圧が高い時、移

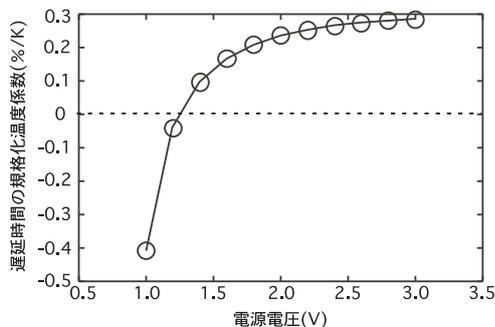


図5 インバータ遅延時間における温度係数の電源電圧依存性.

動度 μ の変動による動作バラツキが支配的であるため、温度係数は正になる。また、しきい値電圧変動の影響が小さいため、電源電圧依存性が少ない。電源電圧が低下すると、約 1.1 V 付近で移動度変動の影響としきい値電圧変動の影響が完全に打ち消し合うことが確認できる。さらに低電圧になると、しきい値電圧に依存する項の影響が大きくなり、回路特性を著しく変動させることが確認できる。リング発振器を用いた周波数・消費電力についても式 (5),(7) より、遅延時間と同じ傾向になることがわかる。

5. バラツキ補正アーキテクチャ

前節までのしきい値電圧バラツキが回路特性に与える影響を踏まえ、デジタル回路の動作バラツキを補正するための集積回路アーキテクチャを提案する。ここでは、トランジスタのオン電流をプロセスバラツキに依存しないリファレンス電流に規定することにより動作バラツキを抑制する方法を提案する。

5.1 バラツキ補正回路の動作原理

図 6 に提案するバラツキ補正アーキテクチャの回路構成を示す。参照電圧源回路、補正回路、駆動回路、そして DC/DC コンバータから構成される。参照電圧源回路は、絶対零度での nMOS トランジスタのしきい値電圧 V_{th0n} を出力する [12]。したがって、この参照電圧源回路を用いることにより、各 LSI チップのしきい値電圧のプロセスバラツキの状態をオンチップで検出することができる。参照電圧と nMOS トランジスタのしきい値電圧はチップ内で同一方向に変化するため、しきい値電圧バラツキに依存しない電流を生成できる。また、トランジスタサイズを大きく設計することでランダムバラツキに強い参照電流を生成できる。

生成した参照電流 I_{ref} をカレントミラー回路を介してダイオード接続構成の nMOS トランジスタに印加する。nMOS トランジスタのゲート・ソース間電圧を DC/DC コンバータの参照電圧とし、DC/DC コンバータの出力電圧をデジタル回路の電源として使用する。これにより、デジタル回路の nMOS トランジスタのオン電流は、ダイオード接続構成の nMOS トランジスタと同じゲート・ソース間電圧で駆動されるため I_{ref} に規定される。同様に、pMOS トランジスタのオン電流を I_{ref} に規定するために、ダイオード接続構成の pMOS トランジスタとオペアンプを用いた。デジタル回路の電源電圧と pMOS トランジスタのゲート・ソース間電圧を同じにするために、pMOS ト

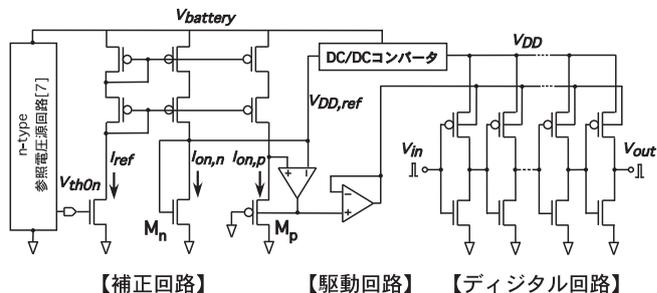


図 6 提案アーキテクチャ全体の回路構成.

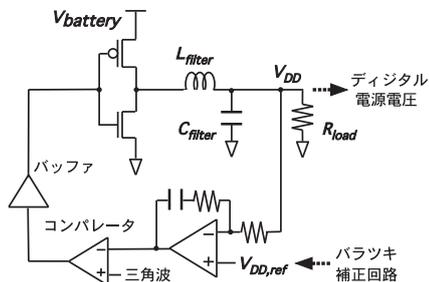


図 7 スイッチング DC/DC コンバータの回路図.

ランジスタのソース電位と nMOS トランジスタのゲート・ソース間電圧をオペアンプでモニタし、pMOS トランジスタを流れる電流が参照電流 I_{ref} と同じになるように pMOS トランジスタの基板電位を制御する。この基板電位をデジタル回路の pMOS トランジスタの基板端子に供給することにより pMOS トランジスタのオン電流も参照電流 I_{ref} に規定することができる。このように nMOS トランジスタは電源電圧、pMOS トランジスタは基板電位を制御することにより、それぞれのオン電流を参照電流 I_{ref} に規定することができ、プロセスバラツキによる動作特性バラツキを抑えることができる。

今回、電源電圧を DC/DC コンバータ、pMOS トランジスタの基板電位をユニティゲインバッファによりデジタル回路に供給し、それぞれ駆動させた。モバイル端末でよく用いられるリチウムイオンバッテリーを想定し、 $V_{battery}$ は 3.3V とした。図 7 は今回用いたスイッチング DC/DC コンバータの回路図であり、バッテリーの電圧を高効率で所望の電圧に変換するものである。出力電圧をモニタし、PI フィードバック制御と PWM 制御により、出力電圧がリファレンス電圧 ($V_{DD,ref}$) と等しくなるように動作する。

5.2 シミュレーション結果

提案回路によるプロセスバラツキ補正効果を SPICE シミュレーションにより確認した。補正対象のデジタル回路として、インバータチェーン 100 段の入出力の遅延時間を用いた。グローバルバラツキとランダムバラツキの両方を考慮したモンテカルロシミュレーションにより解析を行った。電源電圧 1 V での遅延時間バラツキの結果を図 8 に示す。比較のため、補正を行っていない場合の遅延時間も同様に示している。この提案回路を用いることにより、プロセスバラツキを 65 %ほど改善できることを確認した。また、周波数・消費電力についても提案補正アーキテクチャを用いることにより補正効果を得ることがで

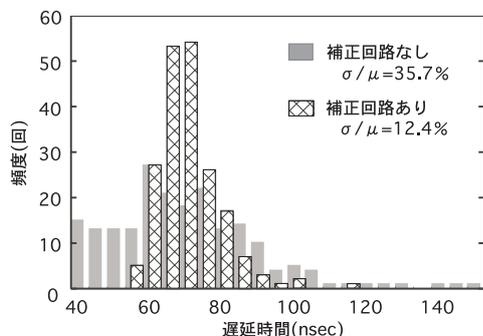


図 8 提案アーキテクチャを用いて行った 100 段インバータチェーンの遅延時間バラツキの補正結果. ランダム・グローバル両方のバラツキを考慮したモンテカルロシミュレーションの結果 (200 回)

きることを確認した. 今回用いた CMOS プロセスではプロセス上の制約により, nMOS トランジスタの基板電位を制御することができないため, nMOS トランジスタに関しては電源電圧制御による補正を行った. しかし, 電源電圧を制御するとにより充放電する電荷量が変化してしまうため, 式 (1) からわかるように遅延時間が変動してしまう. このため遅延時間バラツキを完全に補正することはできていない. nMOS トランジスタの基板電位も制御できるプロセスを用いることで, さらに補正効果を高めることが可能である.

5.3 温度変化による動作バラツキ補正

提案補正回路を用いて温度変化による動作バラツキ補正を行った. 図 6 で用いた参照電流 I_{ref} は, 移動度の温度特性の影響で温度変化に対して若干の負の依存性を示す. 参照電圧源回路の出力を非反転増幅器に接続して出力電圧を制御し, その電圧を nMOS トランジスタに印加することで移動度の温度依存性を小さくすることができる [13].

この電流源を提案回路に適用することにより nMOS・pMOS トランジスタそれぞれのオン電流を温度依存性の少ない参照電流に規定することができ, 温度変化による動作バラツキを補正できる. これを確認するため, SPICE シミュレーションを行った. なお, 駆動回路などは図 7 と同じものを用いた. 図 9 に遅延時間の温度依存性を示す. 補正回路を用いた場合, 温度変化による遅延時間バラツキを約 80 % 程度補正可能であり, 温度変化による動作バラツキ対しても提案回路が有効であることが確認できる. シミュレーション結果にわずかな負の温度係数が見られるが, これは先ほどのシミュレーションと同様に nMOS トランジスタを電源電圧を制御することにより補正を行っているためである. 周波数・消費電力についても同様の結果が得られた.

6. まとめ

本稿では, CMOS インバータを用いてプロセスバラツキ・温度変化がデジタル回路特性に与える影響を詳細に解析し, 特に低電圧動作時におけるしきい値電圧のバラツキが回路特性に深刻な影響を及ぼすことを確認した. このしきい値電圧のバラツキによる低電圧デジタル回路のバラツキを補正する技術としてオン電流を規定する回路構成を提案し, プロセスバラツキ・

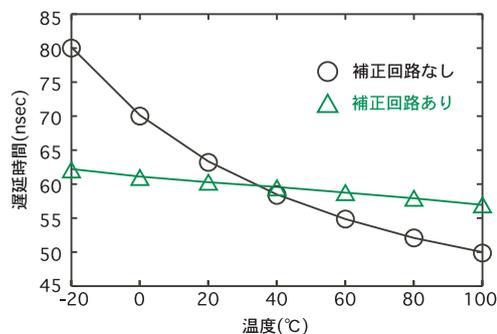


図 9 提案回路を用いて 100 段インバータチェーンの遅延時間の温度変化による動作バラツキの補正を行った結果.

温度変動の両者に関して有効であることを示した. 今後は, 90 nm 世代以降の先端 CMOS プロセス技術に, 提案した特性バラツキ補正アーキテクチャを応用した大規模デジタル回路システムを構築し, その効果を確認する予定である.

文 献

- [1] T. Kuroda, *et al.*, "A 0.9-V, 150-MHz, 10-mW, 4mm², 2-D discrete cosine transform core processor with variable threshold-voltage(VT) scheme," IEEE Journal of Solid-State Circuits, vol. 31, pp. 1770 - 1779, 1996.
- [2] P. Macken, *et al.*, "A voltage reduction technique for digital systems," IEEE International Solid-State Circuits Conference Dig. Tech. Papers, pp. 238-239, 1990.
- [3] V. V. Kaenel, *et al.*, "A voltage reduction technique for battery-operated systems," IEEE Journal of Solid-State Circuits, vol. 25, pp. 1136 - 1140, October 1990.
- [4] M. Nomura, *et al.*, "Monitoring scheme for minimizing power consumption by means of supply and threshold voltage control in active and standby modes," Symp. VLSI Circuits Dig. , pp. 308 - 311, June 2005.
- [5] M. Sumita, *et al.*, "Mixed body bias techniques with fixed Vt and Ids generation circuits," IEEE Journal of Solid-State Circuits, vol. 40, pp. 60 - 66, January 2005.
- [6] M. Miyazaki, *et al.*, "A 1.2-GIPS/W microprocessor using speed-adaptive threshold-voltage CMOS with forward bias," IEEE Journal of Solid-State Circuits, vol. 37, pp. 210 - 217, February 2002.
- [7] K. A. Bowman, *et al.*, "Impact of die-to-die and within-die parameter fluctuations on the maximum clock frequency distribution for gigascale integration," IEEE Journal of Solid-State Circuits, vol. 37, pp. 183 - 190, 2002.
- [8] H. Onodera, "Variability: Modeling and Its Impact on Design," IEICE Trans. Electron., Vol.E89-C, pp.342-348, 2006.
- [9] M. J. M. Pelgrom, *et al.*, "Matching properties of MOS transistors," IEEE Journal of Solid-State Circuits, pp. 1433 - 1439, 1989.
- [10] T. Sakurai, A. R. Newton, "Alpha-Power Law MOSFET Model and Its Application to CMOS Inverter Delay and Other Formulas," IEEE JSSC, Vol.25, pp.584-594, 1990.
- [11] S. M. Sze, Physics of Semiconductor Devices, A WILEY-INTERNATIONAL PUBLICATION.
- [12] K. Ueno, *et al.*, "A 0.3-μW, 7 ppm/°C CMOS voltage reference circuit for on-chip process monitoring in analog circuits," Proc. of the 34th European Solid-State Circuits Conference (ESSCIRC), pp. 398-401, 2008.
- [13] K. Ueno, *et al.*, "A 46-ppm/°C temperature and process compensated current reference with on-chip threshold voltage monitoring circuit," IEEE Asian Solid-State Circuits Conference, 2008. to be published.