

周波数同期技術を用いたオンチップ CMOS 参照クロック源回路

上野 憲一[†] 浅井 哲也[†] 雨宮 好仁[†]

[†] 北海道大学大学院 情報科学研究科 〒060-0814 北海道札幌市北区北 14 条西 9 丁目

E-mail: †{k_ueno,asai,amemiya}@lalsie.ist.hokudai.ac.jp

あらまし 本稿では、低消費電力オンチップ CMOS クロック源回路を提案する。提案クロック源回路は周波数同期技術に基づき、温度・電源電圧依存性の小さいクロックパルスを生成する。回路構成は、リングインバータ構成の VCO を負帰還ループで制御する構成であり、LC 共振回路や MEMS 素子は用いない。実際に、0.35 μm 標準 CMOS プロセスを用いて試作を行い、測定によりその動作を確認した。出力クロック周波数は、可変可能であり、そのチューニング幅は 2–100 MHz である。一例として、30 MHz のクロックパルス出力において、消費電力は、180 μW であった。–20–100°C の温度変動に対して出力クロックパルスの温度係数は、90 ppm/°C であり、室温での電源電圧依存性は、4%/V であった。また、試作チップのプロセスバラツキ依存性 (σ/μ) は、2.7% であった。

キーワード CMOS, 参照クロック源, 発振器, 周波数同期ループ, オンチップ, 温度依存性, 低消費電力

Fully-integrated Clock Reference Generator with Frequency-locked Loop

Ken UENO[†], Tetsuya ASAI[†], and Yoshihito AMEMIYA[†]

[†] Graduate School of Information Science and Technology, Hokkaido University

Kita 14, Nishi 9, Kita-ku, Sappor, Hokkaido, 657-8501 Japan

E-mail: †{k_ueno,asai,amemiya}@lalsie.ist.hokudai.ac.jp

Abstract A temperature- and supply-independent clock generator has been developed using 0.35- μm CMOS technology. This generator is based on a simple frequency-locked loop technique and can be implemented monolithically without using LC resonant circuits, quartz resonators, and MEMS oscillators. A sample device that is tunable over a wide frequency range of 2-100 MHz was designed and fabricated. It showed a temperature coefficient of 90 ppm/°C, a line regulation of 4%/V, and a power dissipation of 180 μW , at a frequency of 30 MHz. The process sensitivity (σ/μ) was 2.7%. This clock generator can be used as an on-chip reference clock circuit.

Key words CMOS, Reference clock, Oscillator, Frequency-locked loop, Fully-integrated, Temperature dependence, low power

1. はじめに

デジタルシステムやワイヤレスシステムにおいて参照クロックは、回路の動作周波数、同期、そして通信周波数を決める重要な参照信号として使用されている。一般に、この参照クロックとして、水晶振動子が高精度な参照クロックの供給として用いられている。水晶振動子は、CMOS プロセスとの親和性が無くオンチップ化することができないため、オフチップ素子として使用されている。しかし、センサネットワーク LSI や RFID、医療用埋め込みデバイス等の低コスト LSI アプリケーションにおいては、実装面積の削減、低コスト化のため、低消費電力で動作する参照クロック源のオンチップ化が必要である。

これまで、様々なオンチップクロック源回路が提案されている [1]-[12]。これらの回路は、高精度な参照クロックパルスを出

力する。しかし、[1]-[5] の文献においては、消費電力が 1.5–50 mW と大きく、回路面積も LC 共振回路等の使用により 1 mm² 以上と大きい。また、MEMS 素子を使用しているため標準 CMOS プロセスでは使用することができない。そこで、低消費電力化を考慮した弛張発振型のクロック源回路が提案されている [6]-[10]。弛張発振器は、回路構成がシンプルのため低消費電力化に適している。しかし、参照クロックの生成のためには、温度依存性の少ない参照電圧と参照電流が必要であり、消費電力とチップ面積の増大を招いてしまう。これらの問題を解決するため、本研究では、周波数同期ループを用いて、参照電圧・電流を用いない低消費電力クロック源回路を提案する [13]。回路構成は、リングインバータ構成の VCO を負帰還ループで制御する構成であり、抵抗とキャパシタの値によって決まるクロック周波数を生成する。出力クロックは、温度・電源電圧依存性が

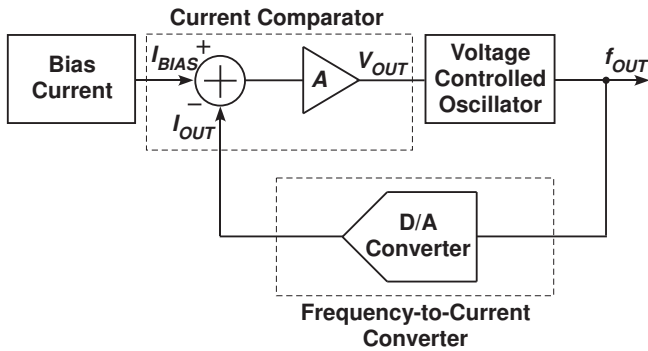


図1 提案クロック源回路のブロックダイアグラム.

小さく、また、幅広い周波数に可変可能である。以下では、回路の詳細を説明する。

2. 参照クロック源回路

図1に提案する参照クロック源回路のブロックダイアグラムを示す。この回路は、周波数同期ループ技術に基づき温度依存性が小さいクロックパルスを生成する。回路構成は、バイアス電流生成回路、電流比較器、電圧制御発振器 (VCO)、そして周波数-電流変換器から構成され、これらの回路は、負帰還ループを構成する。

回路動作は、バイアス電流生成回路の出力電流 I_{BIAS} と周波数-電流変換器の出力電流 I_{OUT} の差を電流比較器により検出し、この差に応じた出力電圧 V_{OUT} を生成する。電圧制御発振器は V_{OUT} に依存した周波数パルスを生成する。周波数-電流変換器は、電圧制御発振器の周波数 f_{OUT} に比例した電流 I_{OUT} を生成し、電流比較器に inputs する。回路は、負帰還ループを構成しているため、 $I_{BIAS} = I_{OUT}$ になるまで上記の動作を繰り返す。よって、 f_{OUT} は温度・電源電圧に依存しない参照クロックパルスとなる。図2に提案クロック源回路の回路構成を示す。以下に、回路動作の詳細を説明する。

2.1 動作原理

2.1.1 バイアス電流生成回路

図2-(A)にバイアス電流生成回路を示す。回路は、2つの直列接続された抵抗 (R_P , R_N) を用いた電圧-電流変換器によって構成される。抵抗の温度依存性をキャンセルするために、正の温度依存性を持つ低抵抗ポリシリコン R_P と、負の温度依存性を持つ高抵抗ポリシリコン R_N を用いた (Sec. 2.2 参照)。出力電流 I_{BIAS} は演算増幅器によってバイアス電圧 V_{BIAS} と直列に接続された抵抗のトータルの抵抗値によってきまる。したがって、バイアス電流生成回路の出力電流 I_{BIAS} は次式で表される。

$$I_{BIAS} = \frac{V_{BIAS}}{(R_P + R_N)}. \quad (1)$$

このバイアス電流 I_{BIAS} は、電源電圧の変動に依存しないため、電源変動による、電流バラツキを低減することができる。ここで、出力クロック周波数は、このバイアス電圧 V_{BIAS} に依存しないため (Sec. 2.1.4 参照)、高精度なバイアス電圧を必要としない。

2.1.2 電流比較器

図2-(B)に電流比較器の回路図を示す。電流比較器はソース

接地増幅器で構成され、バイアス電流生成回路の出力電流 I_{BIAS} と、周波数-電流変換器の出力電流 I_{OUT} の差を検出する。回路は、これらの2つの電流の差に比例した出力電圧 V_{OUT} を生成する。この出力電圧 V_{OUT} は、電圧制御発振器の周波数制御信号として使用する。キャパシタ C_C は、回路動作安定用の位相補償キャパシタである。

2.1.3 電圧制御発振器

図2-(D)に電圧制御発振器の回路図を示す。電圧制御発振器は7段の電流制御型リングインバータ構成である。回路は、電流比較器からの入力 V_{OUT} によって、パルス周波数を制御する。その発振周波数 f_{OUT} は、制御電流 I_{bias} によって制御され、次式で表される。

$$f_{OUT} = \frac{I_{bias}}{2mAC_LV_{DD}}. \quad (2)$$

ここで、 m はインバータの段数、 C_L は各インバータの次段負荷容量、 A は遅延フィッティング係数である [14]。制御電流 I_{bias} は、電流比較器からの入力電圧 V_{OUT} に依存する。したがって、発振周波数 f_{OUT} は入力電圧 V_{OUT} に依存する。この発振器の出力パルスは、周波数-電流変換器にフィードバック信号として入力される。

2.1.4 周波数-電流変換器

図2-(C)に周波数-電流変換器を示す。この回路は電圧-電流変換器で使用される抵抗素子の代わりにスイッチトキャパシタ抵抗を使用している。演算増幅器のバイアス電圧 V_{BIAS} は、バイアス電流生成回路と共通のバイアスである。スイッチトキャパシタ回路は、キャパシタ C_S と2つのスイッチ (sw1, sw2) で構成され、電圧制御発振器の発振パルス (フィードバック信号) によって駆動される。よって、スイッチトキャパシタ回路は、 $(C_S \cdot f_{OUT})^{-1}$ の抵抗値をもつ抵抗として動作する。また、回路の入力には、両方のスイッチ (sw1, sw2) が同時に導通することを避けるためノンオーバーラップ回路を使用している。キャパシタ C_B は、スイッチングによって生じる高周波成分を接地へ逃がすために付加している。よって、回路の出力電流 I_{OUT} は、電圧制御発振器の発振周波数に比例した電流となり、次式で表される。

$$I_{OUT} = f_{OUT} \cdot C_S \cdot V_{BIAS}. \quad (3)$$

この出力電流 I_{OUT} は、カレントミラー回路により電流比較器 (図2-(A)) に入力される。

回路は、負帰還ループを構成しているため、周波数-電流変換器の出力電流 I_{OUT} がバイアス電流生成回路の出力電流 I_{BIAS} と同じ値になるまでフィードバック動作 (つまり、Eq. (1) = Eq. (3)) を繰り返す。その結果、発振周波数 f_{OUT} は、式 (1)、(3) より次式で表される。

$$f_{OUT} = \frac{1}{(R_P + R_N) \cdot C_S}. \quad (4)$$

よって、出力クロック周波数は、バイアス電流生成回路の抵抗と周波数-電流変換器のキャパシタの値によって決まる。直列接続された抵抗 ($R_P + R_N$) とキャパシタ C_S の温度依存性は小さいため、発振周波数 f_{OUT} の温度依存性も小さい。発振周波

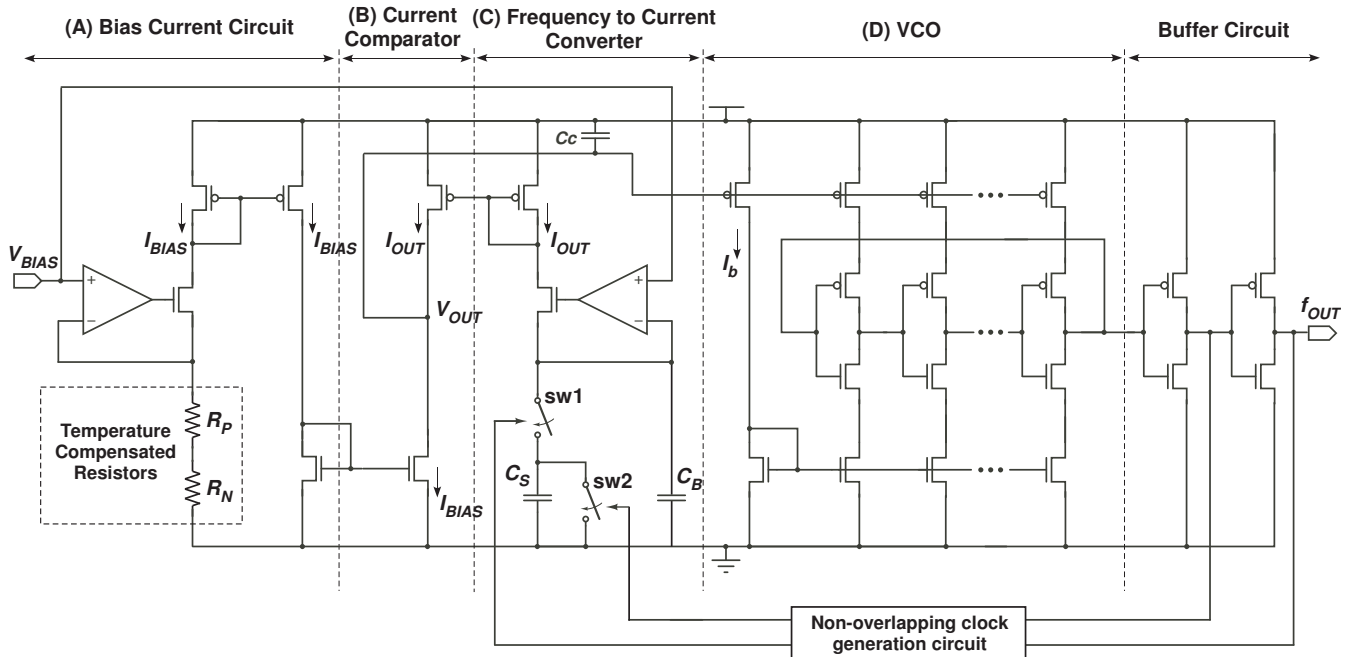


図2 クロック源回路の詳細回路図. 出力クロック周波数は f_{OUT} は、温度・電源電圧変動に依存しない.

数は、抵抗値 ($R_P + R_N$) を調節することで可変可能であり、また、バイアス電流生成回路と周波数-電流変換器のバイアス電圧 V_{BIAS} に依存しない.

以上より、温度・電源電圧に依存しない参照クロックを得ることができる.

2.2 温度・プロセスバラツキ依存性

式 (4) で表される出力クロック f_{OUT} の温度特性について議論する. バイアス電流生成回路の抵抗 R_P と R_N は、正の温度係数を持つシート抵抗 $50\Omega/\square$ のポリシリコン抵抗と負の温度係数を持つシート抵抗 $1.2\text{ k}\Omega/\square$ による高抵抗ポリシリコン抵抗を用いた. それぞれの抵抗の温度依存性は、次式で表される.

$$\begin{aligned} R_P &= R_{0P}(1 + \alpha_P T) \\ R_N &= R_{0N}(1 - \alpha_N T). \end{aligned} \quad (5)$$

ここで、 R_{0P} と R_{0N} は絶対零度における抵抗値、 α_P と α_N は抵抗の温度係数である. 式 (4), (5) より、出力クロック周波数の温度係数 (T.C.) は次式で表される.

$$\begin{aligned} T.C. &= \frac{1}{f_{OUT}} \frac{df_{OUT}}{dT} \\ &= (R_P + R_N) \frac{d}{dT} \left(\frac{1}{R_P + R_N} \right) \\ &= -\frac{R_{0P}\alpha_P - R_{0N}\alpha_N}{R_{0P} + R_{0N} + (R_{0P}\alpha_P - R_{0N}\alpha_N)T}. \end{aligned} \quad (6)$$

したがって、 R_{0P} と R_{0N} を適切な値に設定することで、出力周波数の温度依存性をキャンセルすることができる.

次に出力クロック f_{OUT} のプロセスバラツキについて議論する. 式 (4) で表される出力クロック周波数 f_{OUT} のプロセスバラツキは、次式で表される.

$$\frac{\Delta f_{OUT}}{f_{OUT}} = \frac{1}{f_{OUT}} \left(\frac{\partial f_{OUT}}{\partial (R_P + R_N)} \Delta (R_P + R_N) \right)$$

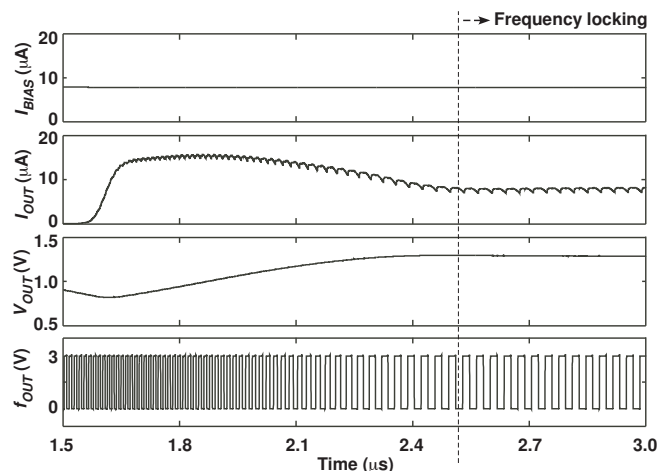


図3 クロック源回路のタイミングダイアグラム. 電源電圧は $T=0$ 秒から印加.

$$\begin{aligned} &+ \frac{\partial f_{OUT}}{\partial C_S} \Delta C_S) \\ &= -\frac{\Delta (R_P + R_N)}{(R_P + R_N)} - \frac{\Delta C_S}{C_S}. \end{aligned} \quad (7)$$

よって、出力クロック周波数は抵抗とキャパシタの絶対値バラツキに依存する. しかし、式 (6) より出力周波数の温度依存性はキャンセルすることができるため、抵抗アレイ等を用いて、ある温度における 1 点キャリブレーションによってプロセスバラツキを補正することが可能である.

3. シミュレーション結果

提案する参照クロック源の SPICE シミュレーション結果を以下に示す. 使用プロセスは、 $0.35\ \mu\text{m}$, CMOS プロセスである. 電源電圧は、 3 V , バイアス電圧 V_{BIAS} は一例として 0.5 V

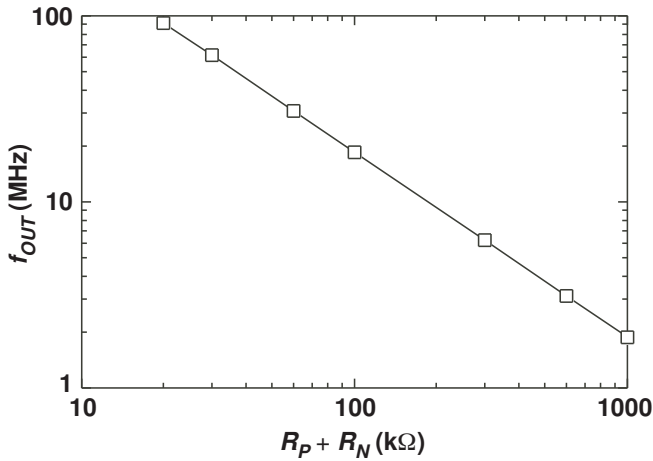


図4 抵抗値 ($R_P + R_N$) を変動させたときの出力クロック周波数 f_{OUT} のシミュレーション結果. f_{OUT} のチューニング幅は、2-100 MHz である.

に設定した (この V_{BIAS} はクロック周波数に依存しない).

図3に、回路の各出力のタイミングチャートを示す. 電源電圧は、時間0秒から印加した. この結果より、電流比較器は、周波数-電流変換器の I_{OUT} がバイアス電流生成回路の I_{BIAS} と同じ値になるように、出力電圧 V_{OUT} を生成し、その結果、負帰還ループにより発振周波数 f_{OUT} がロックされていることが確認できる. ロック状態までのセトリング時間は、およそ $2.5 \mu s$ だった. 図4に、抵抗を変動させたときの出力周波数を示す. 抵抗値 ($R_P + R_N$) は、20 kΩ から 1 MΩ まで変動させた. 出力周波数は、2 - 100 MHz の幅広い周波数レンジを持つ. また、電源電圧 1.8 V において、 $f_{OUT} = 2$ MHz のときの回路全体の消費電流は $7.5 \mu A$ であり、 $f_{OUT} = 10$ MHz のときは $34 \mu A$ 、 $f_{OUT} = 30$ MHz のときは $100 \mu A$ であった.

4. 測定結果

試作チップの測定結果を以下に示す. 使用したプロセスは 0.35- μm , 2P-4M 標準 CMOS プロセスである. 図5に試作チップの写真を示す. 回路面積は 0.08 mm^2 である. 本設計では、一例として R_P を 20 kΩ, R_N を 40 kΩ に設計した.

図6に温度を $-20^\circ C - 100^\circ C$ まで変動させたときの出力クロック周波数 f_{OUT} の測定結果を示す. 電源電圧は、1.8 V, 2.0 V, 2.5 V, 3V に設定した. 温度、電源電圧依存性の小さい周波数を出力していることを確認できる. 出力周波数の平均値は約 29.4 MHz である. 周波数の温度バラツキは 310 kHz であり温度係数 (T.C.) は $90 \text{ ppm}/^\circ C$ である. 図7に、 $T=27^\circ C$ における出力周波数 f_{OUT} の電源電圧依存性を示す. 電源電圧 V_{DD} が 1.8 V から回路が動作していることが確認できる. また、電源電圧変動 (1.8 - 3 V) によるクロック周波数の変動率は $4\%/V$ である.

参照クロックのプロセスバラツキを評価するために、同一ウェハ上の異なる 20 チップのクロック源回路の出力周波数を測定した. 図8および9に、これらの出力周波数 f_{OUT} の測定結果を示す. 図8にプロセスバラツキが最も大きい異なる 3 チップ

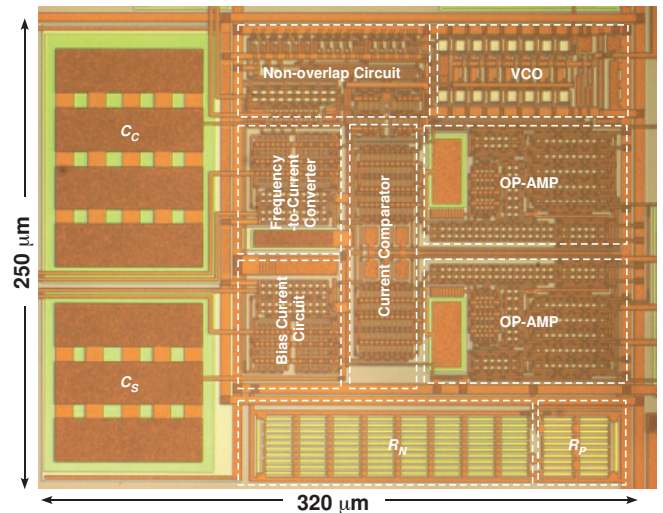


図5 クロック源回路のチップ写真 (面積: 0.08 mm^2).

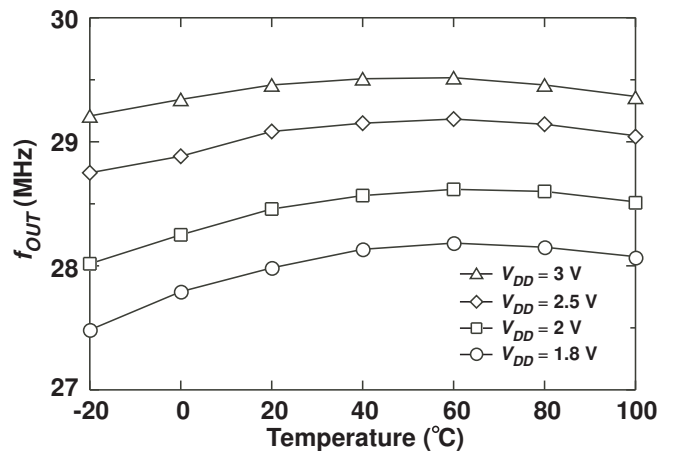


図6 温度変動に対する f_{OUT} の測定結果. 電源電圧は、1.8, 2, 2.5, 3 V に設定 (T.C.= $90 \text{ ppm}/^\circ C$).

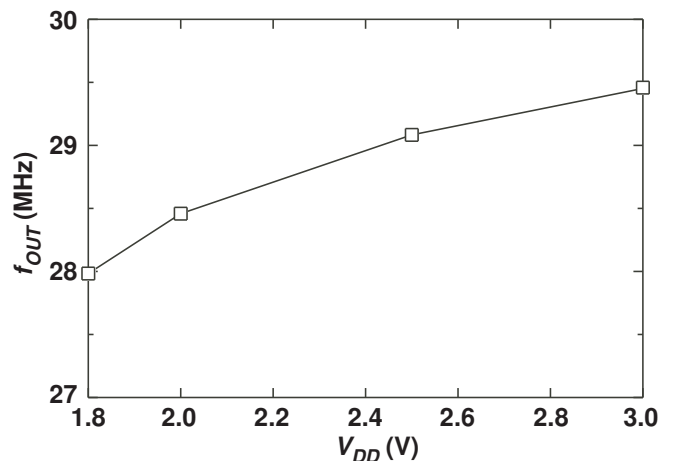


図7 電源電圧変動に対するクロック周波数 f_{OUT} の測定結果 (Line regulation= $4\%/V$).

の出力周波数の温度特性を示す. 今回のサンプル回路において出力周波数のチップ間のバラツキは 3.3 MHz であった. これは、Sec. 2-2 で議論したように、抵抗 ($R_P + R_N$) とキャパシタ (C_S) の絶対値は、プロセスバラツキによって変動してしまうた

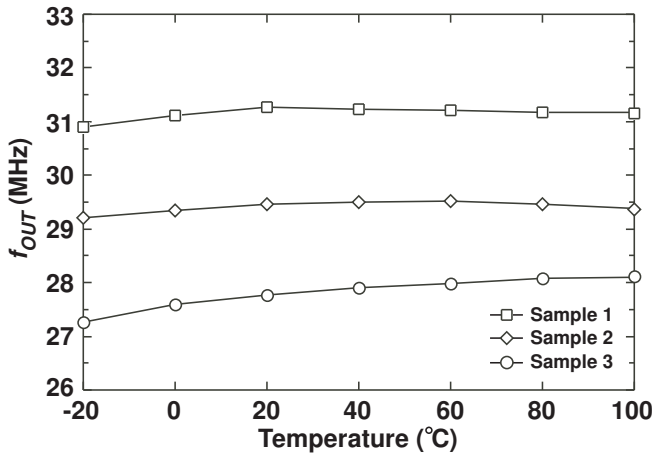


図8 プロセスバラツキが最も大きい異なる3チップの出力クロック周波数の測定結果. 温度係数は, 90 – 260 ppm/°Cである.

めである. しかし, すべての参照クロックは, 温度に対して一定の特性を示し, その温度係数は, 90 – 260 ppm/°Cであり, 温度係数の平均値は 150 ppm/°Cである.

図9に20サンプルの参照クロック周波数の分布を示す(室温). この結果は, 参照クロック周波数にトリミング技術やキャリブレーション技術は適用していない. 変動係数 (σ/μ : μ は平均値, σ は標準偏差)は2.7%であった. この値は, モンテカルロシミュレーションで予想された値 ($\sigma/\mu=12\%$)よりも小さい. この理由の一つとしては, 今回のサンプルチップは同一ウェハ以上であるため, 抵抗やキャパシタのプロセスバラツキの分散が小さいことが考えられる. いずれにせよ, 図8の測定結果より参照クロック周波数の温度依存性はキャンセルすることができるため, 抵抗アレイ等を用いて, ある温度における1点キャリブレーションによってプロセスバラツキを補正することが可能である.

表1に提案クロック源回路の性能諸元を示す. また, 性能比較のため, 既に報告されている標準CMOSプロセスによるオンチップ低消費電力クロック源の性能も示す[1]-[3], [6]-[9]. 電源電圧1.8Vにおける, $f_{OUT}=30$ MHzのときの消費電力は180 μ W, $f_{OUT}=10$ MHzでは60 μ W, $f_{OUT}=2$ MHzでは14 μ Wであった. この消費電力は他のクロック源回路と比較して小さな値である. 位相ノイズは, 1-kHzオフセット周波数において-32 dBc/Hz, 1-MHzオフセット周波数において-96 dBc/Hzであった. したがって, 本提案クロック源回路は, 低消費電力, 低コストLSIアプリケーションにおいて有用である.

5. まとめ

本稿では, 低消費電力オンチップCMOSクロック源回路を提案した. 提案クロック源回路は周波数同期技術に基づき, 温度・電源電圧依存性の小さいクロックパルスを生成する. 回路構成は, リングインバータ構成のVCOを負帰還ループで制御する構成である. 実際に, 0.35 μ m CMOSプロセスを用いて試作を行い, 測定によりその動作を確認した. 出力クロック周波数は, 可変可能であり, そのチューニング幅は2 – 100 MHzで

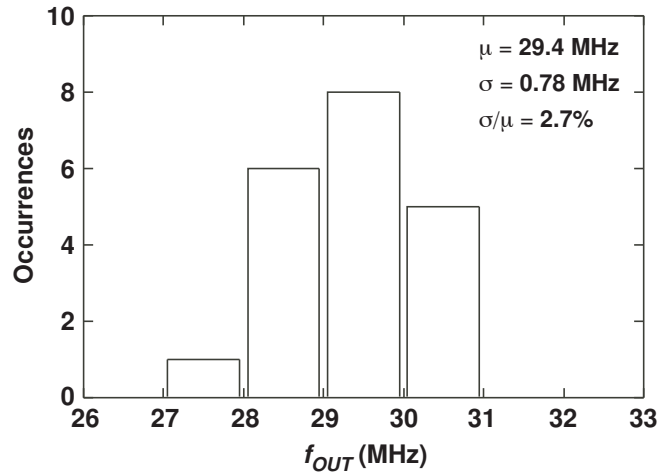


図9 異なる20チップの出力クロック周波数 f_{OUT} の測定結果(プロセス依存性 (σ/μ)=2.7%).

ある. 一例として, 30 MHzのクロックパルス出力において, 消費電力は, 180 μ Wであった. -20 – 100°Cの温度変動に対して出力クロックパルスの温度係数は, 90 ppm/°Cであり, 電源電圧依存性は, 4%/Vであった. この回路は, 低消費電力, 低コストLSIにおける様々なアプリケーションに適用可能であり, 例えばRFIDやスマートセンサネットワークLSI, 医療用埋め込みデバイス等のクロック源として利用することができる.

謝 辞

本研究は東京大学大規模集積システム設計教育研究センターを通じ, 日本ケイデンス株式会社の協力で行われたものである.

文 献

- [1] M. S. Mccorquodale, S. M. Pernia, J. D. O'Day, G. Carichner, E. Marsman, N. Nguyen, S. Kubba, S. Nguyen, J. Kuhn, R. B. Brown, "A 0.5-to-480MHz Self-Referenced CMOS Clock Generator with 90ppm Total Frequency Error and Spread-Spectrum Capability," in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2008, pp. 350-351, 619.
- [2] K. Sundaresan, P. E. Allen, F. Ayazi, "Process and Temperature Compensation in a 7-MHz CMOS Clock Oscillator," IEEE J. Solid-State Circuits, vol. 41, no. 2, pp. 433-442, 2006.
- [3] V. D. Smedt, P. D. Wit, W. Vereecken, M. Steyaert, "A 66 μ W 86 ppm/°C Fully-Integrated 6 MHz Wienbridge Oscillator With a 172 dB Phase Noise FOM," IEEE J. Solid-State Circuits, vol. 44, no. 7, pp. 1990-2001, Jul. 2009.
- [4] F. Nabki, M. N. El-Gamal, "A High Gain-Bandwidth Product Transimpedance Amplifier for MEMS-Based Oscillators," in Proc. 34th European Solid-State Circuits Conf. (ESSCIRC), 2008, pp. 454-457.
- [5] K. Sundaresan, G. K. Ho, S. Pourkamali, F. Ayazi, "Electronically Temperature Compensated Silicon Bulk Acoustic Resonator Reference Oscillators," IEEE J. Solid-State Circuits, vol. 42, no. 6, pp. 1425-1434, 2007.
- [6] F. Sebastiano, L. J. Breems, K. Makinwa, S. Drago, D. M. W. Leenaerts, B. Nauta, "A Low-Voltage Mobility-Based Frequency Reference for Crystal-Less ULP Radios" IEEE J. Solid-State Circuits, vol. 44, no. 7, pp. 2002-2009, Jul. 2009.
- [7] J. Lee, S. Cho, "A 10MHz 80 μ W 67ppm/°C CMOS Reference Clock Oscillator with a Temperature Compensated

表1 Performance summary and comparison with reported CMOS clock reference circuits

	This work	ISSCC '08 [1]	JSSC '06 [2]	JSSC '09 [3]
Type	Ring+RC	LC	Ring	RC
Process	0.35- μ m, CMOS	0.25- μ m, CMOS	0.25- μ m, CMOS	65-nm, CMOS
Temperature range	-20 - 100°C	0 - 70°C	-40 - 125°C	0 - 120°C
V_{DD}	1.8 - 3 V	3.3 V	2.4 - 2.75 V	1.2 V
$\overline{f_{OUT}}$	30 MHz (freq. range: 2 MHz - 100 MHz)	24 MHz (freq. range: 0.5 - 480 MHz)	7 MHz	6 MHz
Power	180 μ W ($f=30$ MHz) 60 μ W ($f=10$ MHz) 14 μ W ($f=2$ MHz)	49.5 mW ($f=24$ MHz)	1.5 mW	66 μ W
Temperature Coefficient	90 ppm/°C	N.A.	95 ppm/°C	86 ppm/°C
Temperature variation	-0.7 - 0.5%	-30 - 90 ppm	$\pm 0.84\%$	$\pm 0.8\%$
Line regulation	4%/V	N.A.	1.8%/V	N.A.
Phase noise	-32 dBc/Hz(1 kHz offs.) -96 dBc/Hz(1 MHz offs.)	-65 dBc/Hz(1 kHz offs.) -140 dBc/Hz(1 MHz offs.)	N.A. N.A.	-74 dBc/Hz(10 kHz offs.) -95 dBc/Hz(100 kHz offs.)
Process sensitivity (σ/μ)	2.7% (w/o calibration) 20 samples (same wafer)	N.A.	0.13% (w/ calibration) 94 samples	0.88% (w/o calibration) 7 samples
Chip area	0.08 mm ²	2.25 mm ²	1.6 mm ²	0.03 mm ²

	JSSC '09 [6]	VLSI Symp. '09 [7]	ISSCC '09 [8]	ISSCC '08 [9]
Type	Relaxation	Relaxation	Relaxation	Relaxation
Process	65-nm, CMOS	0.18- μ m, CMOS	0.18- μ m, CMOS	65-nm, CMOS
Temperature range	-22 - 85°C	-20 - 100°C	-40 - 125°C	N.A.
V_{DD}	1.2 V	1.2 - 3 V	1.8 V	1.2 V
$\overline{f_{OUT}}$	0.1 MHz	10 MHz	14 MHz	12 MHz (freq. range: 1 - 12 MHz)
Power	41 μ W	80 μ W	43 μ W	90 μ W ($f=12$ MHz)
Temperature Coefficient	N.A.	N.A.	N.A.	N.A.
Temperature variation	1.1%	$\pm 0.4\%$	$\pm 0.75\%$	
Line regulation	0.1%	0.05%	$\pm 0.16\%$	N.A.
Phase noise	N.A.	N.A.	-44 dBc/Hz(1 kHz offs.) -114 dBc/Hz(1 MHz offs.)	-109 dBc/Hz(100 kHz offs.)
Process sensitivity (σ/μ)	N.A.	N.A.	N.A.	N.A.
Chip area	0.11 mm ²	0.22 mm ²	0.04 mm ²	0.03 mm ²

Feedback Loop in 0.18 μ m CMOS,” in Proc. IEEE Symp. VLSI Circuits, 2009, pp. 226-227.

- [8] Y. Tokunaga, S. Sakiyama, A. Matsumoto, S. Doshu, “An On-chip CMOS Relaxation Oscillator with Power Averaging Feedback Using a Reference Proportional to Supply Voltage,” in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2009, pp. 404-405.
- [9] P. F. J. Geraedts, E. V. Tuijii, E. A. M. Klumperink, G. J. M. Wienk, B. Nauta, “A 90 μ W 12MHz Relaxation Oscillator with a -162dB FOM,” in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2008, pp. 348-349.
- [10] K. Choe, O. D. Bernal, D. Nuttman, M. Je, “A Precision Relaxation Oscillator with a Self-Clocked Offset-Cancellation Scheme for Implantable Biomedical SoCs,” in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2009, pp. 402-403.
- [11] M. Paavola, M. Laiho, M. Saukoski, K. Halonen, “A 3 μ W, 2 MHz CMOS Frequency Reference for Capacitive Sensor Applications,” in Proc. IEEE International Symp. Circuits and Systems (ISCAS), 2006, pp. 4391-4394.
- [12] K. Ueno, T. Asai, and Y. Amemiya, “Low-Power Clock Reference Circuit for Intermittent Operation of Subthreshold LSIs,” in Proc. IEEE International Symp. Circuits and Systems (ISCAS), 2009, pp. 5-8.
- [13] K. Ueno, T. Asai, and Y. Amemiya, “A 30MHz, 90 ppm/°C Fully-integrated Clock Reference Generator with Frequency-locked Loop,” in Proc. 35th European Solid-State Circuits Conf. (ESSCIRC), 2009.
- [14] B.H. Calhoun, A. Wang, A. Chandrakasan, “Modeling and sizing for minimum energy operation in subthreshold circuits,” IEEE J. Solid-State Circuits, vol. 40, no.9, pp. 1778-1786, 2005.