

サブスレッショルド CMOS LSI のためのナノワット DA 変換器

山本 和輝 上野 憲一 浅井 哲也 雨宮 好仁

北海道大学大学院 情報科学研究科 〒060-0814 札幌市北区北 14 条西 9 丁目

E-mail: yamamoto@lalsie.ist.hokudai.ac.jp

あらまし スマートセンサ LSI への適用を目的として、消費電力の小さい DA 変換器の構成法を提案する。この DA 変換器はリングオシレータと分周回路、平滑回路および電流スイッチ回路からなる。リングオシレータの発振出力を多段の T/F/F で分周し、その T/F/F 各段の出力をディジタル入力に応じて足し合わせてアナログ出力をつくる。回路内の MOSFET をサブスレッショルド動作として電力低減を図る。この DA 変換器の回路を設計し、SPICE シミュレーション上で動作を確認した。電源電圧 1.5 V の 8-bit DA 変換器の場合、消費電力は 540 nW であった。

キーワード CMOS, DA 変換器, 分周, 時間軸, サブスレッショルド, 低消費電力

A nanowatt DA converter for subthreshold CMOS LSIs

Kazuki YAMAMOTO Ken UENO Tetsuya ASAI Yoshihito AMEMIYA

Graduate School of Information Science and Technology, Hokkaido University

Kita 14, Nishi 9, Kita-ku, Sapporo, Hokkaido, 060-0814 Japan

E-mail: yamamoto@lalsie.ist.hokudai.ac.jp

Abstract An ultra-low power digital-to-analog (DA) converter based on the technique of pulse-width-modulated DA conversion was proposed. The circuit consists of a ring oscillator, a digital divider, a low-pass filter, and a current switch, which are operated in the subthreshold region of MOSFETs. The digital divider combined with the ring oscillator produces a voltage pulse whose width is proportional to the digital input. The current switch accepts the voltage pulse and sends a current pulse to the low-pass filter. The filter smooths the pulse and produces an output voltage that is proportional to the mean value of the pulse current. As a result, the circuit performs digital-to-analog conversion. The SPICE simulation with 0.35- μm CMOS parameters showed that a power dissipation of our circuit was 540 nW for 8-bit DA conversion and a 1.5-V power supply. Our circuit would be suitable for use in subthreshold-operated, smart sensor LSIs.

Keyword CMOS, DA converter, Time domain, Subthreshold region, Weak inversion, Ultra-low power,

1. まえがき

ユビキタス社会の基盤技術の一つとして、機能的なセンサネットワークの構築が期待されている。センサネットワークとは、多数のセンサ端末を用いて対象の構造物や地域の物理状況・環境情報を総合的に採取するシステムである。このようなセンサネットワークの端末（スマートセンサ LSI）は、小型電池を電源とするか、あるいは周囲の自然環境からエネルギーを取得するか、いずれにしても限られた電力消費（数 μW 以下）[1] のもとで長時間動作しなければならない。したがって、センサネットワーク用のスマートセンサ LSI には極低電力性が要求される。

LSI を低電力化する一つの方法は、回路内の

MOSFET をサブスレッショルド領域で動作させることである [2][3]。サブスレッショルド動作では MOSFET 電流が 0.1-10 nA レベルと小さい。回路の動作は遅くなるが、電力節減が重要なセンサ LSI 応用には適している場合が多い。そのためセンサ LSI 用のサブスレッショルド回路要素がいろいろと開発されている（例えば [4-7] など）。

ここでは、スマートセンサ LSI に使う回路要素の一つとして、消費電力の小さい DA 変換器の構成法を提案する。動作速度よりも電力低減を第一に考え、かつ抵抗列や容量列 [8] を使わずに変換精度を確保するために、時間軸上の操作で DA 変換を行う方法を考えた。すなわち、まずリングオシレータを用意し、その発振

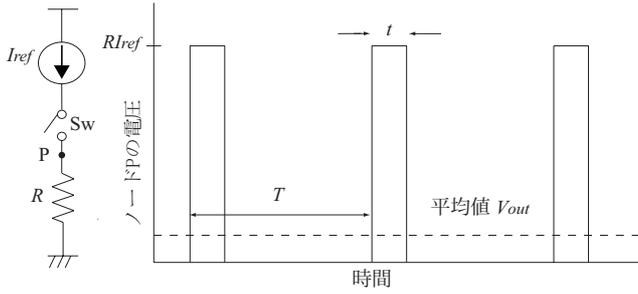


図1 DA変換器の原理

出力を多段のT-F/Fで分周する．次にT-F/F各段の出力をデジタル入力に応じて足し合わせてアナログ出力をつくる．回路内のMOSFETをサブスレッショルド動作として電力低減を図った．このDA変換器の回路を設計し，シミュレーション上で動作を確認した．電源電圧1.5Vの8-bit DA変換器の場合，消費電力は540 nW，変換時間は30 msであった．その内容を以下に述べる．はじめにDA変換の原理を述べ，その後に具体的な回路構成を説明する．

2. DA変換器の動作原理

2.1 時間軸上の操作によるDA変換

ここで提案するDA変換器の原理を説明する．いま図1のように一定の大きさの基準電流 I_{ref} を用意し，スイッチ Sw を通してその電流を負荷抵抗 R に流す．その電流によって節点 P に電圧が現れる．いまスイッチを周期 T ごとに幅 t でオンにすると，節点 P には図の実線で示すパルス電圧が発生する．この電圧をパルス周期より十分に大きい時定数のローパスフィルタで平均化（平滑）する．そうすると図の点線のような一定の出力 V_{out} が生成される．

いまスイッチングパルスのデューティ比を $D(=t/T)$ とおくと， V_{out} は次のように表される．

$$V_{out} = RI_{ref} \times D \quad (1)$$

出力 V_{out} はスイッチングパルスのデューティ比 D に比例し，パルスの周波数にはよらない．デューティ比 D は分周器を用いて正確に決めることができるので，精度の高い平均出力 V_{out} の生成が期待できる．なお，以上のことを利用して 100 pA レベルの微小電流を簡単に精度よく生成することができる[9]．

次に，DA変換の二進デジタル入力に応じて，スイッチパルスのデューティ比を重み付け変化させる．すなわち n ビットのデジタル入力を $b_{n-1}b_{n-2}\dots b_1b_0$ (LSB = b_{n-1} , MSB = b_0) として，式(1)を

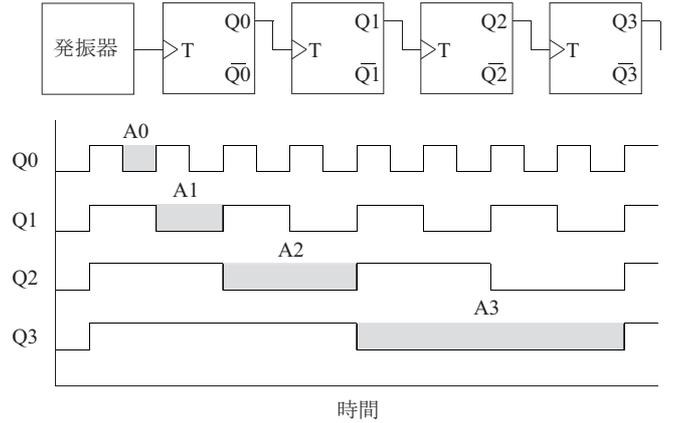


図2 スwitchングパルスの重み付け制御

$$V_{out} = RI_{ref} \times (2^{n-1}b_{n-1} + 2^{n-2}b_{n-2} + \dots + 2^1b_1 + 2^0b_0)D_0 \quad (2)$$

と書き換える． D_0 は最小ビットのパルス幅である．この操作によって V_{out} を出力とする DA 変換が実現される．スイッチングパルスのデューティ比を制御する方法は次節で説明する．

2.2 スwitchングパルスの生成

式(2)右辺の重み付けパルス幅 $\{2^{n-1}b_{n-1} + 2^{n-2}b_{n-2} + \dots + 2^1b_1 + 2^0b_0\}D_0$ は次のように実現する．例として4ビット入力の場合を述べる．まず発振器を用意し，その出力を図2上のように四つのT-フリップフロップで分周する．各フリップフロップの出力 Q0-Q3 を図2下に示す．Q3 の周期が DA 変換ステップの周期である．その一周ごとに，Q0-Q3 の灰色部で示す A0-A3 の部分を選択的に抽出して電流スイッチをオンにする．A0-A3 の部分を選択する論理式は次のように表される．

$$A0 = \overline{Q0} Q1 Q2 Q3 \quad (3)$$

$$A1 = \overline{Q1} Q2 Q3 \quad (4)$$

$$A2 = \overline{Q2} Q3 \quad (5)$$

$$A3 = \overline{Q3} \quad (6)$$

次に，4ビット入力を $b_3b_2b_1b_0$ として，式(3)-式(6)を次のように書き換える．

$$A0 = \overline{Q0} Q1 Q2 Q3 b0 \quad (7)$$

$$A1 = \overline{Q1} Q2 Q3 b1 \quad (8)$$

$$A2 = \overline{Q2} Q3 b2 \quad (9)$$

$$A3 = \overline{Q3} b3 \quad (10)$$

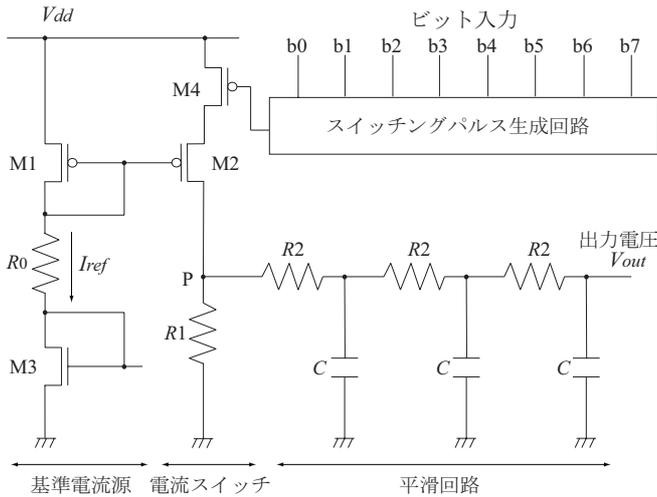


図3 DA変換器の回路構成

なおパルス A0-A3が0となる部分は時間軸上で重なることはない。最後にこれらの NOR 論理 A をとる。

$$A = \overline{A3 + A2 + A1 + A0} \quad (11)$$

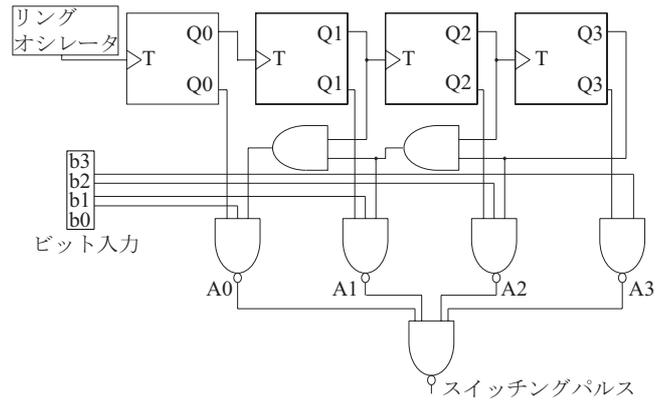
この A で図1のように電流スイッチを駆動すると、デジタル入力で重み付けされた電流パルス幅が得られる(式(1)で 'D = A の反転' とする)。たとえば入力 $b_3b_2b_1b_0 = 0001$ のときは A0 のみ、入力 = 0011 のときは A0 と A1 の連続パルスが電流スイッチをオンにする。入力=1010 のときは初めに A1, 続いて A3 が電流スイッチをオンにする。スイッチされた電流パルスによる電圧を平滑することでアナログ出力 V_{out} が得られる。

3. 回路の構成

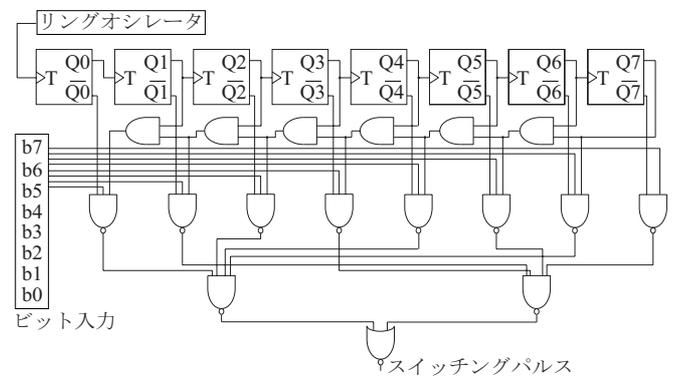
以上の動作を実現するための回路構成を図3に示す。回路は (i)基準電流源, (ii)電流スイッチ, (iii) スwitchングパルス生成回路, および (iv)平滑回路からなる。各部の動作を以下に説明する。

3.1 基準電流源

基準電流(図1の I_{ref} に相当)は抵抗 R_0 で設定する。回路全体を低電力動作させるために R_0 は 1-10MΩ と大きくとる。この程度であれば高抵抗用ポリシリコンを用いてオンチップ搭載できる。しかし外付けとして回路電流を調節できるようにしてもよい。生成した電流 I_{ref} を電流ミラー M2 で電流スイッチに移す。なお、後述のリングオシレータやパルス生成回路の電流を制限するためのバイアス電圧が必要であり、それを M3 で生成する。



(a) 4ビット入力



(b) 8ビット入力

図4 スwitchングパルス生成回路

3.2 電流スイッチ

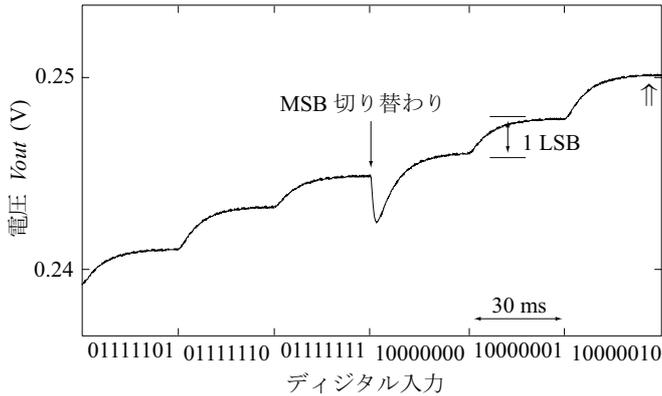
電流ミラー M2 で移した電流を M4 でスイッチする。M4 のゲートは後述のスイッチングパルス生成回路の出力(式(11)の A に相当)で駆動する。スイッチした電流を負荷抵抗 $R1$ に流すと、ノード P にはパルス電圧(図1の実線波形に相当)が発生する。

3.3 スwitchングパルス生成回路

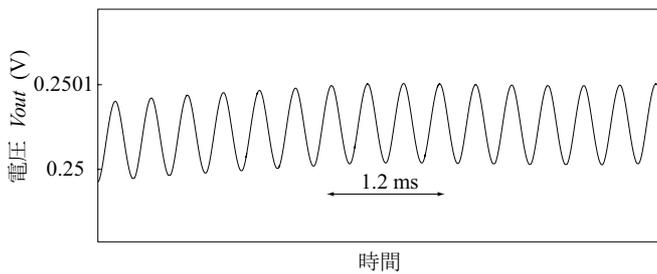
スイッチングパルスは図4の回路で生成する。リングオシレータを発振させ、その出力を T-フリップフロップ列で分周する(図4(a)は4ビット、図4(b)は8ビットの場合)。各フリップフロップの出力 $Q0-Q7$ とビット入力 b_7-b_0 をもとに、式(7)-式(10)に示した方法でスイッチングパルスを生成する。

3.4 平滑回路

電流スイッチの負荷抵抗に現れたパルス電圧を平滑してアナログ出力 V_{out} とする。ここではとりあえず抵抗 $R2$ と容量 C による簡単なローパスフィルタを用い



(a) MSB ビットの切り替わり付近



(b) 定常状態での出力リップル (図(a)右端の⇒で示した部分の拡大)

図 5 デジタル入力に対するアナログ出力

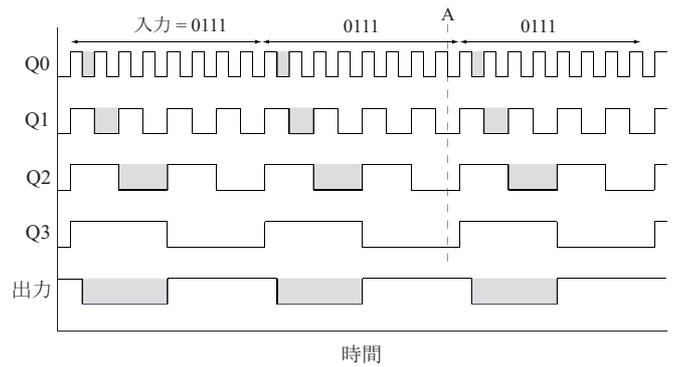
ローパスフィルタの時定数 CR_2 は DA 変換ステップ周期 (図 4(a)では Q3 の周期, 図 4(b)では Q7 の周期) より十分に大きく設定する必要がある。この時定数が DA 変換時間 (入力変化に対して出力が変化して落ち着く時間) を定める。時定数が小さいと変換時間は短くなるが、出力の平滑が不十分になりリップルが発生して精度が下がる。時定数を大きくとればその問題はないが、変換速度は遅くなり、かつ大きい時定数には高抵抗と大容量が必要なのでオンチップ化が難しくなる。したがって精度と速度の間にトレードオフが必要となる。

4. 回路の動作 (シミュレーション)

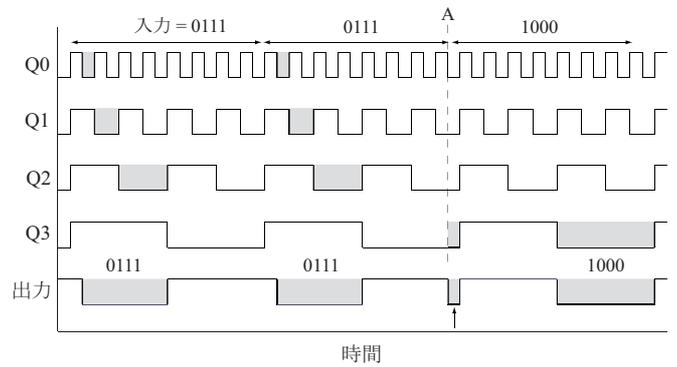
4.1 回路パラメータ

全体の回路を設計し、シミュレーション上で動作を確認した。8 ビット DA 変換器のシミュレーション条件は次のとおりである (最大出力 500 mV, LSB を 1.95 mV とし設計) :

- (i) 0.35 μm CMOS デバイスモデルを使用
- (ii) 電源電圧 = 1.5 V (マンガン電池か酸化銀電池)
- (iii) 基準電流源と電流スイッチ



(a) 入力 0111 での電流スイッチング



(b) 入力 0111→1000 のときのスイッチング信号

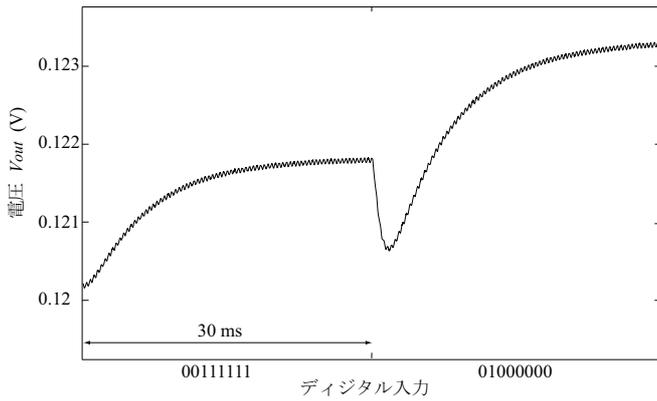
図 6 入力ビットが切り替わる時のスイッチング信号

- MOSFET のアスペクト値 (W/L) は
M1, M2, M3 は $10 \mu\text{m} / 1 \mu\text{m}$ M4 は $2 \mu\text{m} / 0.35 \mu\text{m}$
- 抵抗は $R_0 = 5 \text{ M}\Omega$ $R_1 = 5 \text{ M}\Omega$
(電流 I_{ref} の値は 100 nA)
- (iv) スwitchングパルス生成回路
 - リングオシレータはインバータ 5 段
 - T-フリップフロップは 8 段 (分周比=256)
 - MOSFET のアスペクト値 (W/L) は $2 \mu\text{m} / 1 \mu\text{m}$
 - リングオシレータとすべての論理回路には電流制限型のインバータと論理ゲートを使用
- (v) 平滑回路
 - $R_2 = 10 \text{ M}\Omega$, $C = 100 \text{ pF}$

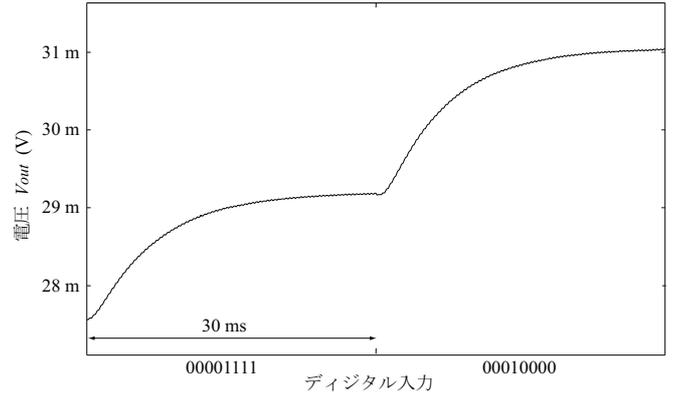
なお高抵抗用ポリシリコン $1 \text{ k}\Omega / \square$ を使うと $10 \text{ M}\Omega$ はおよそ $300 \mu\text{m}$ 角の面積になる。

4.2 動作特性と誤差

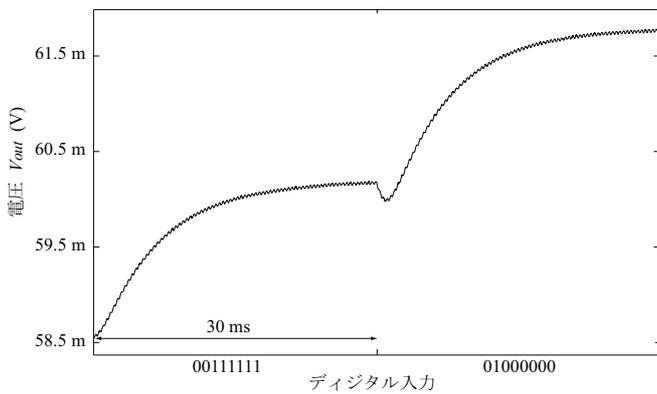
以上のパラメータを用いて DA 変換器の動作をシミュレーションした。すべての入力において定常状態のアナログ出力誤差は $\text{LSB}/2$ 以下に収まった。なおリングオシレータや分周器などを含む回路全体の消費電力は室温で 540 nW であった。以下にシミュレーション



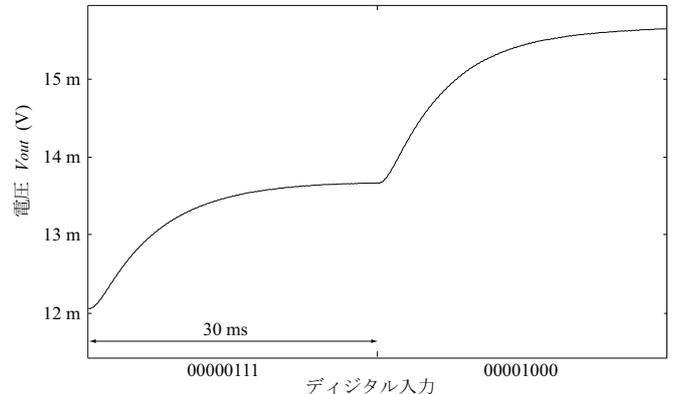
(a) 00111111→01000000



(c) 00001111→00010000



(b) 00011111→00100000



(d) 00000111→00001000

図7 入力の切り替え付近の入出力特性

特性を幾つか示す。

この DA 変換器では、入力が切り替わって上位ビットが 1 となるときアナログ出力に過渡的な誤差が発生する（たとえば入力 = 00111111→01000000 のとき）。例として、MSB ビットが変化するとき（01111111→10000000）のアナログ出力の変化を図 5(a) に示す。時間 30 ms ごとにデジタル入力を増加させた。MSB ビットの変化により、過渡的に LSB 以上の誤差が発生した。この過渡誤差は時間が経過して出力が定常状態になると消失する。なお定常状態での出力リップル幅は 0.1 mV と十分に小さい値であった(図 5(b))。

ビット切り替わり時の過渡誤差は次のようにして発生する。いま簡単のため 4 ビット入力の場合を例にとり、入力 0111→1000 の切り替わりを考える(図 6)。もし入力が 0111 で変わらないとすれば、スイッチングパルスの出力は図 6 (a) の一番下のようにフリップフロップの出力 Q0-Q3 の灰色部分の合計となる。次に、図に示す A のタイミングで入力が 0111 から 1000 に切

り替わったとする。このとき、スイッチングパルスの生成状態は図 6 (b) のように変わる。すなわち、入力の変化により、0111 と 1000 に対応するそれぞれのスイッチングパルス間に 0001 相当の誤った信号が生じる(出力の矢印部分)。この誤ったスイッチング信号のため、出力には先の図 5 のように過渡的な誤差が発生する。このような過渡誤差が生じる様子を幾つか図 7 (a)-(d) に示す。最大の過渡誤差は MSB ビットの切り替わりで発生した(先の図 5)。

5. まとめ

スマートセンサ LSI に使う回路要素の一つとして、消費電力の小さい DA 変換器を提案した。この回路では、リングオシレータの発振出力を多段の T-F/F で分周し、その T-F/F 各段の出力をデジタル入力に応じて足し合わせてアナログ出力をつくる。この DA 変換器の回路を設計し、シミュレーション上で動作を確認

した。回路内の MOSFET をサブスレッショルド動作として電力低減を図った。電源電圧 1.5 V の 8-bit DA 変換器で消費電力は 540 nW, 変換時間は 30 ms となった。この DA 変換器を用いた逐次比較型のサブスレッショルド AD 変換器を現在設計中である。なお、出力の平滑回路には高抵抗と大容量を必要とするので、それを避けるため極低速のサブスレッショルド演算増幅器で平滑を行う方法を検討している。

文 献

- [1] P. Fiorini, I. Doms, C. Van Hoof, and R. Vullers, "Micropower energy scavenging," in *Proc. 34th European Solid-State Circuits Conf. (ESS-CIRC)*, 2008, pp. 4-9.
- [2] A. Wang, B. H. Clhoun, and A. P. Chandrakasan, *Sub-Threshold Design for Ultra Low-Power Systems*. New York: Springer, 2006.
- [3] A.P.Chandrakasan,D.C.Daly,J.Kwong,andY.K.Ramadass,"Next generation micro-power systems," in *Proc. IEEE Symp. VLSI Circuits*, 2008, pp. 2-5.
- [4] K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, "CMOS smart sensor for monitoring the quality of perishables," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 798-803, Apr. 2007.
- [5] K. Ueno, T. Hirose, T. Asai and Y. Amemiya, "A 300 nW, 15 ppm/°C, 20 ppm/V CMOS Voltage Reference Circuit Consisting of Subthreshold MOSFETs," *IEEE J.Solid-State Circuits*, Vol. 44, no. 7, pp. 2047-2054, Jul. 2009.
- [6] Ogawa T., Hirose T., Asai T., and Amemiya Y., "Low voltage operation of master-slave flip-flops for ultra-low power subthreshold LSIs," The International Conference on Electrical Engineering 2008, O-166 Jul. 2008
- [7] Y. K. Ramadass and A. P. Chandrakasan, "Minimum Energy Tracking Loop With Embedded DC-DC Converter Enabling Ultra-Low-Voltage Operation Down to 250 mV in 65 nm CMOS," *IEEE Journal of Solid-State Circuits*, pp. 256-265, January 2008.
- [8] Rudy van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, Kluwer Academic Publishers, 2003.
- [9] 山本和輝, 飯田智貴, 浅井哲也, 雨宮好仁, "サブスレッショルド MOS 回路のためのナノアンペア電流源" 2009 信学全大, 2009.