

カスコード構造による CMOS 論理回路の低電力化

久保 圭史[†] 池辺 将之[‡] 雨宮 好仁[‡] 佐野 栄一[†]

[†]北海道大学 量子集積エレクトロニクス研究センター 〒060-08628 札幌市北区北 13 条西 8 丁目

[‡]北海道大学大学院 情報科学研究科 〒060-0814 札幌市北区北 14 条西 9 丁目

E-mail: [†] {kkubo, esano}@rciqe.hokudai.ac.jp [‡] {ikebe, amemiya}@ist.hokudai.ac.jp

あらまし センサネットワーク LSI や RFID などでは、小型の電池で長期の動作を要求されることが多い。したがって、CMOS 論理回路を使用するときは電圧を下げて低電力化する必要がある。しかし、低電力動作のための回路電圧 (0.3-0.5 V) は電池電圧 (1.5-3 V) よりかなり低く、降圧するときの損失が避けられない。ここでは、電池エネルギーを有効利用するために、降圧なしで低電圧 CMOS 論理回路を動作させるカスコード構成法を提案する。

キーワード CMOS、低消費電力、カスコード、縦積み、電池、電荷再利用

Low-power CMOS logic circuits consisting of stack structure

Keishi KUBO[†] Masayuki IKEBE[‡] Yoshihito AMEMIYA[‡] Eiichi SANNO[†]

[†] Research Center for Integrated Quantum Electronics, Hokkaido University,

North13, West8, Sapporo 060-8628, Japan

[‡] Graduate School of Information Science and Technology, Hokkaido University

North14, West9, Sapporo 060-0814, Japan

E-mail: [†] {kkubo, esano}@rciqe.hokudai.ac.jp [‡] {ikebe, amemiya}@ist.hokudai.ac.jp

Abstract We propose using a stack structure to lower the energy consumption of battery-operated CMOS logic circuits. In our stack structure, a logic circuit is composed of many stacked subcircuits, each of which is designed to operate with a voltage far smaller than a battery voltage. The stack of the subcircuits is connected to a battery, and each subcircuit operates efficiently with a divided battery voltage. Our stack structure can efficiently be applied to battery-operated, ultra-low power LSIs such as sensor-network node devices, RFID tags, and internal medical sensing devices.

Keyword CMOS, low-power, cascode, stack, battery, charge recycling

1. はじめに

近年、センサネットワーク用 LSI や RFID、医療用デバイスなど、限られたエネルギー供給で動作するデバイスの需要が高まっている。このようなデバイスは小型の電池で長時間動作しなくてはならない[1] [2]。動作速度は遅くてよい場合が多いが、動作エネルギーはできるだけ小さいことが要求される。

ここでは CMOS 論理回路の低エネルギー化を考える。そのときの性能指標は、演算あたりの消費エネルギー (単位 J/op) である。これを低減するためにはゲートのスイッチングエネルギーを小さくすればよく、それは回路電圧を下げることで実現できる。しかし低エネルギー化のための回路電圧 (0.3-0.5 V) は電池の電圧 (マンガン電池 1.5 V, リチウム電池 3 V) よりかなり低

いので、電池電圧を降圧する必要がある。

降圧の手段にはシリーズレギュレータやスイッチングレギュレータなどがある。しかし、シリーズレギュレータでは降圧分がそのまま損失になって効率が低い。スイッチングレギュレータは本来なら高効率であるが、マイクロワットレベルの低電力供給に使うと制御回路の電力消費 (アイドルロス) が無視できず効率が大幅に下がる。結果として降圧損失が大きくなり電池エネルギーを有効に利用できなかった。

以上の問題を解決するため、ここでは「カスコード構成によって降圧なしに低電力 CMOS 論理回路を動作させる方法」を提案する。この方法によって電池エネルギーの有効利用が可能となる。以下の章で、提案の内容と動作シミュレーション解析の結果を述べる。

2. カスコード構成による低電力化

降圧なしに電池電圧を利用するため、図1のようにCMOS論理回路を分割してカスコード接続することを考える。すなわち、電池電圧を多段のレベルに等分し、論理回路も分割して各レベルの電圧ラインにつなぐ。電池は最上位の電圧ラインにつなぐ。それぞれの論理回路は分圧された低電圧で動作する。このカスコード構成の特徴は「上位レベルのゲートで使った電荷を下位レベルのゲートで再利用する」ということにある。図1の例では、電池電圧1.5Vを3レベルに等分してある。回路全体も三分割し、それぞれ論理レベル0-0.5V、0.5-1V、および1-1.5Vで動かす。こうすることで、回路全体を1.5Vで駆動する場合と比較して、演算あたりのスイッチングエネルギーを1/9 ($=1/3^2$)に低減できる。電池電圧を N 分割すれば、スイッチングエネルギーは $1/N^2$ になる。

このカスコード構造を使うときの重要な条件は「レベル間の電荷バランス」をとることである。すなわち、上のレベルから下のレベルに落ちる電荷はどのレベル間でも同じ(図1では $Q1=Q2=Q3$)でなくてはならない。これは各電圧ラインの電位を一定に保つために必要である。そのためには「演算の1サイクル間にスイッチングするゲート数が各レベルでほぼ等しくなる」ように回路を設計する。それでも電荷バランスを完全に取り出すことは難しいので、アンバランス分を補正する必要がある。これについては第5章で述べる。

以下の章では、このカスコード構成の効果をシミュレーションによって示す。シミュレーションには0.18 μm -トリプルウェルCMOSデバイスのパラメータを用いた。

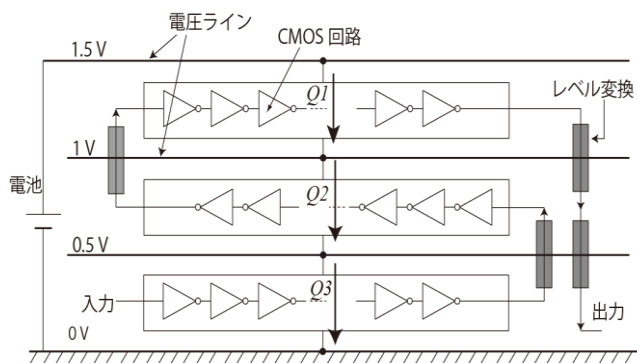


図1 カスコード構成による論理回路の低エネルギー化 (例: 電池電圧1.5Vを3分割したもの)。Q1, Q2, Q3は各レベル間で落ちる電荷。

3. 信号のレベル間シフト

このカスコード構成では、レベル間で論理信号を受け渡すために、信号レベルの変換を必要とする(図1の「レベル変換」部分)。そのために図2のようなレベルシフタを用いる。

レベルシフタ単体の動作シミュレーションを図3に示す。この例では0-0.5Vの入力信号レベルを一つ上のレベルに上方変換する。出力振幅は0-1.0Vであり、これで0.5-1Vレベルの論理回路を駆動する。下方変換のときはnMOSFETとpMOSFETを入れ替えたレベルシフタを用いる。

論理回路とレベルシフタを組み合わせたときの動作シミュレーションを図4に示す。この例では、論理回路として各レベルにNANDインバータ9段のチェーンを配置した。これらをレベルシフタでループ接続して27段のリングオシレータとしたときの動作波形を図4に示す。なお、回路中のMOSFETの基板電位は各レベルの最高電位と最低電位に接続した。たとえば0.5-1Vレベルで動かすインバータでは、nMOSFETの基板を0.5-Vラインに接続し、pMOSFETの基板を1-Vラインに接続した。

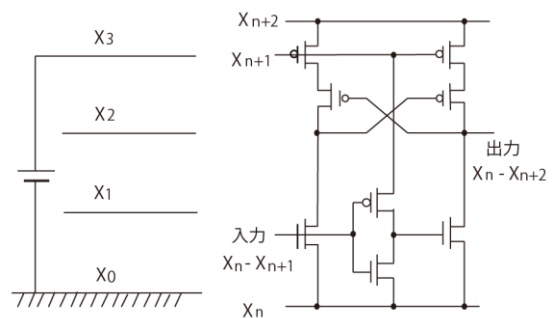


図2 レベルシフタ (例: 下位レベルの信号を上位レベルに上方変換するもの)

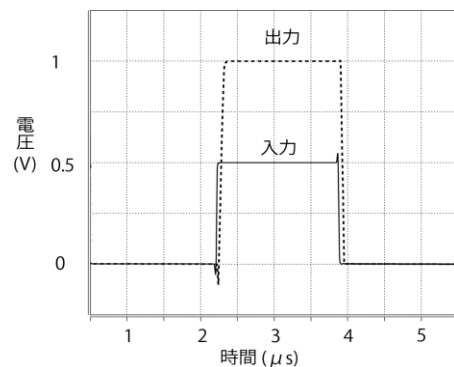


図3 レベルシフタの動作 (例: 0-0.5Vレベルの信号を0.5-1Vレベル用に変換するとき)。

4. レベル間の電荷移動

このカスコード構成では、上位レベルのゲートで使った電荷を下位レベルのゲートで再利用する。レベル間の電荷移動を見るため、以下のようなシミュレーションを行った。

いま図5のように、各レベルの電圧ラインにキャパシタを接続し、それらを1.5V、1V、および0.5Vに充電する。電池は接続しない。各レベルには論理回路としてNANDインバータ10段のチェーンを配置し、

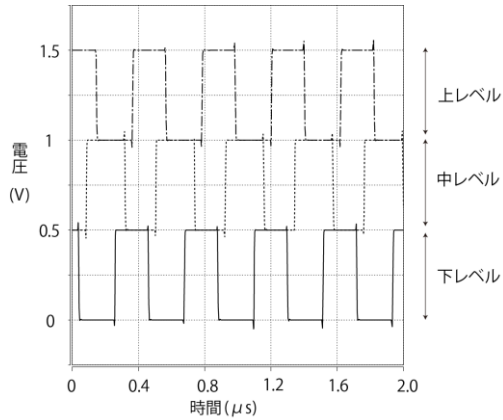


図4 レベルシフタをつないだリングオシレータの動作波形。各レベルのインバータ9段チェーンをレベルシフタでループ接続して27段のリングオシレータにしたもの。上中下レベルの3つのインバータチェーンが一体で動作。

それぞれに時間をずらして入力パルスを与える。回路の動作とともに電荷が流れて、三つの電圧ラインの電位が変化する。その変化分からレベル間の電荷移動が分かる。

電圧ラインの電位変化を図6に示す。この図から「上のレベルで使われた電荷が下のレベルに落ちて再利用される」ことを確認できる。たとえば、最上位レベルのインバータチェーンが動作すると、1.5-Vラインの電圧が下がるとともに1-Vラインの電圧が上がる(矢印1と矢印2)。すなわち、最上位レベルでスイッチングに使われた電荷が中位レベルに移る。次に、中位レベルのインバータチェーンが動作すると、1-Vラインの電圧が下がり0.5-Vラインの電圧が上がる(矢印3と矢印4)。つまり、中位レベルで使われた電荷が最下位レベルに移る。このようにして各レベルで電荷が再利用される。

このとき、レベル間を移動する電荷量が等しければ各電圧ラインの電位は変化せず、それが理想である。しかしシミュレーション結果を見ると、電荷の移動は完全にはバランスしていなかった。ただしこのアンバランスは重大な問題ではない。なぜなら、このカスコード構造は、次章のようにアンバランスが自動補正されるからである。

5. 電荷アンバランスの補正

このカスコード構造は、それ自身が電荷アンバランスの補正機能を持つ。その動作を以下に説明する。

いま「演算の1サイクル間にスイッチングするゲート数がカスコードの各レベルで等しく N 個」となるように回路が設計されていたとする。その状態で、ある三つの電圧ライン1, 2, 3(電位は順に $V1, V2, V3$)に挟まれた二つのレベル間の電荷移動を考える。移動する電荷量は、演算1サイクルごとに

$$NC_L(V1-V2) \quad (\text{電圧ライン1から2に})$$

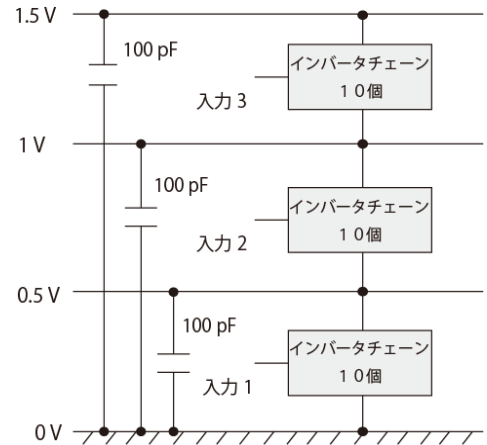


図5 電荷移動を見るための回路

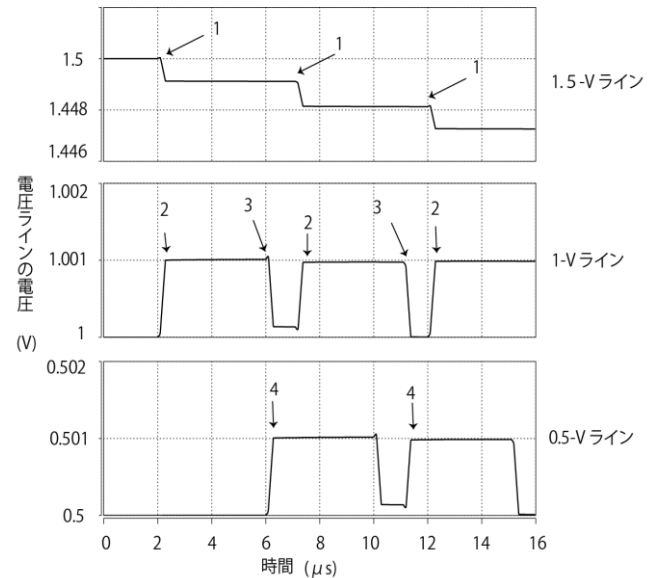


図6 電荷移動にともなう電圧ラインの電位変化

および

$$NC_L(V2-V3) \quad (\text{電圧ライン2から3に})$$

となる。ここでゲート負荷容量を C_L とおいた。二つのレベルの電圧が等しく $V1-V2 = V2-V3$ ならば電荷バランスがとれている。

いまま何らかの原因で $V1-V2 > V2-V3$ になったとする。そうすると電荷バランスが破れて、電圧ライン1から2に移る電荷量が2から3に移る電荷量より大きくなる。その結果、電圧ライン2の電位 $V2$ が上がって $V1-V2 = V2-V3$ に戻る。電圧が $V1-V2 < V2-V3$ となったときも同様にして元の状態に戻る。

この補正作用を分かりやすく示すために、図7の回路でシミュレーションを行った。電池電圧1.5Vを三分割したカスコード構造を例にとり、各レベルに論理回路としてインバータ30個のチェーンを配置する。各インバータチェーンにクロックを入力して動作さ

せ、電圧ラインのアンバランスが時間とともに補正される様子を観察した。図 8 がその結果である。1-V ラインと 0.5-V ラインに極端な初期値を与えたときの例を二つ示す。このように、各レベル間の電圧がアンバランスになっても、時間とともに自動的にバランス状態に戻る。

なお、演算 1 サイクルの間にスイッチングするゲート数がカスコードのレベル間で多少異なっても、各電圧ラインがそれに応じた電圧に落ち着くので支障はない。実用上で、およそ 10% のゲート数バラツキは許容できると考える。

このカスコード構造の補正作用だけで電荷アンバランスは基本的には解消されるが、より強固な安定作用を要する場合は、図 9 のようにレギュレータを付加する。このレギュレータに与える参照電圧は、MOSFET を多段に接続した分圧器で容易に生成できる。

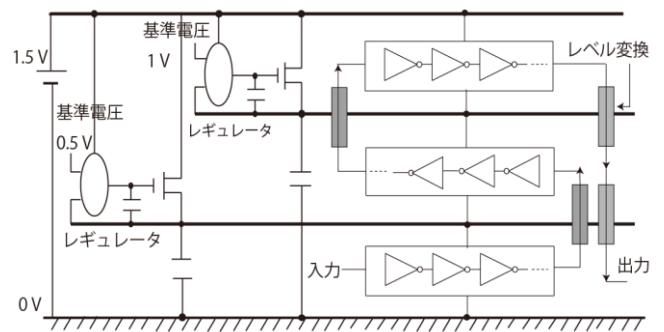


図 9 レギュレータを含むカスコード構造

6. サブシステムの動作例

幾つかのサブシステムをこのカスコード構成法で設計して、低エネルギー化の効果をみた。ここでは、例としてインバータチェーンと疑似乱数発生器についての結果を述べる。

6-1. インバータチェーン

サブシステムとして NAND インバータ 999 個のチェーンを考える。電池電圧 1.5 V を 3 段に分け、各段にインバータ 333 個を配置し、レベルシフト回路を介して接続する。そして、チェーンの入力を論理 0 → 1 → 0 と一回変化させて戻す動作を演算の 1 サイクルとする。なお、このインバータチェーンでリングオシレータをつくって動作させたときの波形を図 1.0 に示す。

このインバータチェーンの「演算あたり消費エネルギー (J/op)」を計算し、演算周期の関数として図 1.1 に曲線 A で示す (レベルシフト回路も含む)。演算あたり消費エネルギーは、スイッチングエネルギーとオフリークエネルギーの合計である。演算周期が短いときはスイッチングエネルギーが主体であるが、長いときはオフリークエネルギーが支配的で右肩上がりのグラフとなる。比較のために、カスコード構成ではない次の二つの回路の消費エネルギーも示した。

(曲線 B) 電池電圧 1.5 V そのままで回路を駆動

(曲線 C) 1.5 V をレギュレータで 0.5 V に降圧して駆動

演算あたり消費エネルギーは演算周期によって変わるが、カスコード構成は他の回路よりも常に低エネルギー動作である。

6-2. 疑似乱数発生器

サブシステムとして、線形帰還シフトレジスタの疑似乱数発生器を考える。ここでは 63 個の D フリップフロップ (D-F/F) からなるシフトレジスタを使用し、その 62 段目と 63 段目の値の排他的論理和を 1 段目の入力にフィードバックする。このシステムは M 系列の疑似乱数を発生する。

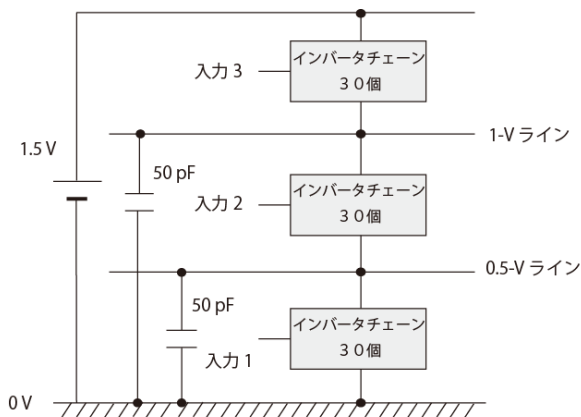


図 7 電荷アンバランス補正作用を解析するための回路

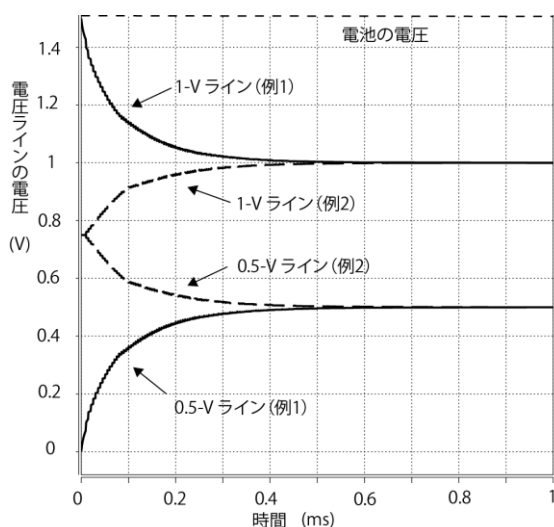


図 8 電荷アンバランス補正の動作

(論理回路はインバータ 30 個のチェーン; 各電圧ラインの容量は 50pF; 入力クロックは 100 kHz)

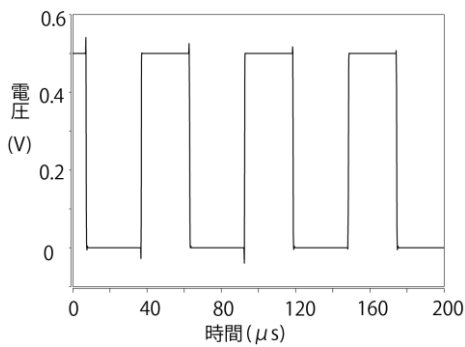


図 10 NAND インバータ 999 個によるリングオシレータの発振波形

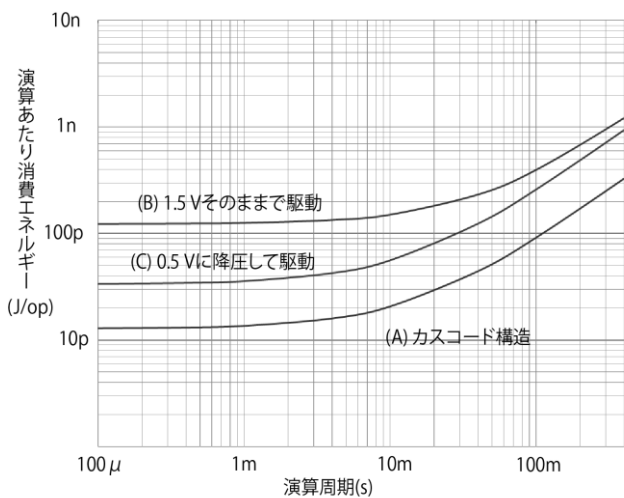


図 11 インバータチェーンの演算あたり消費エネルギー (曲線 A: カスコード構成, 曲線 B: 電池電圧 1.5 V で回路を駆動, 曲線 C: 1.5 V を 0.5 V に降圧して駆動)

電池電圧 1.5 V を 3 段に分け、各段に 21 個の D-F/F を配置し、レベルシフト回路を介して接続する。この疑似乱数発生器の全体図を [図 1 2](#) に示す。[図 1 3](#) は乱数ビット列が発生する様子である。

このシステムで、クロック 1 周期の間で行う動作を演算の 1 サイクルとして、演算あたり消費エネルギーを計算した (実際には 10 サイクル分の平均値)。その結果をクロック周期の関数として [図 1 4](#) の曲線 A で表す。比較のため、6-1 と同じように、カスコード構成ではない二つの回路の消費エネルギーを計算してグラフに示した (曲線 B と曲線 C)。この疑似乱数発生器についても、カスコード構成が他の回路よりも常に低エネルギー動作であることを確認できた。

7. まとめ

電池で駆動する低電力 CMOS デジタル LSI のために「カスコード構成を用いて電池エネルギーを有効

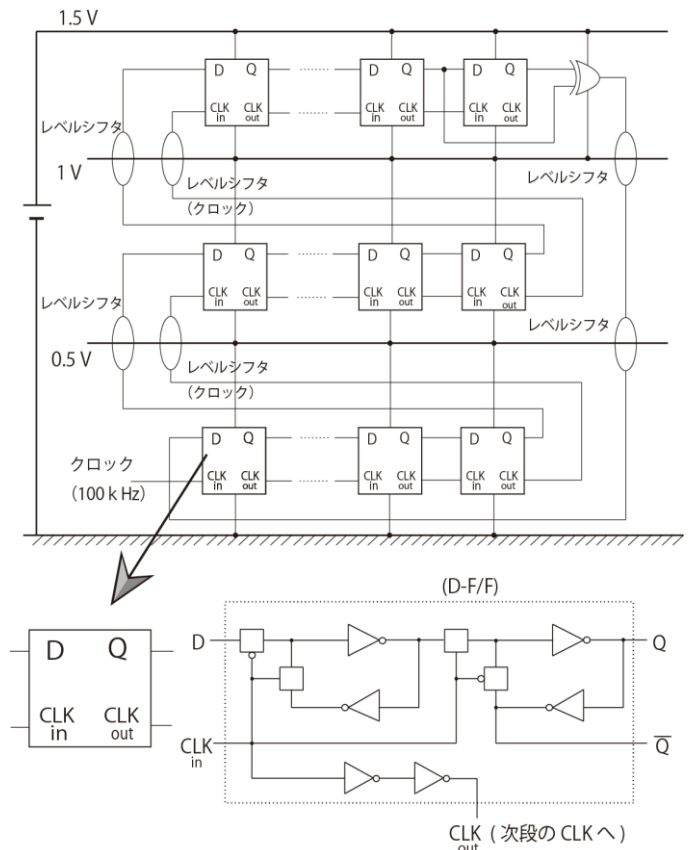


図 1 2 疑似乱数発生器と D-F/F の回路

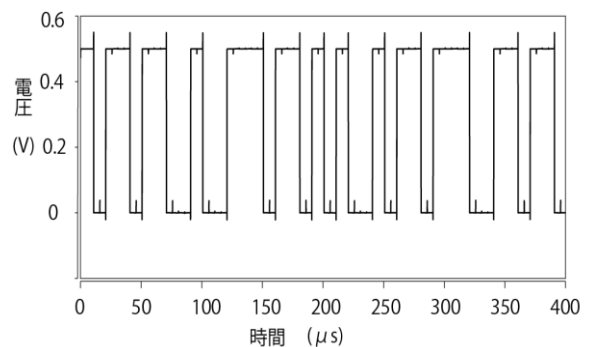


図 1 3 乱数ビット列の発生 (21 段目の D-F/F 出力; クロック周波数 100 kHz)

に利用する方法」を提案した。この方法は、電池電圧を多段に分割することにより、電池電圧より低い電圧で CMOS 回路を動作させるものである。幾つかのサブシステムに適用し、シミュレーションで低エネルギー化の効果を確認した。このカスコード構成は「速度は遅くても良いが、演算あたりの消費エネルギー (J/op) をなるべく小さくしたい」というときに有効である。センサネットワーク用 LSI や環境モニタリング用センサ IC、および医療用デバイスなどに応用分野がある。

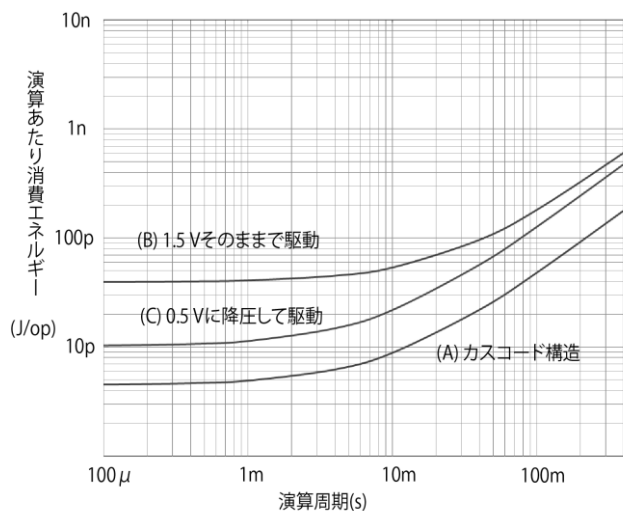


図 1 4 疑似乱数発生器の演算あたり消費エネルギー
 (曲線 A: カスコード構成, 曲線 B: 電池電圧 1.5 V で回路を駆動, 曲線 C: 1.5 V を 0.5 V に降圧して駆動)

(謝辞) 本研究は総務省戦略的情報通信研究開発推進制度(SCOPE)のもとになされたものである。

文 献

- [1] Klaus Finkenzeller, :“RFID ハンドブック—非接触 IC カードの原理と応用,” 日刊工業新聞社 (2004)
- [2] 松本英敏 :”非接触電力伝送技術の最前線” シーエムシー出版 (2009)
- [3] Ueno K., Hirose T., Asai T., and Amemiya Y., "A 300-nW, 7-ppm/°C, 20-ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 7, pp. 2047-2054 (2009)