

アナログ-デジタル混載型ハフ変換 LSI の設計

An Analog-Digital Hybrid LSI for Hough Transformation

浅井 哲也, 雨宮 好仁

Asai Tetsuya and Amemiya Yoshihito

北海道大学 工学部

Department of Electrical Engineering, Hokkaido University

1. はじめに

画像の特徴抽出機構は、高次視覚情報処理システムにとって極めて重要である。近年、ハフ変換にもとづく特徴抽出機構を有するシステムが数多く提案されており、ハフ変換を高速に行う専用プロセッサの需要が高まっている。本稿では、高速かつコンパクトな高次画像処理システムの実現に向けて「ハフ変換を行うアナログ-デジタル混載型 LSI」のアーキテクチャを提案する。

2. ハフ変換 LSI のアーキテクチャ

ハフ変換とは、入力空間 (x, y) をパラメータ空間 (ρ, θ) へマップ $(\rho = x \cos \theta + y \sin \theta)$ して得られた曲線群の交点 (ρ_0, θ_0) により、直線を「点」として表す変換である。これらのマッピングと交点検出の計算をハードウェアで行うために、本稿では以下のようなアルゴリズムを提案する: i) パラメータ θ を変化させて、与えられた二値画像の全ての点 (P_1, P_2, \dots, P_L) に対応する ρ_i ($i = 1, 2, \dots, L$) を計算, ii) $\rho_i = \rho_{j \neq i}$ となる θ を決定。

このアルゴリズムに沿って考案したハフ変換 LSI のアーキテクチャを図 1 に示す。LSI は、入力画像の全ての画素 (i, j) に対して $\rho_{i,j}$ を並列計算する「 ρ -device」、および交点を計算する「voting circuit」から構成される。 ρ -device は、抵抗回路と $2N \times 2N$ 個のアナログ電圧加算器 $(S_{i,j})$ からなり、外部から交流電圧 $(\pm E_0 \cos \omega t, \pm E_0 \sin \omega t)$ を受ける。抵抗回路の各接点の電圧 $(V_{i,0}, V_{0,j})$ は、それぞれ $E_0 i dx \cos \omega t, E_0 j dy \sin \omega t$ (dx, dy は空間離散ステップ) で表され、それらを受ける電圧加算器の出力は、

$$S_{i,j} = E_0(i dx \cos \omega t + j dy \sin \omega t) \quad (1)$$

となる。 $E_0 i dx, E_0 j dy$ および ωt をそれぞれ x, y および θ と置きなおせば、(1) はハフ変換式そのものである。

ハフ変換の次ステップは、パラメータ空間中の曲線の交点を求めることである。本稿では、以下に示す計算により交点を検出する: i) i 行 j 列において、それぞれ $X_i = 1/d_i \sum_{j \in D} S_{i,j}, Y_j = 1/d_j \sum_{i \in D} S_{i,j}$ (D, d_i および d_j は、それぞれ行 (列) に含まれる点の集合, i 行および j 列に含まれる点の数) を計算, ii) X_i, Y_i を M 次元の位置ベクトル (X_i, Y_i) にマップ (たとえば、 $M = 2, X_i$ の最小値と最大値がそれぞれ $-\alpha$ と α の場合、 $-\alpha \leq X_i \leq 0$ に対して $X_i = (c, 0), 0 < X_i \leq \alpha$ に対して $X_i = (0, c)$), iii) $X = 1/k_i \sum_{i \in K} X_i, Y = 1/k_j \sum_{j \in K} Y_j$ (k_i, k_j は、それぞれ d_i が零でない X_i, Y_i の数と集合) を計算し、それぞれのベクトルの要素値が $c/2$ を越える要素番号を求める, iv) ii) の逆変換を行い、要素番号から値に変換。iii) において、ベクトルの要素値が $c/2$ を越えたとき「 ρ の重なり」が検出され、iv) にて ρ の値が得られる。図 1 の回路において、i) と iii) のベクトル和演算は MOS 型抵抗回路が行い、ii) および iv) におけるマップの作成は、非同同期型 AD/DA コンバータが行う。

3. シミュレーション結果とまとめ

図 2 以下にシミュレーションの入出力データを示す。図 2 は入力画像 (三つの点)、図 3 は重なり検出信号の時間変

化 (一周期のみ)、図 4 は ρ の時間変化、図 5 は得られた ρ, θ ($= \omega t$) の逆ハフ変換結果を示す ($N = M = 40, \omega = 2\pi, c = 1, E_0 = 1$ V)。重なり検出回路における ρ を約 5.3bit ($\log_2 40$) で量子化した場合、逆変換して得られる直線の精度は図 5 に示す程度であることがわかった。

提案したアーキテクチャを用いると、ハフ変換における ρ の計算を極めて簡単なアナログ電子回路により行うことができる。しかし後に続く重なり検出でデジタル回路を用いているため、周辺回路 (voting circuit) の規模が大きくなる。今後は、アナログ回路による簡潔な重なり検出アルゴリズムを検討し、コンパクトな逆ハフ変換回路の設計を行う予定である。

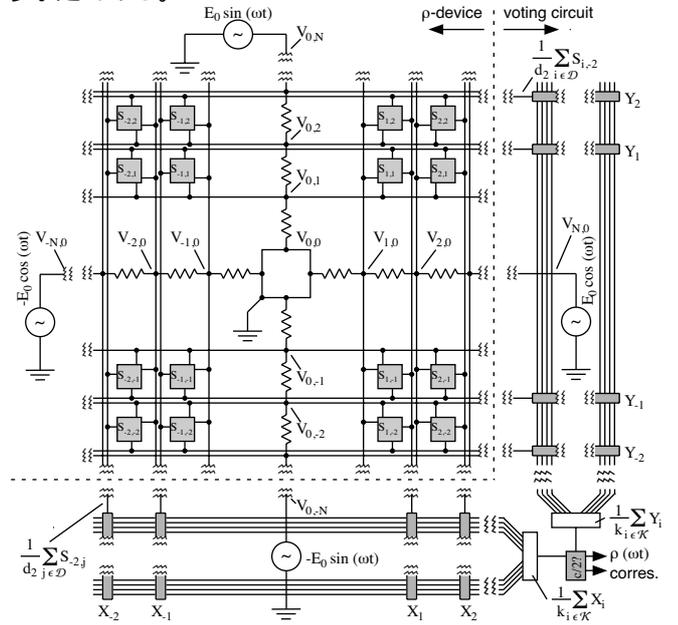


Fig. 1 Architecture of the proposed LSI

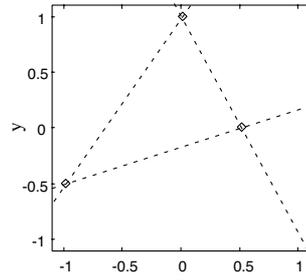


Fig. 2 Input pattern

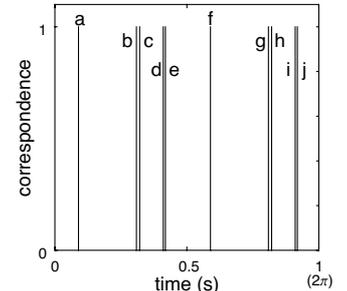


Fig. 3 Correspondence output

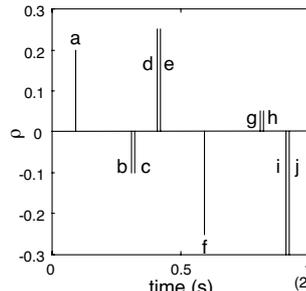


Fig. 4 (ρ, θ) outputs

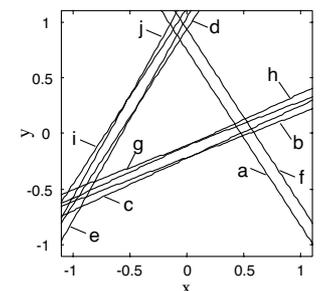


Fig. 5 Resultant lines