

# スパイクタイミングに基づく競合神経網のアナログ CMOS 回路設計

## Current-mode analog CMOS circuits performing spike-timing-based neural competition

林 秀樹, 浅井 哲也, 雨宮 好仁 (Hayashi Hideki, Asai Tetsuya and Amemiya Yoshihito)

北海道大学 工学部 (Department of Electrical Engineering, Hokkaido University)

### 1. はじめに

ビジョンチップに代表される生体様 VLSI は、神経システムの優れた情報処理体系を研究・理解する上で非常に重要なツールである [1]。本稿では、integrate-and-fire ニューロン (IFN) の大規模集積化およびその応用を目的として、シリコン LSI 上にコンパクトに実装可能かつ低消費電力な IFN 回路 (電流モードアナログ CMOS 回路) を提案する。また、この回路ネットワークを用いた「時間領域での神経競合 [2]」について報告する。

### 2. IFN ネットワークのアナログ回路設計

Integrate-and-fire ニューロン (IFN) は、神経細胞のモデル (Hodgkin-Huxley モデルなど) を簡略化した工学モデルである。簡略化の度合いに応じて様々な IFN モデルが存在する。本稿では構成が比較的シンプルな two-step IFN [3] に着目した。このモデルのダイナミクスは、細胞の膜電位、興奮性シナプス後電位 (EPSP)、および抑制性シナプス後電位 (IPSP) の 3 変数で表される。膜電位は EPSP (または IPSP) により増加 (または減少) し、その電位がしきい値を越えると IFN が発火する。発火と同時に膜電位はリセットされる。この IFN の IPSP (または EPSP) に別の IFN の発火を反映させて、ネットワークを構築する。

大規模な IFN ネットワークを LSI 上に実現するために、上記 IFN とそのネットワークをアナログ CMOS 回路化した (図 1)。IFN 回路の構成を図 1(a) に示す。膜電位、IPSP、および EPSP を、それぞれ  $C_3$ 、 $C_2$ 、および  $C_1$  の両端の電位差で表す。興奮性シナプス回路に入力電流 ( $I_{in}^{(e)}$ ) を与えると、EPSP が増加してシナプス後電流 (EPSC) が生ずる。これによって膜電位 ( $u_i$ ) が増加する。同様に、抑制性シナプス回路に入力電流 ( $I_{in}^{(i)}$ ) を与えると、シナプス後電流 (IPSC) によって  $u_i$  が減少する。膜電位の増加に伴い不応回路の内部電位 ( $v_i$ ) が増加するため、 $u_i$  が減少する (トランジスタ  $M_S$  による短絡抑制)。この短絡電流は  $u_i$  の増加に伴って指数関数的に増加するため、この電流の急増加を IFN の発火 (活動電流  $I_{spike}$  の発生) と見なすことにする。

この IFN 回路を組み合わせて、抑制ネットワーク (全ての IFN が抑制性シナプスのみを介して結合) を構築する。個々の IFN は、興奮性シナプス回路を介して外部入力を受ける。本稿では、全ての IFN から入力を受けるニューロン回路 (GI) を新たに設け、その出力を全ての IFN 回路の抑制性シナプス回路にフィードバックしてネットワークを構成した [図 1(b)]。この構成は、神経の競合現象を模擬する典型的なものである。

### 3. 実験結果

上記の IFN 回路を試作し測定を行った。抑制性シナプス回路に電流パルスを与えると (IPSP の増加により) 膜電位が減少し [図 2(a) の A 部]、興奮性シナプス回路に電流パルスを与えると (EPSP の増加 =  $V_p$  の減少により) 膜電位が増加することを確認した [図 2(a) の B 部]。抑制-興奮入力間に十分な時間差があれば、興奮性入力が入ったときにスパイクが発生する [図 2(a) の S 部]。スパイク発生時の出力電流 ( $I_{spike}$ ) は休止時の約  $10^5$  倍

であり、活動電流として十分に区別可能である。抑制強度に対するスパイク振幅の変化を図 2(b) に示す (IPSP が時間とともに減少、スパイク振幅が増加)。

次いで、提案した IFN 回路を 5 個用いて抑制ネットワークを構成した。その動作例を図 3 に示す (SPICE シミュレーション)。図 3(a) に示す入力 (同振幅で位相の異なる周期スパイク電流) を各 IFN の興奮性シナプスに与えた。この場合、各 IFN に入るスパイクのタイミング (位相差) が情報を表すことになる。図 3(b) にその応答例 (各 IFN の活動電流の時間変化) を示す。最初に興奮入力が入った IFN<sub>1</sub> が活動電流を発生し、その電流が GI を通じて他の IFN を抑制する。そのため、IFN<sub>1</sub> のみが活動電流を発生し続け、他の IFN は入力に対して応答しなくなる (IFN 間の競合)。このような時間領域での競合は、入力ノイズに対してロバストである [2]。これらの結果より、デバイスばらつきやノイズの多い環境で「正確な競合 (情報選択)」を行う LSI を実現できる見通しを得た。

### 参考文献

- [1] C. Mead: *Analog VLSI and Neural Systems* (Addison Wesley, New York, 1989) 1st ed.
- [2] T. Fukai: *Biol. Cybern.* **75** (1996) 453.
- [3] H. C. Tuckwell: *Introduction to Theoretic Neurobiology* (Cambridge University Press, Cambridge, 1988).

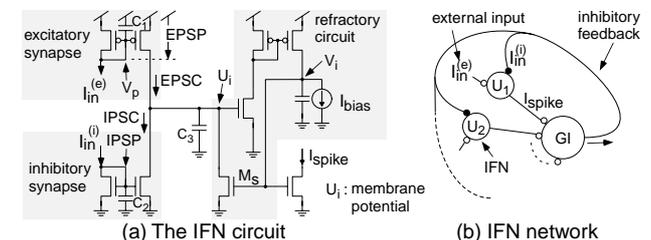


Fig.1 Analog IFN circuits and inhibitory networks with the IFNs.

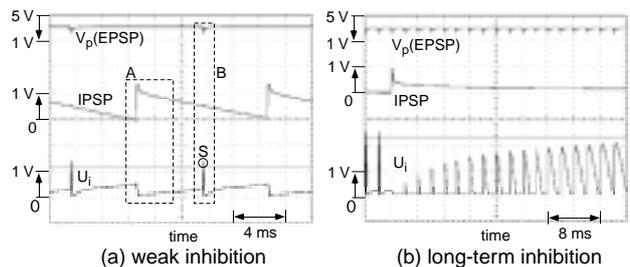


Fig.2 Experimental results for the fabricated IFN circuits.

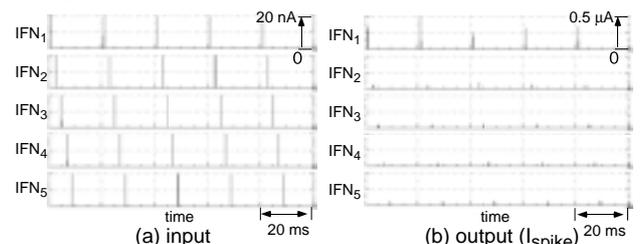


Fig.3 Simulation results for competitive networks with 5 IFNs.