

# サブスレッショルド領域で動作するアナログ CMOS 回路によるカオス発生器

A Chaotic Oscillator using Subthreshold Analog CMOS Circuits

神谷 泰史      金澤 雄亮      浅井 哲也      雨宮 好仁  
Kamiya Taishi      Kanazawa Yusuke      Asai Tetsuya      Amemiya Yoshihito

北海道大学 工学部  
Department of Electrical Engineering, Hokkaido University

## 1 はじめに

自然界で一般に観測されるカオスは、空間的な自由度を持ち、時間/空間的に乱れた振る舞いを引き起こす「時空カオス」である。構成論的なアプローチを用いて、この時空カオスの理解、新現象の予言をしようとする研究が行なわれている。Coupled Map Lattice(CML), Global Coupled Map(GCM)[1]はその代表的な例である。本稿では構成論的なアプローチを用いて、VLSI上にカオス系を構成する。現在のVLSI技術を用いれば、時空カオス系の単位要素であるアナログのカオス発生回路を多数集積可能になる。アナログ電子回路を用いることで、より自然に近い、連続時間、かつ各要素の状態が連続である系を構成できる。本稿ではその第一段階として、VLSI上に多数実装可能なカオス発生回路を提案する。提案する回路はLotka-Volterraモデルに基づくカオス発生回路である。

## 2 Lotka-Volterraモデルに基づくカオス発生回路

2 被食者-1 捕食者 Lotka-Volterra系の方程式は、

$$\begin{cases} \tau \dot{x}_1 = (1 - x_1 - x_2 - ky)x_1 \\ \tau \dot{x}_2 = (a - bx_1 - cx_2 - y)x_2 \\ \tau \dot{y} = (-r + \alpha kx_1 + \beta x_2)y \end{cases} \quad (1)$$

のように表される。 $\tau$ は時定数である。ここで、パラメータ $a, b, c, k, r, \alpha, \beta$ を適切な値に設定することで、変数 $x_1, x_2, y$ のアトラクタがカオスを呈する[2]。式(1)は変数の乗算を含んでいるため、電子回路化の際に乗算器を必要とし回路規模が大きくなる。そこで、 $X_1 = \ln x_1, X_2 = \ln x_2, Y = \ln y$ なる変数変換を行う。変数変換により、式(1)は

$$\begin{cases} \tau \dot{X}_1 = 1 - \exp(X_1) - \exp(X_2) - k \exp(Y) \\ \tau \dot{X}_2 = a - b \exp(X_1) - c \exp(X_2) - \exp(Y) \\ \tau \dot{Y} = -r + \alpha k \exp(X_1) + \beta \exp(X_2) \end{cases} \quad (2)$$

となる。式(2)中の指数関数項は、MOSFETのサブスレッショルド領域での飽和 $I$ - $V$ 特性 $[I_{ds} \sim I_0 \exp(V_{gs}/v_0)]$ 、ここで $V_{gs}$ はゲート-ソース間の電位差、 $v_0$ は規格化パラメータ]より、トランジスタ一つで表すことができる。したがってカオス発生回路を簡単な回路で構成可能である。提案するカオス発生回路の回路構成を図1(a)に示す。電流 $I_1, I_2, I_3$ を $I_1 : I_2 : I_3 = 1 : a : r$ と設定する。また、MOSFETのゼロバイアス電流 $I_0$ ( $\sim W/L$ )の比が $M_1 : M_b : M_c : M_k : M_{\alpha k} : M_\beta = 1 : b : c : k : \alpha k : \beta$ となるようにトランジスタのサイズを決定する。

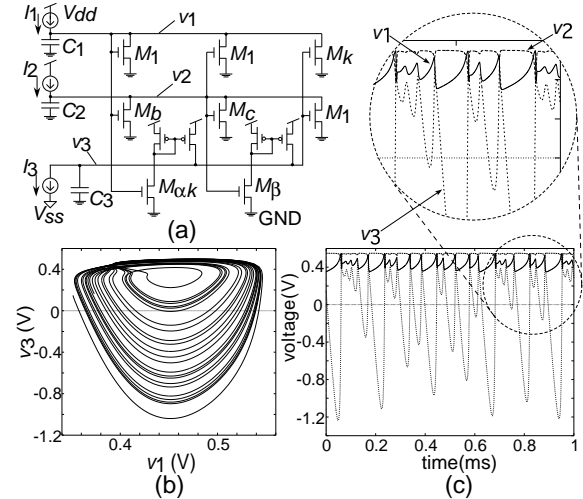


図1 (a) カオス発生回路, (b)  $v_1$ - $v_3$  平面でのアトラクタ, (c) 変数の時間変化

## 3 シミュレーション結果

回路シミュレーションにより、図1(a)の回路の動作を確認した。カオスを発生させるためのパラメータを、文献[2]をもとに決定した。電流源の電流値を $I_1 = 100$  nA,  $I_2 = 99.2$  nA,  $I_3 = 90$  nAと設定した。MOSFETのチャネル長 $L = 1.6$   $\mu$ mとし、ゲート幅 $W$ を $W_{M_1} = 6.4$   $\mu$ m,  $W_{M_b} = 9.6$   $\mu$ m,  $W_{M_c} = 6.4$   $\mu$ m,  $W_{M_{\alpha k}} = 32$   $\mu$ m,  $W_{M_\beta} = 3.2$   $\mu$ mとした。また、 $C_1, C_2, C_3 = 1$  pFとした。シミュレーション結果を図1(b), (c)に示す( $v_1$ - $v_3$ の相平面でのアトラクタ[図1(b)]、 $v_1, v_2, v_3$ の時間変化[図1(c)])。結果より、 $v_1, v_2, v_3$ の軌道がストレンジアトラクタを呈することを確認した[図1(b)]。このアトラクタがカオスであることを確かめるために、リアプノフ指数( $\lambda = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{i=0}^{N-1} \log |v'_i|$ )を計算した。その結果、最大リアプノフ指数は10.1であった。このことは、構成した回路がカオスを発生することを示す。

Lotka-Volterraモデルに基づくカオス発生回路を提案し、回路がカオスを発生することを確認した。提案した回路はトランジスタ数が少なく、CMOSと容量の小さいキャパシタのみで構成できるためVLSI上へ多数実装可能である。

## 参考文献

- [1] 金子 邦彦, 津田 一郎, 複雑系のカオス的シナリオ, 朝倉書店, 東京, 1996.
- [2] 森田 善久, カオス全書3 生物モデルのカオス, 朝倉書店, 東京, 1996.