

バラツキ補償リセットのCMOSイメージセンサ回路

CMOS image-sensor circuitry for compensating fixed pattern noise

加賀谷 亮, 池辺将之[†], 浅井哲也, 雨宮好仁, 大住勇治[‡], 金高達也[‡]

Ryo Kagaya, Masayuki Ikebe[†], Tetsuya Asai, Yoshihito Amemiya, Yuji Oosumi[‡], and Tatsuya Kanetaka[‡]

北海道大学, [†]大日本印刷(株), [‡]大日本 LSI デザイン(株)

Department of Electrical Engineering, Hokkaido University, [†]Dai Nippon Printing Co., Ltd., [‡]Dai Nippon LSI Design Co., Ltd.

1. はじめに

CMOS イメージセンサでは、画素セル回路に使う MOSFET のしきい値バラツキによって固定パターンノイズを生じる。このバラツキを回路の工夫で補償する方法を提案する。従来の CDS(Correlated Double Sampling) 補償法と異なり、画素出力を非破壊で読み出すことができる。本方法では、しきい値バラツキが数百 mV と大きくても出力への影響を 0.1 mV 以内に抑えることができる。さらに、非破壊読み出しの機能を活かした様々な応用への可能性を持っている。

2. バラツキ補償リセットの回路

提案する回路構成—画素セル回路とバラツキ補償のための出力回路—を図1に示す。この構成の特徴は画素回路と出力増幅器の間に負帰還ループを構成することにある。

撮像サイクルのはじめに画素セルのリセットを行う。このとき出力増幅器の正転入力に一定電圧 V_{rst} を与え、かつ M1 と M3 をオンにして画素回路と出力増幅器の間に負帰還ループをつくる。この負帰還によって出力ラインの電位(B 点の電位)は M2 のしきい値バラツキによらず V_{rst} に初期化される。この動作でバラツキが補償される。その後 M1 と M3 をオフにして露光モードに入る。フォトダイオードの光電流によって変化した A 点の電位を M2 のソースフォロアで出力ラインに読み出す。

3. 画素信号の AD 変換

画素信号はデジタル信号に変換して出力する。この AD 変換のときは正転入力をランプ電圧 V_{mp} に切り替える。出力増幅器はコンパレータとして動作し、画素信号の電圧値(B 点の電位)を PWM 変換した信号パルスを C 点に出力する。この信号パルスをクロックと 2 進カウンタでバイナリデジタル信号に変換する。出力増幅器(演算増幅器)は位相補償容量の接続を制御信号でオンオフできるように構成する。すなわち、負帰還ループによってバラツキ補償リセットを行うときは容量を接続して発振を防止し、出力時に PWM 変換を行うときには容量を切り離して高スルーレートのコンパレータとして用いる。この操作によって一つの演算増幅器を負帰還リセットと PWM 変換の両方に使い分ける。

4. リセットと AD 変換の動作

この回路構成に基づいて CMOS イメージセンサを設計した(0.25 μm CMOS プロセス)。レイアウト後の動作シミュレーション結果の一例を図2と図3に示す。図2はバラツキ補償リセットの動作である。M2 のしきい値に例えば 300 mV の大きなバラツキがある場合でも、およそ 200 ns でリセットが終了し、出力ライン電圧のバラツキは 0.1 mV 以内に収まる。

図3は画素信号を PWM 信号に変換したときの出力パルス波形である。出力増幅器に位相補償容量がある場合とない場合を比較して示した。位相補償容量の接続を切り替えるように構成することで、出力増幅器の応答を速くして正確な PWM 変換を行うことができる。

この回路構成の特徴—非破壊読み出し機能—を利用した飽和予測型ワイドレンジイメージセンサの開発を現在行っている。

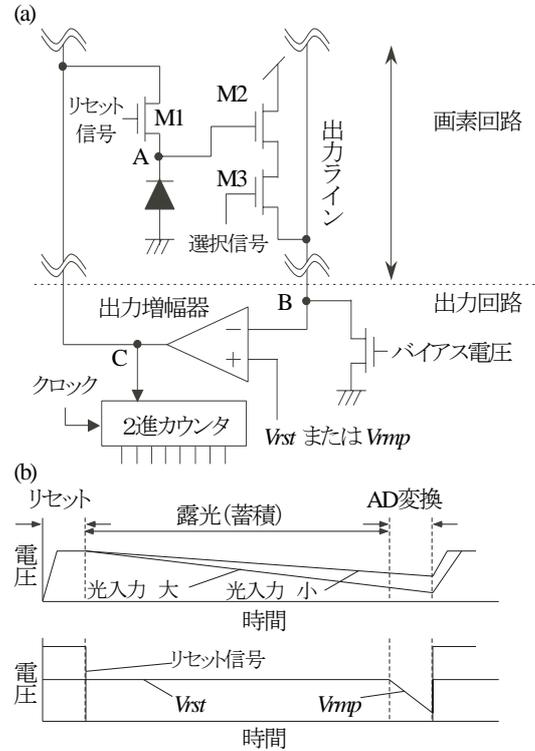


図1 バラツキ補償リセット方式の回路構成

(a) 画素セルと出力部の回路構成, (b) 制御信号と信号電圧のタイミング。蓄積時間(33 ms)と比べてリセット時間と AD 変換時間は非常に短い(1 μs ~数 μs)。

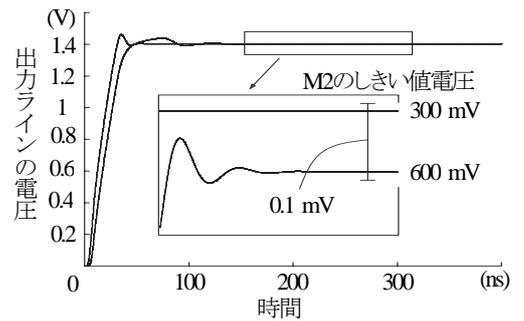


図2 バラツキ補償リセットの動作

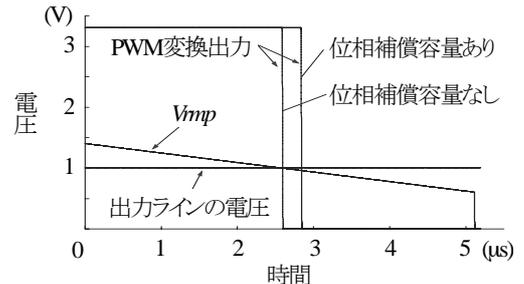


図3 PWM 変換の動作