

# ノイズを利用して 変調を行うサブスレッショルドCMOS回路

Subthreshold CMOS circuits for delta-sigma modulation utilizing thermal- and electromagnetic noises

宇田川 玲  
Akira Utagawa

浅井 哲也  
Tetsuya Asai

廣瀬 哲也  
Tetsuya Hirose

雨宮 好仁  
Yoshihito Amemiya

北海道大学 大学院 情報科学研究科  
Graduate School of Information Science and Technology, Hokkaido University

## 1 まえがき

Marらにより提唱された「ノイズを有効利用して変調を行う神経ネットワークモデル」[1]のハードウェア化を行う。熱雑音や電磁ノイズに鋭敏なサブスレッショルドCMOSニューロン回路[2]を用いて上記のネットワークを構築し、Marらの結果が再現できるかどうか回路シミュレーションにより確認した。

## 2 回路構成

オリジナルのモデルは、 $N$ 個の積分発火ニューロンを用いた相互抑制ネットワーク構造を持つ[1]。アナログ入力信号が $N$ 個のニューロンに与えられ、1bitの出力信号は、 $N$ 個のニューロンの発火イベントの和で表わされる。静的ノイズがアナログ入力信号に与えられ、動的ノイズがニューロンのリセット電位に発火イベント毎に与えられる。 $N$ 個のニューロンからなる結合強度の等しい相互抑制ネットワークは、配線の複雑度を $O(N)$ に下げられるため[2]、図1に示すような回路を構成した。静的ノイズは定電流源( $I_i$ )のデバイスバラツキ、動的ノイズは、各ニューロンの膜電位にポアソンスパイク電流(平均, 分散 =  $\lambda$ )を与えることで、疑似的にノイズ源を実装した。

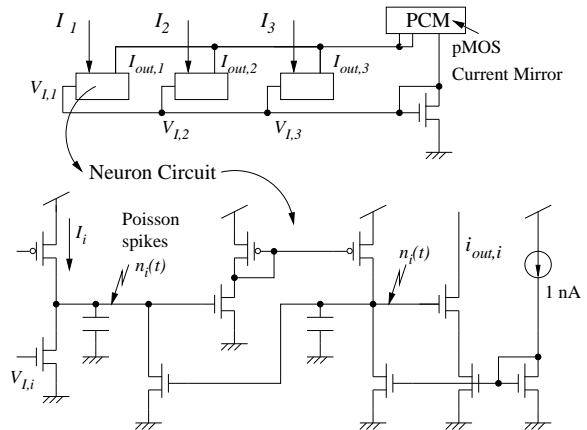


図1 ネットワーク回路構成

## 3 シミュレーション結果

図2にシミュレーション結果の一例を示す( $N = 3$ ,  $I_i = [1 : 1.2]$  nA, ポアソンスパイクの振幅: 1 nA, 幅: 10  $\mu$ s,  $\lambda = 5000$ )。各ニューロンの発火イベント( ,  $\times$ , +)とその和(出力スパイク列)を表示した。非結合時( $K = 0$ )は出力スパイク列の粗密が目立つのに対して、結合時( $K = 3$ )では密度がほぼ均等になった。図3は出力スパイク列のISI(inter-spike interval)をヒストグラム化したものである。オリジナルのモデルの結果と同じく、非結合時にISIは広く分布し、結合時にはISIはピーク値を持つことが確認できた。今後は、パラメータの最適化により結合時のISI分布の半値幅を小さくして、より精度の高い 変調回路を設計する予定である。

### 参考文献

- [1] Mar D.J., *et al.*, "Noise shaping in populations of coupled model neurons," *Neurobiology*, vol. 96, pp. 10450-10455, 1999.
- [2] Asai T., *et al.*, "A subthreshold MOS neuron circuit based on the Volterra system," *IEEE Trans. Neural Networks*, vol. 14, no. 5, 2003.

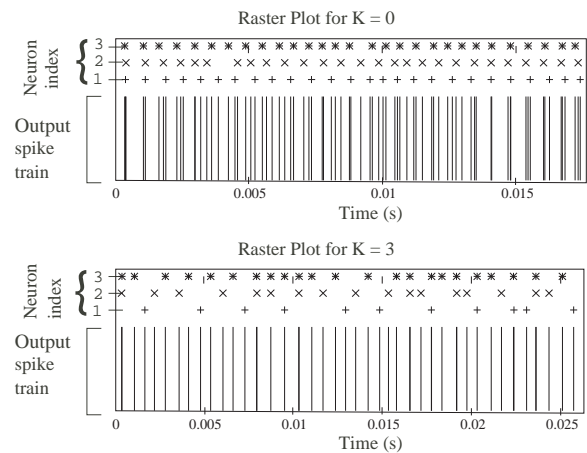


図2 シミュレーション結果(スパイク列)

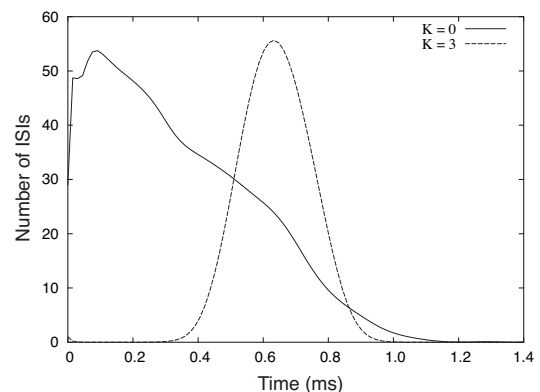


図3 シミュレーション結果 (ISIのヒストグラム)