

Collision-Based Computingに基づく論理回路設計

Collision-Based Computing on Digital Integrated Circuits

山田 和人
Kazuhito Yamada

浅井 哲也
Tetsuya Asai

廣瀬 哲也
Tetsuya Hirose

雨宮 好仁
Yoshihito Amemiya

北海道大学大学院 情報科学研究科
Graduate School of Information Science and Technology, Hokkaido University

1 はじめに

我々はこれまで BDD に基づく新概念ロジック回路構成の検討を行ってきた [1]。本稿では、Collision-Based Computing (CBC) [2] に着目した新概念アーキテクチャに関する考察を行う。

CBC とは、セルオートマトンを用いた新しい情報処理の形である。セルオートマトンモデルにおいて、あるルールを設定するとセルのパターンを保ったままある方向へ移動するもの (グライダー) が存在する。それらのグライダーは衝突によって互いに消滅する特性を持つが、CBC ではその特性を利用し論理演算を行う。本稿では、上記 CBC のための基本演算回路を提案する。

2 セルオートマトンによる CBC の実現

図 1 に CBC による論理演算の例を示す。CBC では入力としてグライダーを用いる [2]。2 つのグライダーの衝突による消滅を用いることで図 1(a) に示す出力を得る。例えばグライダーの入力が A からだけであれば衝突による消滅がないので、グライダーは衝突点を通りし出力 $\bar{A}B$ に達する。これを利用することにより図 1(b) ~ (d) に例として示したような論理演算が実現できる。グライダーの数と配置を変更することにより様々な論理演算が可能になる。

3 アーキテクチャと回路構成

図 1(a) の論理演算を CMOS 回路により実現した。その構成を図 1(e) に示す。提案の回路はインバータを二つ並べた 2 入力 2 出力の構成である。M1, M2 のソースに入力信号としてそれぞれ A, B を与える。これによりノード 1, 2 にそれぞれ $\bar{A}B$, $A\bar{B}$ が出力される。

この基本演算回路を図 1 (b), (c), (d) のように組み合わせることで論理演算が可能になる。さらに、図 2 に示すように回路間にスイッチを配置すると、論理回路がプログラマブルとなる。スイッチマトリックスの値を変更することによって、図 1 の様な論理回路が構成可能になる。入力、出力端子の選択も可能になる。

4 結果と今後の展望

CBC による論理演算に基づいて、図 1 (b), (c), (d) に示す論理と 3 入力の多数決論理回路を構成し、回路シミュレーションを行った (MOSIS AMIS 0.35 μm CMOS プロセスを利用)。一例として多数決論理回路の模式図と入出力波形を図 3 に示す。100 MHz の入力信号に対し、出力の遅延時間は 0.3 ns 程度であった。今回は CMOS 回路を用いたが、将来は CBC 実現のために図 1(a) の入

出力を持つナノデバイスの利用を考えている。それにより小面積な論理回路を実現することが最終目的である。

参考文献

- [1] Akazawa M., *et al.*, J. App. Phys. **82**(10), d5176-5184 (1997).
- [2] Andrew Adamatzky, *Collision-Based Computing*, Springer, 2002.

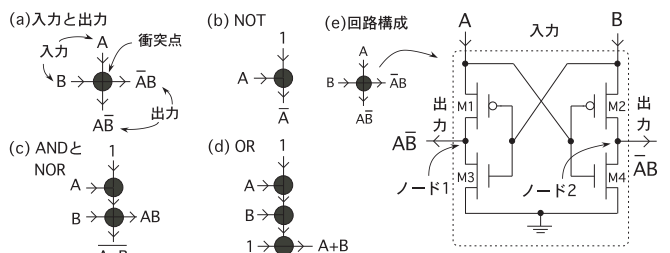


図 1 CBC の記号表現 (a) と CBC による論理演算 (b),(c),(d)。矢印はグライダーの動きを表す。(e) にグライダー模擬のための CMOS 回路構成を示す。

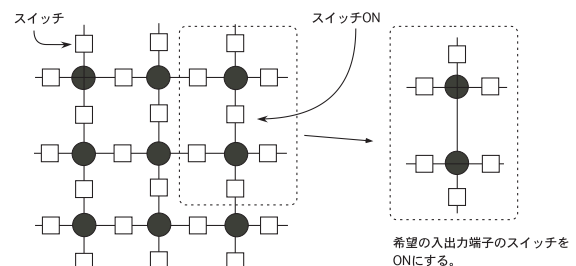


図 2 プログラマブルな論理回路設計の例。矢印で示されたスイッチを ON とすると、右図の回路に等価となる。この場合では、入力、出力端子の選び方により図 1(c) の演算が可能になる。

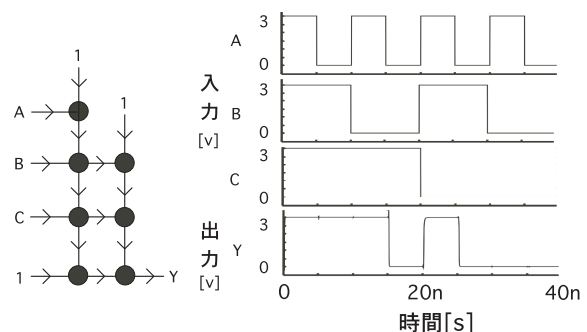


図 3 多数決論理回路の記号表現と入出力波形