

# サブスレッショルド MOS 回路によるしきい論理ゲート

Threshold-logic gates consisting of subthreshold MOS circuits

小川太一 廣瀬哲也 浅井哲也 雨宮好仁  
Ogawa Taichi Hirose Tetsuya Asai Tetsuya Amemiya Yoshihito

北海道大学 情報科学研究科  
Department of Electrical Engineering Hokkaido University

## 1. はじめに

情報ネットワーク社会の進展とともに、極めて微小な電源エネルギーで動作可能なインテリジェントセンサ LSI が要求されるようになった。このような LSI では MOS 論理ゲート回路をサブスレッショルド領域で動作させることが必要となる。本稿では、高性能論理ゲートの一つ「しきい論理ゲート」を実現するサブスレッショルド MOS 回路を提案し、その動作特性をシミュレーション解析で示す。

## 2. しきい論理ゲートの原理

しきい論理ゲートは複数の入力を有し、論理 1 の入力の合計数がしきい値を超えると論理 1 を出力する（それ以外は出力 0）。この動作を回路化するため、図 1 のような電流加算の構成を考えた。入力数だけの電流源を用意し、加算ラインに流れ込む電流  $I_0$  を入力  $X_i$  の 1-0 によってオン-オフする（ $X_i = 1$  でオン、 $X_i = 0$  でオフ）。同時に加算ラインからしきい電流  $kI_0$  を流し出す（しきい値  $k = 0.5, 1.5, 2.5, \dots$ ）。論理 1 の入力数がしきい値より大きいとき、加算ライン電位が上がって出力が 1 となる。論理 1 の入力数がしきい値より小さいときには、加算ライン電位が下がって出力が 0 となる。

## 3. サブスレッショルド MOS 回路による構成

図 1 の動作を実現するために、図 2 の MOS 回路を設計した。サブスレッショルド電源回路によって、モニタ回路 M6-M7 の電流  $I_0$  が基準電流  $I_{ref}$  と同じになるような供給電圧  $V_{dd}$  をつくる。基準電流は数十 nA 以下に設定する。 $V_{dd}$  は MOSFET のしきい値電圧より低い。この電圧でゲート回路を駆動する。図は 3 入力ゲートの構成例を示す。入力電圧が 0（論理 0）のとき M11-M13 の各々が加算ラインにモニタ電流と同じ電流  $I_0$  を流し込む。M14 は加算ラインから電流  $kI_0$  を流し出す。しきい値  $k$  はゲート幅の比率で設定する。電圧  $V_{dd}$ （論理 1）の入力数がしきい値を超えると加算ラインの電位が下がり、出力インバータの出力が論理 1 となる。

## 4. しきい論理の動作

図 2 のゲート回路で  $k = 1.5$  にすると三入力の多数決ゲートになる。この回路の動作をシミュレーション解析して 図 3 に示す（MOSFET はすべて  $W/L = 1\mu\text{m}/0.35\mu\text{m}$ ）。三つの入力の 1 の個数を時間とともに増加させて加算ラインと出力の電圧変化を求めた。図の例では、電源回路からの供給電圧  $V_{dd}$  をモニタ電流  $I_0 = 10\text{ nA}$  となるように設定してある（およそ  $V_{dd} = 600\text{ mV}$ ）。二つ以上の入力が論理 1 になると加算ラインの電位が下がり、出力インバータが論理 1 を出力して多数決動作となる。この多数決ゲートを組み合わせて加算器を構成したところ、モニタ電流  $10\text{ nA}$  のとき 8 ビットリップルキャリー加算器において加算時間は  $5.1\text{ }\mu\text{s}$  であった。

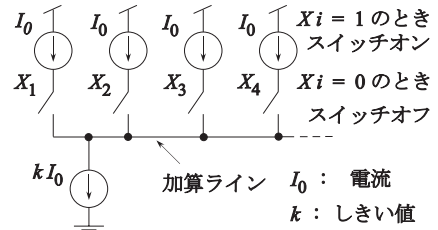


図 1 電流加算によるしきい論理。

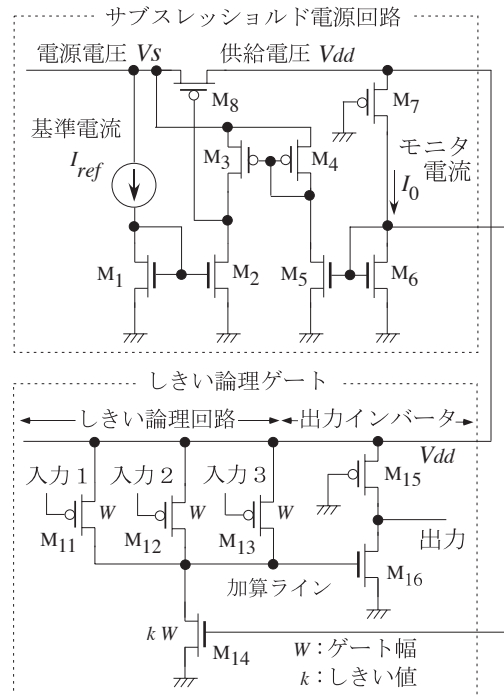


図 2 しきい論理回路の構成：サブスレッショルド電源回路および 3 入力しきい論理ゲート。

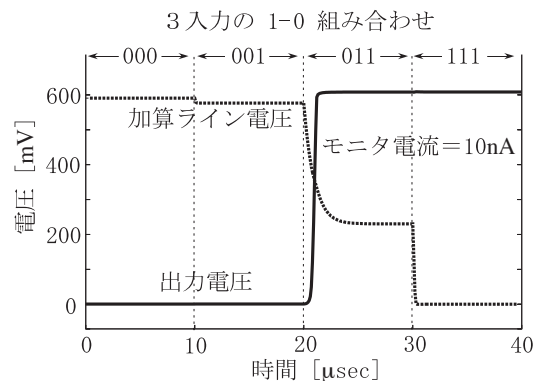


図 3 多数決ゲート(図 2 で  $k = 1.5$ )の動作：入力による加算ラインと出力の電圧変化。