

# アナログ回路のプロセスばらつき補正のための参照電圧源回路

A CMOS voltage reference for process compensation in analog circuits

上野 憲一  
Ken Ueno

廣瀬 哲也  
Tetsuya Hirose

浅井 哲也  
Tetsuya Asai

雨宮 好仁  
Yoshihito Amemiya

北海道大学 大学院 情報科学研究科  
Department of Electrical Engineering, Hokkaido University

## 1 まえがき

CMOS LSIの微細化に伴い、製造ばらつきに起因する歩留まり低下や性能動作マージン低下が顕在化している。本研究では、MOSFETのしきい値電圧ばらつきが回路特性に与える影響をオンチップ補正するための参照電圧源回路を提案する。この回路は絶対零度におけるMOSFETのしきい値電圧と同じ値の電圧を出力するので、LSIチップ上のしきい値電圧の監視規準として使用できる。この電圧源を用いて補正回路をつくると、チップ間でしきい値電圧がばらついたときでも各LSIチップの動作電流・消費電力・遅延時間等を当初の設計値どおりに設定することができる。この電圧源回路を試作し、温度や電源電圧の変動に対して安定に動作することを確認した。応用の一例として、アナログLSI上の電流源回路の出力ばらつき補正を検討し、その効果をモンテカルロシミュレーションで確認した。

## 2 回路構成

この電圧源の回路構成を図1に示す[1]。トランジスタMR1とMR2は強反転線形領域で動作し、他のトランジスタはすべてサブスレッショルド領域で動作する。二つの差動対(M3-M6, M5-M7)のゲート端子間に正温度係数の電圧を生成し、これをダイオード接続トランジスタM4の負温度係数の電圧と加算して参照電圧 $V_{REF}$ を生成する。この電圧 $V_{REF}$ は、MOSFETの絶対零度におけるしきい値電圧と等しい値であり、チップ間のしきい値電圧ばらつきに応じてチップごとに値が少しずつ異なる。図2に試作チップ写真とその性能諸元を示す。0.35  $\mu\text{m}$ , CMOSプロセスにより設計試作し、測定を行った。出力電圧の平均値 $\overline{V_{REF}}$ は0.763 Vであり、その変動係数は1.6% (95 samples)であった。

## 3 アナログ回路のばらつき補正への応用

この電圧源を使用した特性ばらつき補正の一例として、アナログ回路に用いる電流源回路を考え、その出力電流ばらつき特性を他の電流源回路と比較した。図3-(A)はこの電圧源による電流源回路、(B)は $\beta$ 乗算型自己バイアス回路、(C)はしきい値電圧参照型自己バイアス回路、そして(D)は固定バイアスの電流源回路である。これらの出力値がデバイスパラメータの変動によってばらつき様子をモンテカルロシミュレーションで調べた。出力10  $\mu\text{A}$ の電流源を想定し、トランジスタおよび抵抗のプロセス変動による絶対ばらつき(均一分布を想定)とランダムばらつき(ガウス分布を想定)を考慮した。モンテカルロシミュレーション(500回)で得られた出力電流 $I_{OUT}$ のヒストグラムを各電流源について図4に示す。提案した電圧源によるバイアス方法を用いることで、出力電流のばらつきを他の電流源と比較して60-80%改善できることを確認した。これは電流生成トランジスタのしきい値電圧ばらつきを電圧源からのゲートバイアスで打ち消

すことができるためである。この補正技術を応用することで、バッファ回路のスルーレートばらつきや発振回路の周波数ばらつき等を補正することができる。

文献: [1] K Ueno. *et al.*, Proc. of the 2007 SSDM, pp.486.

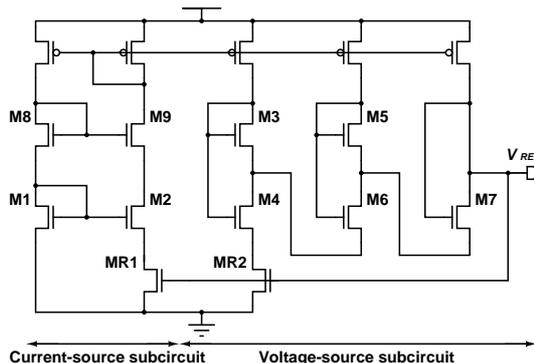


図1 提案するプロセスばらつき補正のためのCMOS参照電圧源回路。

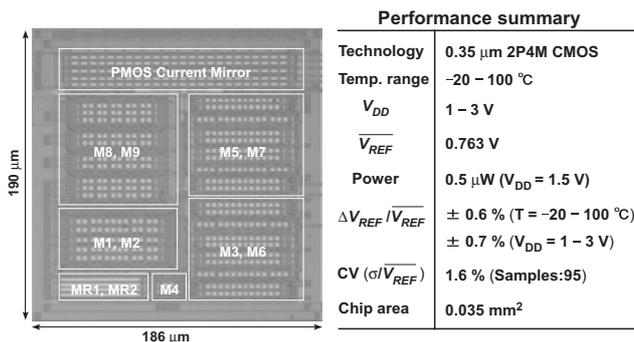


図2 試作チップ写真, 性能諸元.

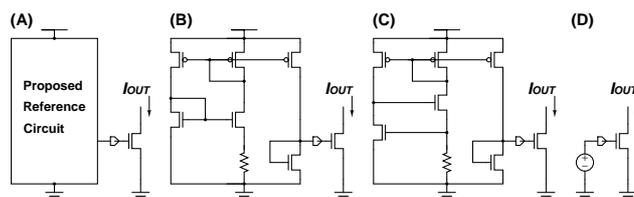


図3 出力電流 $I_{OUT}$ のばらつき特性比較に使用した電流源。(A) 提案バイアス, (B)  $\beta$ 乗算型自己バイアス回路, (C) 閾値電圧参照型自己バイアス回路, (D) 固定バイアス。

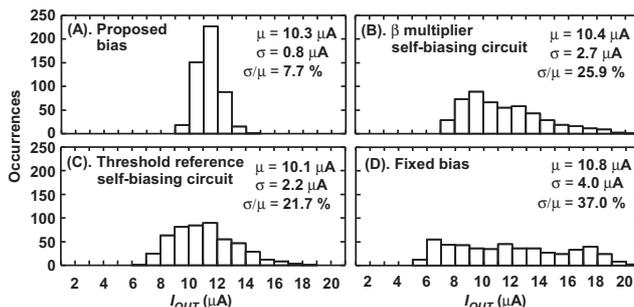


図4 図3に示す各電流源のモンテカルロシミュレーション(500回)による出力電流 $I_{OUT}$ のヒストグラム。