

視覚野の階層構造を模擬したパターン認識処理を行うアナログ CMOS 回路

Analog CMOS circuits for pattern recognition implementing a hierarchical model of visual cortex

赤穂伸雄 浅井哲也 雨宮好仁
Nobuo Akou Tetsuya Asai Yoshihito Amemiya

北海道大学 工学部 情報エレクトロニクス学科

Department of Electronics and Information Engineering, Faculty of Engineering, Hokkaido University

1. まえがき

視覚系の発達した動物は視覚野で並列情報処理を行うことにより高速で柔軟なパターン認識能力を得ている。本研究の目的は視覚野の構造を模擬した電子回路を集積化し、パターン認識用の視覚情報を取り出す IC チップを作ることである。本稿では過去に提唱された「Hierarchical models of object recognition in cortex」[1]を集積化するためのアナログ CMOS 回路を構成しその動作をシミュレーションにより確認する。

2. 視覚野モデル

文献[1]のモデルを図 1 に示す。このモデルは、S セル(S1,S2)、C セル(C1,C2)と View-tuned cell(VTC)により構成される。S セルは下層の出力の加重和を取ることで特徴を抽出する。側抑制の機構を実現するため、S1 セルへの加重は正か負の重みを持つ。C セルは同じ特徴情報を持った下層のセルの最大値を取る(Winner-take-All : WTA)。Cセルは特徴情報を持ち、位置ズレを許容する。VTC は C2 セル全体の加重和を取ることで画像を認識する。

参考文献

- [1] M.Riesenhuber and T.Poggio, "Hierarchical models of object recognition in cortex." Nature Neuroscience, 2(11), 1019-1025.
- [2] T.Asai, T.Fukai, and S.Tanaka, "A subthreshold MOS circuit for the Lotka-Volterra neural network producing the winners-share-all solution", Neural Networks, vol.12, pp.211-216(1999)

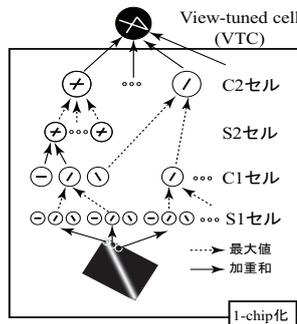


図 1 視覚野モデル

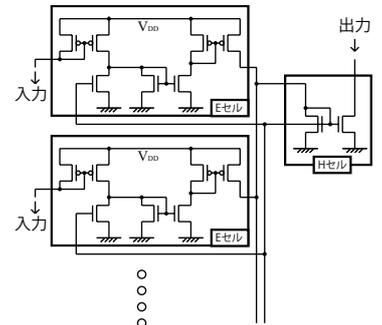


図 2 LV ネットワークの回路図

3. 回路化

本研究では画像入力層から C2 セルまでを 1-chip 化するため S セルと C セルを回路化した。S セルの回路は、電流の加減算を用いた。また神経細胞の特性を考慮し整流性を付加した。C セルは WTA 回路により実現した。

WTA 回路は Lotka-Volterra 方程式を回路化した LV ネットワーク[2]により構成した。回路図を図 2 に示す。LV ネットワークは E セルと H セルから構成される。H セルは E セルの和をとる。E セルは H セルにより抑制される。弱い入力を受けた E セルは H セルに抑制され出力が 0、強い入力を受けた E セルは H セルの抑制に打ち勝つため、このネットワークは WTA の特性を示す。

4. シミュレーション

S・C セルの動作確認のため、SPICE シミュレーションを行った。低電力化を担って MOSFET をサブスレッショルド領域で動かす(最大電流を 100nA として規格化)。シミュレーション結果を図 3 に示す。図 3(a)に抑制性入力を 0.5 に固定した S セルの動作を示す。図 3(b)に入力 1,2,3 を 0.3,0.6,0.9 にした時の LV ネットワークの WTA 特性を示す。

モデル全体の回路動作を確認するため、C2-VTC 間にパーセプトロンを用い図 4(a)のような画像を学習させた。その後、位置や角度を変化させた画像やノイズを付加した画像を入力し VTC の出力を見た。ノイズ付加の実験では全入力セルに大きさ 0~A の一様分布のノイズを付加した(A を 100nA で規格化)。結果を図 4 に示す(学習用画像を入力したときの出力を 1 にする)。VTC の閾値を 0.5 とすると平行移動では 8 セル、角度では 40 度、ノイズ付加では A=0.4 程度まで正しい出力が得られた。よってこの回路が位置ずれや角度変化、ノイズに対して強い回路であることが確認できた。

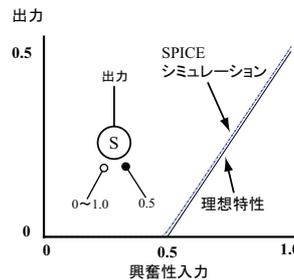


図 3(a) S セルの動作

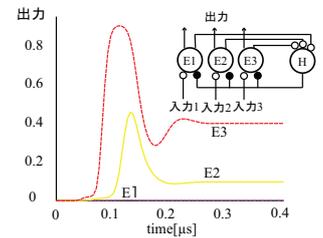


図 3(b) LV ネットワークの動作

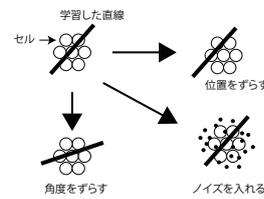


図 4(a) シミュレーションで用いた画像

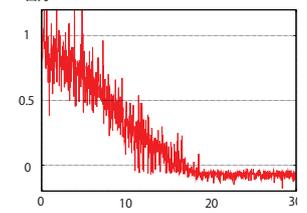


図 4(b) 直線を平行移動させたときの VTC の出力

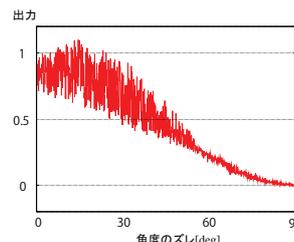


図 4(c) 直線の角度をずらしたときの VTC の出力

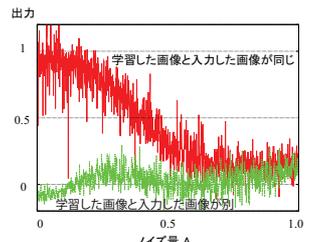


図 4(d) ノイズが入ったときの VTC の出力