

サブスレッショルド CMOS 演算増幅器によるオフセット補償回路

Offset-voltage compensation using subthreshold CMOS operational amplifiers

飯田 智貴
Iida Tomoki

浅井 哲也
Asai Tetsuya

雨宮 好仁
Amemiya Yoshihito

北海道大学大学院 情報科学研究科

Department of Electrical Engineering, Hokkaido University

1. まえがき

集積回路において、大容量のキャパシタは大面積を必要とするため集積化が困難である。しかし、大容量キャパシタが使えるならば、信号に混じった不要な直流成分や回路のオフセット電圧の影響を除去することが簡単になる。ここでは「サブスレッショルド領域で動作する MOS 回路が大きい時定数をもつこと」を利用して、大容量キャパシタの動作を代用させることを考える。以下では、はじめに、サブスレッショルド動作の CMOS 演算増幅器 (Subth-CMOS 演算増幅器) を設計し、その時定数が大きいことを示す。次に、そのことを利用して高利得増幅器のオフセット電圧とドリフトを除去する方法を提案する。実際の回路を試作し評価を行った結果についても述べる。

2. サブスレッショルド領域動作の演算増幅器

ここで用いた Subth-CMOS 演算増幅器は、差動入力段と利得段 (ソース接地回路) からなる 2 段構成であり、初段の差動回路を数 nA 以下の微小電流で駆動する。なお後段のソース接地回路の電流は通常の大ききとする。この演算増幅器は非常に大きい時定数を有し、等価的には大きな CR 時定数をもつ積分回路のように動作する。

一例として、差動回路のテイル電流を 0.1 nA、位相補償容量を 10 pF としたときの利得と位相の周波数特性を [図 1](#) に示す。回路設計には 0.35 μm -2P-4M CMOS パラメータを使用した。利得の -3 dB 遮断周波数は 270 μHz 、ユニティゲイン周波数 32 Hz、スルーレート 12 $\mu\text{V}/\mu\text{s}$ である。

3. 高利得増幅器のオフセット補償

高利得の増幅器では、入力信号の直流オフセットや入力 MOSFET 対のしきい値ミスマッチがあると、出力が動作範囲を超え飽和して (振り切れて) 動作しない。この出力飽和を Subth-CMOS 演算増幅器によって回避し、増幅器の高利得をそのまま利用することを考えた。

その例を [図 2](#) に示す。高利得カスコード差動増幅器に適用したものである。増幅器の差動出力 (V_{out+} , V_{out-}) を 2 つの Subth-CMOS 演算増幅器によるフィードバックで基準電圧 V_{CM} に固定する。Subth-CMOS 演算増幅器の時定数が大きいので、出力が V_{CM} に固定されるのは直流~低周波の範囲に限られる。中~高周波では通常のカスコード差動増幅器として動作する。そのため、入力信号の直流オフセットや入力 MOSFET 対のしきい値ミスマッチの影響を除去できる。

[図 2](#) の増幅器を試作して評価を行った。[図 3](#) は試作回路のチップ写真である。この増幅器の周波数特性を測定して [図 4](#) に示す (増幅器のテイル電流は 200 μA)。1 kHz 以下の周波数で利得が低下し、直流成分の除去に使用することができる。ただし、シミュレーションと比べて、低周波における利得の低下が不十分である。その原因について現在検討している。

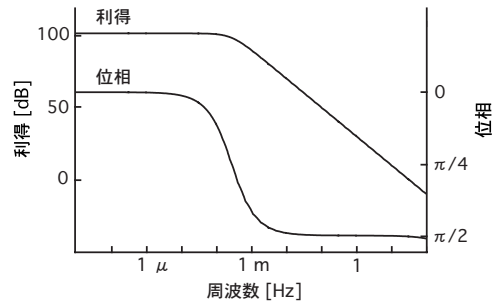


図 1: サブスレッショルド CMOS 演算増幅器の特性例 (利得と位相の周波数特性シミュレーション)

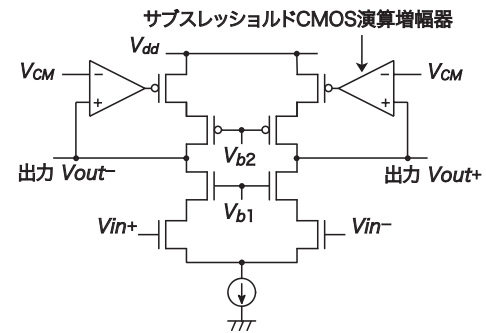


図 2: カスコード差動増幅器への適用

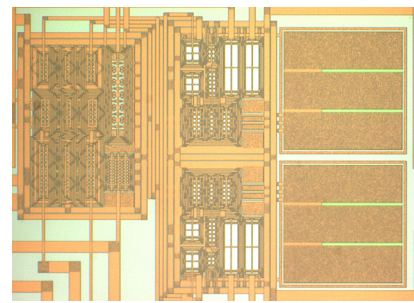


図 3: 試作チップ写真 (250 μm \times 350 μm) (0.35 μm -2P-4M CMOS プロセスによる)

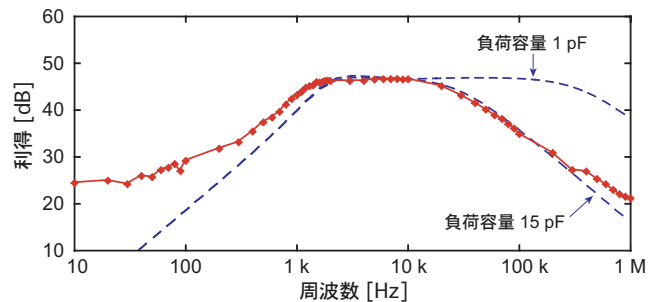


図 4: 増幅回路 ([図 2](#)) の周波数特性 (点線はシミュレーション: 負荷容量の異なる 2 つの場合)