

MOSFET の Sub- V_{TH} 動作を用いた低消費電力 CMOS 回路技術

Ultra-low power LSIs consisting of Subthreshold CMOS Circuits

上野 憲一

Ken Ueno

北海道大学 大学院 情報科学研究科

Department of Electrical Engineering, Hokkaido University

1 まえがき

MOSFET をサブスレッショルド (Sub- V_{TH}) 領域で動作させることで、極めて微小な電力で動作する LSI を構成することができる。近年、このような Sub- V_{TH} 動作による LSI 回路技術が注目されており [1], 特に、数 μW 以下の極低消費電力で動作する LSI システムが実現されると、様々な LSI アプリケーションを開拓することができる。例えば、センサネットワーク用途のセンサノード LSI, RFID タグチップ, Wake-up 受信機, そして医療用の体内埋込センサデバイス等の応用が期待されている。これらの LSI は極めて限られた電力消費のもとで長時間に渡る連続動作をしなければならない。たとえば小型電池で数年にわたる動作が必要であり、さらには周囲の自然環境 (光, 環境電磁界, 温度差, 振動など) からのエネルギー採取による半永久動作が望まれている。したがって、このような電力供給のもとで数年以上に渡る連続動作を可能にするためには、LSI 全体の消費電力を数 μW 以下に抑える必要がある。そこで我々は、消費電力を段階に低減する手法の一つとして、MOSFET の Sub- V_{TH} 領域動作を前提とした回路設計を行うことで低消費電力化を実現する手法を検討した [2]-[5]。

2 Sub- V_{TH} 動作による低消費電力化

Sub- V_{TH} 動作による低消費電力化は、通常の LSI で行われてきた低消費電力化とは大きく異なる。このことを図 1 を用いて説明する。図 1 は、一般的な LSI の処理速度 (遅延時間) と消費電力の関係を表している。一般的な低消費電力化技術 (下段, 青枠) は、微細化技術の進歩やスケールリング則にともなう低電圧化, 回路アーキテクチャの改善によって高速動作を維持・向上させながら消費電力を低減する。一方, Sub- V_{TH} 動作による低消費電力化技術 (上段, 赤枠) は、エネルギー消費の低減が最優先であり、さらに低速動作が許容されるアプリケーションに特化した低消費電力化技術である。しかし, Sub- V_{TH} 動作による回路システムは、温度やプロセスばらつきに対して特性が敏感に変化する問題を有する。これらのバラツキは、回路特性の予測や保証が困難なものとなり、LSI の歩留まりの低下に繋がる。したがって、回路アーキテクチャによる温度補償, プロセスバラツキ補正を行う必要がある。

このような背景の下、サブスレッショルド領域動作を前提とした LSI システムのための各種要素回路の設計手法を確立する必要がある。サブスレッショルド LSI の応用では高い速度性能は要求されないが、それでも用途に応じた所定の速度で動かすためには消費エネルギーとの兼ね合いが必要となる。つまり「用途に必要なゲート速

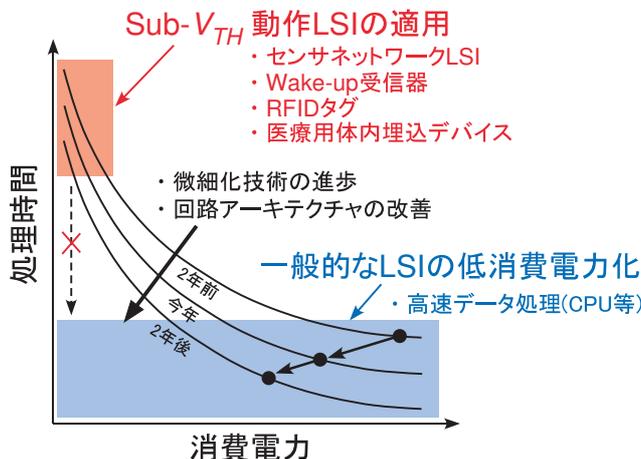


図 1 LSI の処理時間 (遅延時間) と消費電力の関係。Sub- V_{TH} 動作 LSI を用いた低消費電力化と一般的な LSI の低消費電力化の違い。

度が得られる範囲で消費エネルギーが最小」となるように LSI を動作させなくてはならない。このため LSI チップ上に専用の電源回路を設けることが必要となる。以下では、要素回路技術の一例として、Sub- V_{TH} デジタル LSI のためのオンチップ電源回路について説明する。

3 Sub- V_{TH} デジタル LSI のための電源回路

これまで、Sub- V_{TH} デジタル LSI のための電源回路がいくつか報告されている [6, 7]。しかし、これらの回路は、一定の低電圧 (V_{TH} 電圧以下) を出力する回路であり、温度・プロセスばらつきによって負荷の Sub- V_{TH} デジタル回路の動作速度が大きく変化してしまう。そこで、これらの問題を解決するための電源回路を提案する。この回路は、Sub- V_{TH} デジタル回路の温度・プロセスばらつきを補償し、さらに、設定した動作速度で最小のエネルギー動作を満たす電圧を負荷に供給する。

図 2 に提案する電源回路の構成を示す。回路はシリーズレギュレータの MOSFET (M_R), リング発振器, 参照 RC 回路, 周波数比較器で構成される。外部電圧 V_{EX} を M_R で降圧してデジタル回路用の電圧 V_{DD} をつくる。リング発振器は負荷のデジタル回路のゲート速度を模擬するものであり、出力電圧 V_{DD} に応じた周波数で発振する。その発振周波数を f_{RO} , リング発振器の段数を n とすれば、ゲート遅延時間は $(2 \cdot n \cdot f_{RO})^{-1}$ である。この遅延時間が所定の値となるように出力電圧 V_{DD} が調節される。そのためにリング発振器の発振周波数 f_{RO} を計測し、その周波数を参照 RC 回路による基準周波数と周波数比較を行う。その結果を M_R のゲート電圧にフィードバック (V_{CTR}) することで、 $f = (R \cdot C)^{-1}$ を満たす出

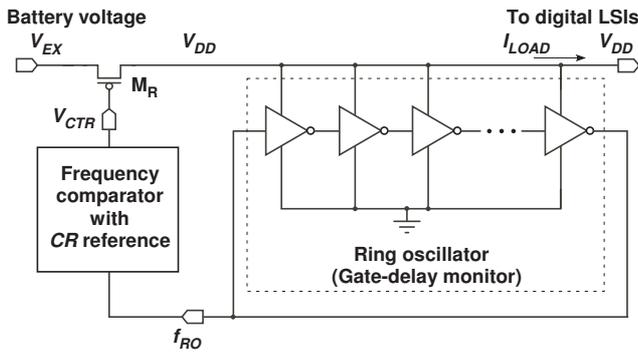


図2 提案する Sub- V_{TH} デジタルLSI のための電源回路.

表1 性能諸元

Process	0.18- μm , standard CMOS
Temperature range	-20 - 80 $^{\circ}\text{C}$
External voltage (V_{EX})	1.2 - 3 V
Supply voltage (V_{DD})	0.2 - 0.5 V
Frequency range (f_{RO})	0.02 - 20 MHzz
Frequency line regulation	4.5 %/V (@ $V_{EX} = 1.5 \pm 0.3$ V)
Voltage line regulation	0.7 %/V (@ $V_{EX} = 1.5 \pm 0.3$ V)
Frequency load regulation	82 ppm/ μA (@ $I_{LOAD} = 10$ -100 μA)
Voltage load regulation	11 ppm/ μA (@ $I_{LOAD} = 10$ -100 μA)
Process sensitivity of f_{RO}	90 ppm/mV ($\Delta V_{TH} = \pm 0.15$ V)
Temp. coefficient of f_{RO}	70 ppm/ $^{\circ}\text{C}$ (from -20 to +80 $^{\circ}\text{C}$)
Power	0.7 μW (@ $R_{REF} = 10$ M Ω)

力電圧 V_{DD} を得ることができる (回路の詳細は文献 [8] を参照).

4 シミュレーション結果

この電源回路の動作を SPICE シミュレーションにより解析した. パラメータは 0.18 μm -標準 CMOS デバイスを使用し, リング発振器の段数は 9 段, 参照キャパシタ $C = 0.5$ pF, 外部電源電圧 $V_{EX} = 1.5$ V に設定した.

図3は参照抵抗 R_{REF} を変化させたときの出力電圧 V_{DD} とリング発振器の周波数 f_{RO} を示す. 点線は理論周波数 $f = (R_{REF} \cdot C)^{-1}$ を示す. 抵抗 R_{REF} によってリング発振器の周波数 (したがって, 負荷デジタル回路の遅延時間) を 0.02 - 20 MHz の広範囲に調節可能であり, かつそれに応じた出力電圧 V_{DD} を得ることができる. 図4にプロセスばらつきによる回路動作の一例を示す. いま nMOSFET の V_{THN} を 0.5 V に固定し, pMOSFET の V_{THP} を変化させてリング発振器の発振周波数 f_{RO} と出力電圧 V_{DD} の変化を見た. 参照抵抗とキャパシタ容量の値を $R_{REF} = 10$ M Ω , $C = 0.5$ pF に設定した. したがって $(R_{REF} \cdot C)^{-1}$ の値を 200 kHz に設定した. 図の横軸は閾値差 ΔV_{TH} であり, pMOSFET の V_{THP} が大きいとき正とする. 図示のように, 閾値差にかかわらずリング発振器の発振周波数 f_{RO} を $(R \cdot C)^{-1}$ と等しくするような出力電圧 V_{DD} を発生させることができた. 表1に電源回路の性能諸元を示す. 周波数 f_{RO} の電源電圧依存性, 負荷電流依存性は小さく, それぞれ 4.5%/V, 82ppm/ μA であった. 発振周波数の温度依存性は 90ppm/ $^{\circ}\text{C}$, 消費電力は電源回路単体で 700 nW であった.

この電源回路は, 素子パラメータや温度の変動にかか

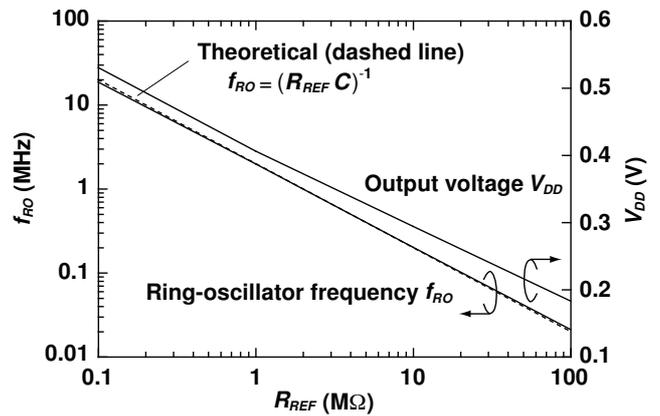


図3 参照抵抗 R_{REF} を変化させたときの出力電圧 V_{DD} とリング発振器の発振周波数 f_{RO} .

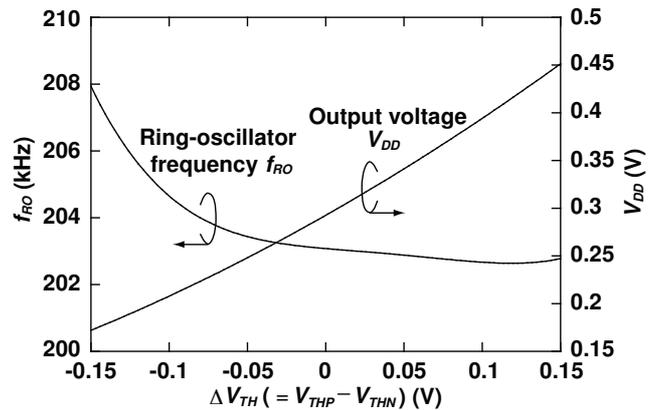


図4 nMOSFET と pMOSFET の閾値差 ΔV_{TH} によるリング発振器の発振周波数 f_{RO} と出力電圧 V_{DD} の変化.

わず負荷のデジタル回路が所定で動作するように供給電圧を調節する. サブスレッショルド CMOS LSI を安定に動作させるための有用な回路要素である.

参考文献

- [1] A. P. Chandrakasan, D. C. Daly, J. Kwong, Y. K. Ramadass, Next Generation Micro-power Systems, Proc. of IEEE Symposium on VLSI Circuits, pp. 2-5, 2008.
- [2] K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, "CMOS smart sensor for monitoring the quality of perishables," IEEE J. Solid-State Circuits, vol. 42, no. 4, pp. 798-803, 2007.
- [3] K. Ueno, T. Hirose, T. Asai, Y. Amemiya, A 300 nW, 15 ppm/ $^{\circ}\text{C}$, 20 ppm/V CMOS Voltage Reference Circuit Consisting of Subthreshold MOSFETs, IEEE J. Solid-State Circuits vol. 44, no. 7, pp. 2047-2054, 2009.
- [4] K. Ueno, T. Asai, Y. Amemiya, "Temperature-to-frequency converter consisting of subthreshold MOSFET circuits for smart temperature-sensor LSIs," Proc. of the 15th International Conference on Solid-State Sensors, Actuators and Microsystems (TRANSDUCERS), pp. 2433-2436, 2009.
- [5] K. Ueno, "Micropower LSIs consisting of subthreshold CMOS circuits for smart sensor applications," 2009 CMOS Emerging Technologies Workshop: Research & Business Opportunities Ahead, Session-7A, 2009.
- [6] Y. K. Ramadass, A. P. Chandrakasan, "Minimum Energy Tracking Loop With Embedded DC-DC Converter Enabling Ultra-Low-Voltage Operation Down to 250 mV in 65 nm CMOS," IEEE J. Solid-State Circuits, pp. 256-265, 2008.
- [7] J. Kwong, Y. K. Ramadass, N. Verma, A. P. Chandrakasan, "A 65 nm Sub- V_t Microcontroller With Integrated SRAM and Switched Capacitor DC-DC Converter," IEEE J. Solid-State Circuits, vol. 44, no. 1, pp. 115-126, 2009.
- [8] 嶋田 英人, 上野 憲一, 浅井 哲也, 雨宮 好仁, "サブスレッショルド CMOS 論理回路のためのオンチップ電源," 第 22 回 回路とシステム軽井沢ワークショップ, pp. 343 - 348, 2009.