

時間軸上のパルス加算による低電力 DA 変換器

Low power digital-to-analog converter based on pulse-width modulation

山本和輝 上野憲一 浅井哲也 雨宮好仁
 Kazuki Yamamoto Ken Ueno Tetsuya Asai Amemiya Yoshihito

北海道大学 大学院 情報科学研究科
 Department of Electrical Engineering, Hokkaido University

1. まえがき

パルスのデューティ比を利用して DA 変換を行う回路を設計した。この回路では、デューティ比に重みを付けたパルス群をデジタル入力に応じて選択加算してアナログ出力をつくる。以下に回路の構成と動作を述べる。

2. DA 変換の原理

DA 変換の原理を図 1 に示す。基準の電流 I_{ref} を用い、スイッチ Sw を通してその電流を負荷抵抗 R に流す。スイッチを周期 T ごとに幅 t でオンすると、節点 P にはパルス電圧（実線）が発生する。この電圧をローパスフィルタで平均化すると、パルス幅 t に比例する一定出力 V_{out} （点線）が得られる。ここで、二進デジタル入力に応じてスイッチングのデューティ比（ $= t/T$ ）を変化させる。スイッチング電流により P に発生するパルス電圧を平滑して、デジタル入力に比例したアナログ出力を得る。

3. 回路の構成

以上の動作を行う回路を図 2 (a) に示す。電流 I_{ref} を電流ミラーで M2 に移し、それを M4 でスイッチングする。そのスイッチング信号 V_s は、デジタル入力 $b_7, b_6, \dots, b_1, b_0$ をもとにパルス生成回路（図 2 (b)）で生成する。この回路では、まずリングオシレータの発振出力を T-F/F 列で分周して $2^0 \sim 2^7$ の重みを付けたパルス群をつくる。次に、それらのパルスをデジタル入力に応じて時間軸上で選択加算してスイッチングパルス V_s をつくり、M4 を駆動して抵抗 R_1 に電流を流す。P 点に発生したパルス電圧をキャパシタ C と抵抗 R_2 のローパスフィルタで平滑して出力電圧 V_{out} を生成する。

4. 回路動作と出力電圧 (シミュレーション)

この DA 変換器の動作をシミュレーションで確認した。デバイスパラメータには $0.35\mu\text{m}$ -CMOS の数値を用いた。例として 8 ビット DA 変換器の回路パラメータは次のとおりである：リングオシレータのインバータ段数 = 5, T-F/F 分周によるパルスデューティ比 = $(1 \sim 255)/256$, 電源電圧 $V_{dd} = 1.5\text{ V}$, および $I_{ref} = 100\text{ nA}$ 。消費電力を抑えるためデジタル回路には電流制限型のゲートを用いた。回路動作の例として、図 3 にはデジタル入力を 10000001 から 10001001 まで変えたときのアナログ出力電圧を示した（横軸は時間）。入力ビットを切り替えてから出力が定常値に落ち着く時間は 30 ms であった。アナログ出力（定常値）の線形誤差はすべての入力（00000000 ~ 11111111）で $\text{LSB}/2$ 以下に収まった。リングオシレータや分周器を含む回路全体の消費電力は室温で 540 nW であった。この DA 変換器の重み付け動作は、分周パルスの加算によっており、リング発振周波数には依存しない。そのため 8 ビットより高い分解能の DA 変換器を実現することも可能である。

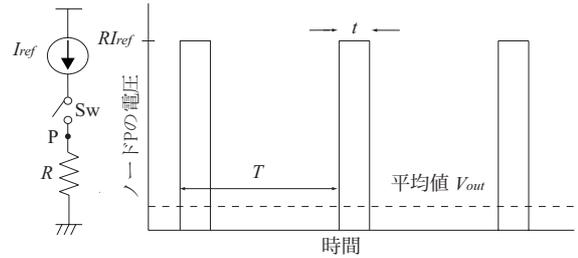
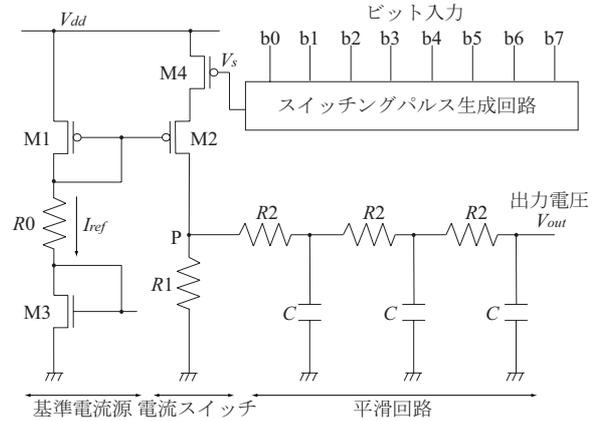
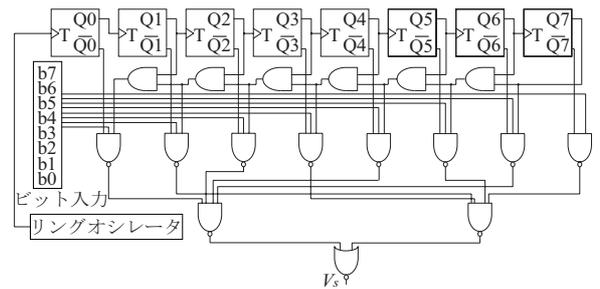


図 1 パルスデューティ比を利用した DA 変換の原理



(a) 回路の構成



(b) スwitchingパルス生成回路 (8 ビット)

図 2 DA 変換器の回路構成

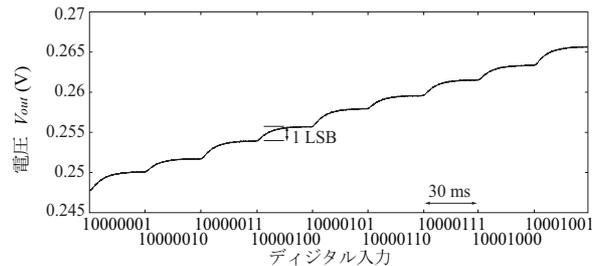


図 3 デジタル入力 (10000001 ~ 10001001) に対するアナログ出力の変化 (シミュレーション)。横軸は時間。