

# 確率共鳴を利用した低消費電力SRAMに関する考察

Low Power Memory Circuit Utilizing Stochastic Resonance

吉田 和徳  
Kazunori Yoshida

宇田川 玲  
Akira Utagawa

浅井 哲也  
Tetsuya Asai

雨宮 好仁  
Yoshihito Amemiya

北海道大学 大学院 情報科学研究科  
Graduate School of Information Science and Technology, Hokkaido University

## 1 まえがき

確率共鳴とは、ある系が本来検出できない微弱信号を雑音の助けを借りて系が検出可能になる現象の事である [1]。この現象を利用すれば極低電圧で動作する微弱信号処理 LSI が実現できそうだ。例えば SRAM の場合、電源電圧がトランジスタのしきい値近傍 (0.3 ~ 0.5 V) まで低下するとしきい値バラツキの影響で動作不良が起きやすくなるが、ここで LSI の電源雑音 (~ 100 mV 程度 [2]) を使えば動作不良を減らす事ができるかもしれない。今回、数学的に扱いにくい 6-Tr 型 SRAM 回路のかわりに比較的簡単に扱える双安定電子回路 [3] をメモリ回路として用い、微弱入力と雑音を与えた時の動作をシミュレーションにより確認した。

## 2 回路構成

図 1(a) に回路図を示す。入力電位  $V'_{in}$  は正弦波入力  $V_{in}$  と雑音電圧  $V_n$  の加算で表わされ、 $V'_{in}$  により内部電位 (=出力電位)  $V_{out}$  を書き換える。この回路は  $V_{out}$  を書き換えるためのしきい値を有するため、 $V_n = 0$  V の時  $V_{in}$  の振幅が小さいと  $V_{out}$  は書き換わらない [図 1(b) および (c) を参照]。ここで書き換えのためのしきい値を  $V_{th,l}$  ( $0 \rightarrow 1$  に必要な電位) および  $V_{th,h}$  ( $1 \rightarrow 0$  に必要な電位) とおく。また  $V_{in} = V_{cm} + A \cdot \sin(2\pi ft)$  とおき、 $V_{cm} = (V_{th,l} + V_{th,h}) / 2$ 、 $A$  は入力振幅、 $f$  は入力周波数とする。 $V_n$  は平均 0 V、標準偏差  $\sigma$  V のガウシアンノイズに 100 kHz の帯域制限をかけたものである。

## 3 SPICE シミュレーション結果

シミュレーションでは、CMOS パラメータ 0.18  $\mu\text{m}$  を使用し、 $V_{dd} = 1.8$  V、 $V_{bias} = 1.0$  V、 $A = 0.3$  V、 $f = 1$  kHz とした。また  $V_{th,l}$ 、 $V_{th,h}$  は数値解析結果より 0.14 V、1.2 V であったので、 $V_{cm} = (V_{th,l} + V_{th,h}) / 2 = 0.67$  V に設定した。図 2(a)、(b) に  $\sigma = 0.15$  V および  $\sigma = 0.25$  V の時の  $V'_{in}$ 、 $V_{out}$  の時間変化を示す。 $\sigma = 0.15$  V の時  $V_{out}$  はほとんど正しく書き換わらないのに対し、 $\sigma = 0.25$  V の時は高い確率で正しく書き換わっている。図 2(c) は  $\sigma$  を 0.05 V ~ 5 V まで変化させた時の 1.0 kHz での  $V_{out}$  の SNR をプロットしたものである。SNR は  $\sigma = 0.35$  V のとき最大値 14.5 dB になり、それ以上では緩やかに減少する典型的な確率共鳴の特性を得た。今後は低電圧での動作を検証するため電源電圧  $V_{dd}$  を下げ、サブスレッショルド領域でのシミュレーションを行う予定である。

## 参考文献

- [1] F. Moss, et al., *Clinical Neurophysiology*, vol. 115, no. 2, pp. 267–281, 2004.
- [2] K. Noguchi, et al., *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 15, no. 10, p.p. 1101–1110, 2007.
- [3] T. Asai, et al., *Int. J. of Unconventional Computing*, vol. 1, no. 2, p.p. 123–147, 2005.

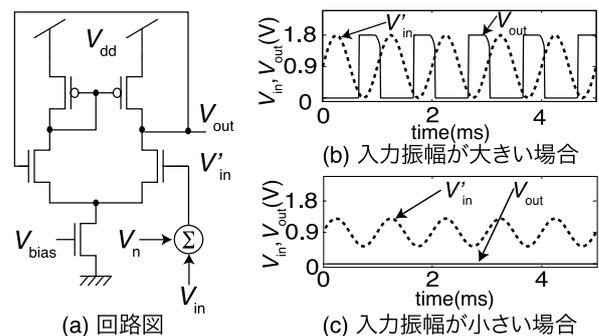


図 1 回路構成と回路の動作例

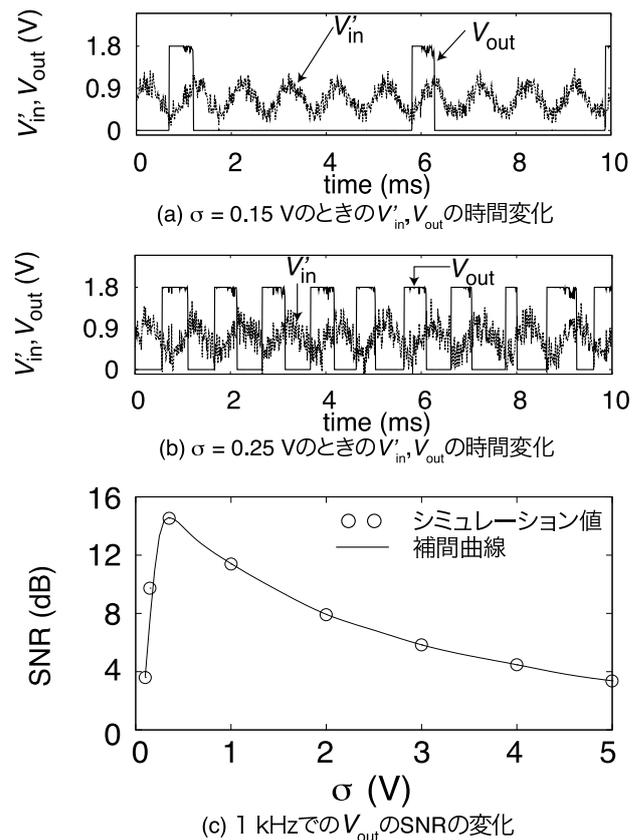


図 2 シミュレーション結果