

サブスレッショルド SRAMセルの検討 ～完全サブスレッショルド型とテイル電流制限型の比較～

Investigation of Subthreshold SRAM Design for Low Power Operation

吉田 和徳 Kazunori Yoshida 宇田川 玲 Akira Utagawa 浅井 哲也 Tetsuya Asai 雨宮 好仁 Yoshihito Amemiya

北海道大学 大学院 情報科学研究科
Graduate School of Information Science and Technology, Hokkaido University

1 まえがき

サブスレッショルド SRAMセルの実現に向けて2つの方法を検討した。1つ目は「完全サブスレッショルド型ラッチと多数決論理回路を組み合わせた SRAMセル」である。SRAMの消費電力は V_{dd}^2 に比例するため、 V_{dd} を V_{th} 以下にすれば消費電力を大きく削減できるが、セルの不良率増大が問題である。複数のラッチ回路を一つのセルとみなし多数決論理を行えば低消費電力化と不良率低減の双方を実現できるかもしれない。2つ目の手法として「テイル電流制限型メモリセル」を提案する。回路中を流れる電流をトランジスタのリーク電流と同等に抑える事によって低消費電力動作を実現する。

2 多数決論理を行なう低電圧 SRAM メモリセル

図1に提案手法を示す。1つのSRAMセルは N 個のラッチ回路で構成され、出力 V_{out} は N 個のラッチ回路の出力の多数決をとり多数になったものとする。 N と不良率の関係を求めるためHSPICEによるモンテカルロシミュレーションを行なった。ただし、 $0.35\ \mu\text{m}$ CMOS プロセスパラメータを使用し、 $V_{dd} = 0.40\ \text{V}$ とし、トランジスタの絶対零度しきい値のバラツキ(ガウス分布を想定: $\sigma_{V_{th}} = 5\ \text{mV}, 7\ \text{mV}, 10\ \text{mV}$)を考慮した。図2にその結果を示す。 N の増加に従って不良率は0%に漸近し、提案手法は不良率の低減に効果的であることが確認できた。 $V_{dd} = 0.40\ \text{V}$, $\sigma_{V_{th}} = 10\ \text{mV}$ の時、約5%の不良率を得るためには $N = 5$ に設定する必要がある、その時の平均消費電力(1 kHz動作の時の待機および動作時の平均)は940 fWであった。一方 $N = 1$ (多数決論理を行わない場合)にて同等の不良率を実現するのに必要な V_{dd} は0.41 Vであり、その時の平均消費電力は200 fWとなる。よって多数決論理を行なう低電圧SRAMセルは効果的ではないことがわかった。

3 テイル電流制限型メモリセル

図3にテイル電流制限型メモリセルの回路構成を示す。提案回路は2つのMOSスイッチとポジティブフィードバックを持つOPアンプから構成されている。WR = '1'の時データ入力 \bar{D} によってセルの内部電位 V_{out} が書き換わる。WR = '0'の時 $V_{in} = V_{dd}/2$ となり、現在の V_{out} の値を保持する(待機状態)。m1のゲート電位の0 Vにする事でOPアンプのテイル電流はリーク電流のオーダーになるため消費電力が最小となる。モンテカルロシミュレーションを行ない V_{out} の書き換えの遅延時間のヒストグラムを計算した。ただし $0.35\ \mu\text{m}$ CMOS プ

ロセスパラメータを使用し $V_{dd} = 3.3\ \text{V}$ とした。図4(a)および(b)から遅延時間は最大で $500\ \mu\text{s}$ 程度であり、約1 kHzでの動作が可能である事がわかった。

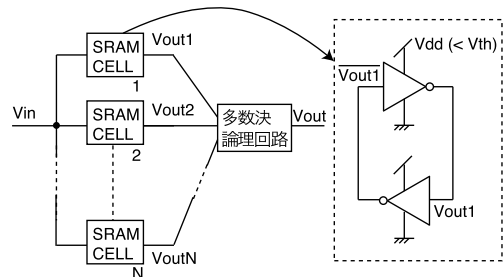


図1 完全サブスレッショルド型ラッチ+多数決論理回路によるSRAMメモリセル

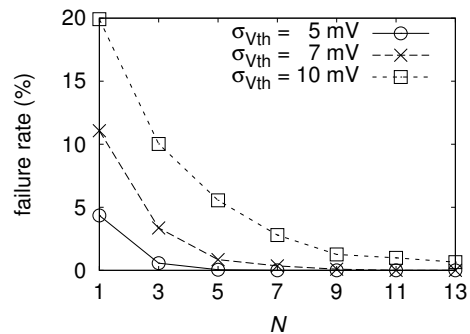


図2 素子数 N とセルの不良率の関係

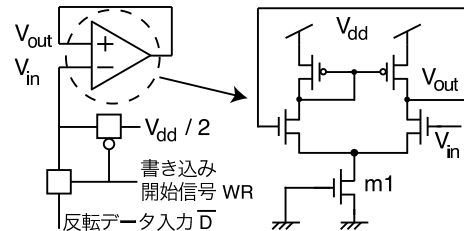


図3 テイル電流制限型メモリセルの回路構成

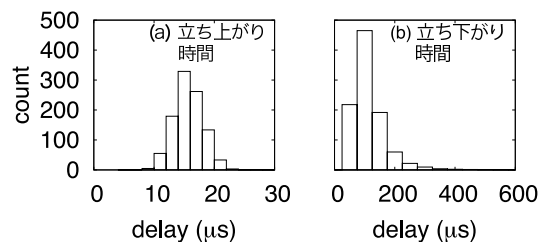


図4 遅延時間のヒストグラム