

非対称の時間窓を持つメモrista STDP シナプスデバイス

A memristor-based synaptic device having an asymmetric STDP time window

安達 琢¹ 赤穂 伸雄² 浅井 哲也² 雨宮 好仁²
 Taku Adachi Nobuo Akou Tetsuya Asai Yoshihito Amemiya

北海道大学工学部 情報エレクトロニクス学科¹
 Department of Electronics and Information Engineering, School of Engineering, Hokkaido University
 北海道大学 大学院情報科学研究科²
 Graduate School of Information Science and Technology, Hokkaido University

1 まえがき

Strukov らによりメモristaが紹介 [1] されて以来、ReRAMを用いたアナログニューラルネットワークの研究が盛んになっている [2-5]。我々は過去に STDP シナプスデバイス (図 1) を提案した [6]。このデバイスは、シナプス前ニューロンの発火により、シナプス後ニューロンの発火が引き起こされる領域 (時間的因果領域) で結合強度が増加する。本稿では、図 1 の回路に時間的非因果領域で結合強度が減少する拡張回路を付け加える。これにより、時間的非因果領域を含めた非対称型の時間窓 (図 2) を持つ STDP シナプスデバイスを設計する。

2 STDP シナプスデバイス

図 1 の ReRAM は C_{pre} が ReRAM を介して充電された場合にコンダクタンス G が増加する向きに接続されている (C_{pre} に充電された電荷を ReRAM を介して放電すると G は減少する) [6]。今、 C_{pre} を外部から ReRAM を介さずに充電する。この時の C_{pre} の電荷量を q_0 とする。この時、シナプス前ニューロンからのスパイク電圧 (V_{pre}) によって C_{pre} に電荷 q_1 が充電されると、 V_{pre} が立ち下がった後 ReRAM を介して放電される電荷量は ReRAM を介して充電された電荷量より q_0 だけ多くなるため、ReRAM の G の変化量 ΔG は負になる。以下、 C_{pre} を ReRAM を介さずに充電する拡張回路 (図 3) について説明する。M4 のゲートはシナプス後ニューロンのスパイク (パルス) 電圧 (V_{post}) を受ける。 V_{post} が立ち上がると M4 が ON 状態になり $V_1 = 0$ V となる。その後 V_{post} が立ち下がると M5 のドレイン電流により寄生容量 C_{GD} が充電され V_1 が上昇する (V_1 は V_{post} に対して時間遅れを伴って変化する)。ここで M5 が OFF に近い状態となるよう M5 のゲート電圧 V_b を設定する (時間遅れを大きくする)。M3 のゲート端子に V_1 を、M2 のゲート端子に V_{pre} を与えることで、時刻 t_{pre} における M3 の飽和電流 (V_1 に依存) が I_{post} として現れる。この I_{post} で C_{pre} を充電する (図 4) ことで、既提案回路に非因果領域の特性が加わる。

3 シミュレーション結果

0.35 μm CMOS パラメータを用いて SPICE シミュレーションを行った。図 5 に $\Delta t = -3.0 \mu\text{s}$ ($\Delta t = t_{post} - t_{pre}$; t_{pre}, t_{post} はシナプス前、後ニューロンが発火した時刻) のシミュレーション結果を示す ($t_{pre} = 13 \mu\text{s}$, $t_{post} = 10 \mu\text{s}$)。図 5 は上から順に $V_{pre}, V_{post}, V_1, I_{post}, V_{PSP}, G$ の時間変化である。 V_{post} が立ち上がると V_1 は 0 V になり、 V_{post} の立ち下がり後は V_1 が上昇した。 V_{pre} が立ち上

がると C_{pre} が ReRAM を通して充電されると同時に M2 のドレイン電流 I_{post} (V_1 に依存) により充電され、 V_{PSP} と G が上昇した。 V_{post} が立ち下がると、 C_{pre} に蓄えられた電荷が ReRAM を介して放電され、 V_{PSP}, G が減少した。この時、M2 を介して充電された電荷は ReRAM を介して放電され、 G の値は V_{post} が立ち上がる前に比べて低くなった。提案デバイスの時間窓を図 6 に示す。本稿のシミュレーションでは単純な ReRAM モデル [1] を使用したため、今後実デバイスを用いた実験を行い回路動作を確認する予定である。

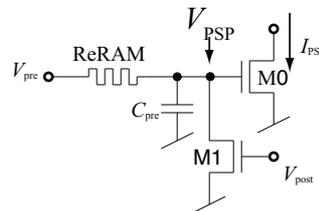


図 1 既提案回路

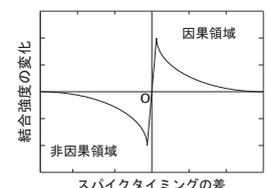


図 2 STDP の時間窓

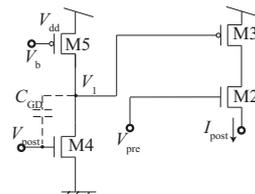


図 3 拡張回路

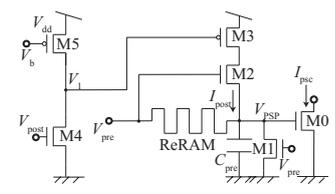


図 4 提案回路

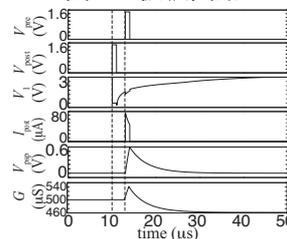
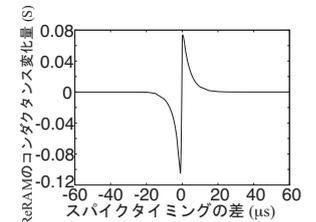


図 5 シミュレーション結果 図 6 提案デバイスの時間窓



参考文献

- [1] D. B. Strukov, et al., Nature, **453**, 80-83, 2008.
- [2] G. S. Snider, Nanotechnology, **18**(1), 2007.
- [3] A. Afifi, et al., IEICE ELEX, **6**(3), 148, 2009.
- [4] B. L. Barranco, et al., Nature Precedings, 1, 2009.
- [5] S.H. Jo, et al., Nano Letters, **10**(4), 1297, 2010.
- [6] 赤穂 伸雄, et al., 2010 年信学ソ大会, A1-12, 2010.