

カスコード構造による低電力 CMOS 論理回路

Low-power CMOS logic circuits consisting of cascode structure

久保圭史* 雨宮好仁† 佐野栄一*

Kubo Keishi Amemiya Yoshihito Sano Eiichi

北海道大学 量子集積エレクトロニクス研究センター* 情報科学研究科†

RCIQE* & Department of Electrical Engineering†, Hokkaido University

1. はじめに

センサネットワーク LSI や RFID などでは、小型の電池で長期の動作を要求されることが多い。したがって、使用する CMOS 論理回路の電圧を下げて低電力化する必要がある。しかし、低電力化のための回路電圧 (0.3-0.5 V) は電池電圧 (1.5-3 V) よりかなり低いので降圧の必要があり、そのための損失が避けられず電池エネルギーを有効に利用できない。ここでは、低電圧 CMOS 回路を降圧なしに電池で動かすためのカスコード構成法を提案する。

2. カスコード構造による低電力化

提案するカスコード構成を図 1 に示す。電圧レベルを多段に分け、それぞれの段で CMOS 論理回路を動かす。図では電池電圧 1.5 V を 3 段に分けてあり、各段の論理回路は 0.5 V の振幅で動く。ゲート数が同じであれば、多段化により全体のスイッチングエネルギーは 1/9 になる。なお、各電圧ラインを一定電位に保つため、各段に流れる電荷量を等しくする必要があるので (電荷バランス: $Q_1 = Q_2 = Q_3$)。

3. レベルシフトとレギュレータ

この回路では、各段の論理レベルが異なるので、段間結合のためにレベルシフトを用いる (図 2(a))。また、スイッチングによる電荷移動だけでは電荷バランスをとることが難しいので、レギュレータにより各電圧ラインの電位を一定に保つ (図 2(b))。

4. 回路動作の解析

0.35- μm CMOS パラメータを用いて回路の動作をシミュレーション確認した。ここでは論理回路として NAND インバータ 99 個のチェーンを例にとった。電池電圧 1.5 V を 3 段に分け、各段あたりインバータ 33 個を配置してレベルシフト接続する (リングにすると図 3 のように発振)。そしてチェーンの入力を 0 \rightarrow 1 \rightarrow 0 と一回変化させて戻す動作を一つの演算と考えた。性能指数として「演算あたり消費エネルギー (J/op)」を計算し、演算周期の関数として図 4 の曲線 A で示す。なお、消費エネルギーはスイッチングエネルギーとオフリークエネルギーからなる。比較のため、カスコードではない次の二つの回路の消費エネルギーも計算した:

(曲線 B) 電池電圧 1.5 V そのままで回路を駆動

(曲線 C) 1.5 V をレギュレータで 0.5 V に降圧して駆動
演算あたり消費エネルギーは演算周期によって変わるが、カスコード回路は他よりも常に低エネルギー動作である。

(謝辞) 本研究を遂行するにあたり、戦略的情報通信研究開発推進制度 (SCOPE) の協力を得たことを感謝します。

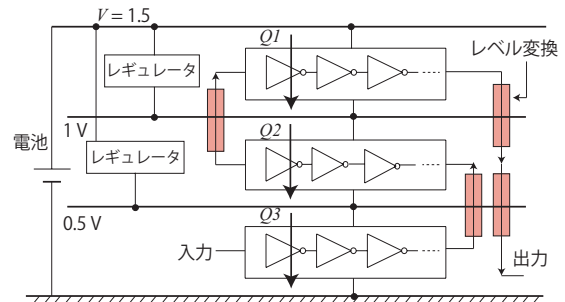


図 1 カスコード構成による CMOS 論理回路の低電力化

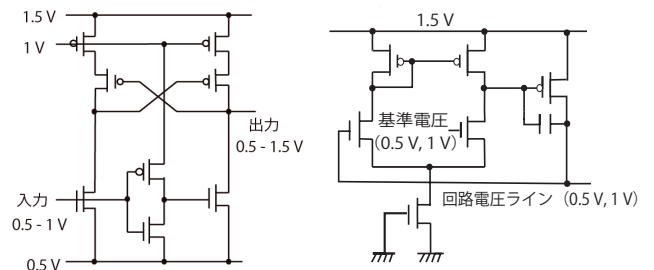


図 2 (a) レベルシフト

(b) レギュレータ

(レベルシフト例: 0.5-1 V を 1-1.5 V に変換するアップシフト)

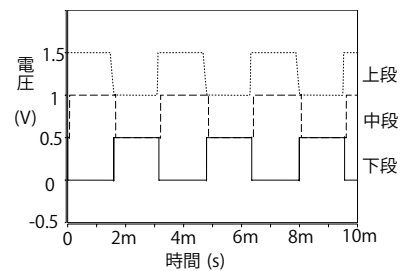


図 3 カスコード構成におけるリングオシレータの発振

(NAND インバータ 33 個を 3 段積みのリングで電池電圧 1.5 V)

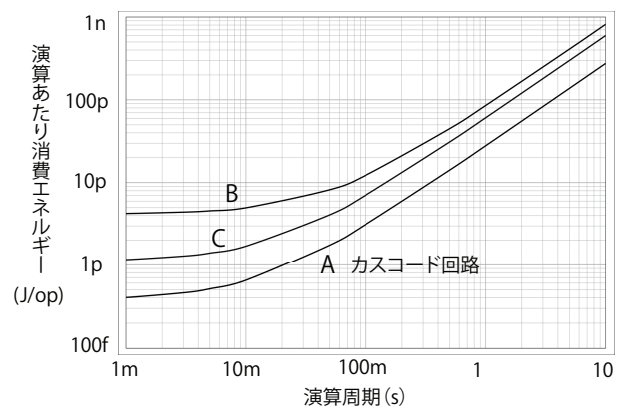


図 4 演算あたりの消費エネルギー比較