

# 抵抗変化型メモリを用いたアナログSTDP シナプスデバイス

An analog STDP synaptic device consisting of a Resistive RAM and CMOS Circuits

安達琢  
Taku Adachi

浅井哲也  
Tetsuya Asai

本村真人  
Masato Motomura

北海道大学大学院情報科学研究科  
Graduate School of Information Science and Technology, Hokkaido University

## 1 まえがき

ニューラルネットワークでは、シナプスの数はニューロンに比べて非常に多い。そのため、シナプスを集積化することはニューラルネットワークをハードウェア化する上で難しい課題の一つである。近年、この問題を解決する素子として、抵抗変化型メモリ (ReRAM) が注目されている [1~3]。我々は過去に ReRAM を用いたシナプスデバイスを提案した [4~5]。この回路は非対称の STDP 特性を示すアナログシナプスデバイスである。本稿ではこのデバイスをディスクリット素子で構成する上での問題点を述べ、それを解決する改良型 STDP シナプスデバイスを提案する。

## 2 改良型 STDP シナプスデバイス

既提案デバイスを図 1 に示す。この回路をディスクリット素子で構成する場合、M3 に流れる飽和電流の値が大きいため ReRAM に過剰な電流が流れ、素子が壊れてしまう場合があった。この問題を解決するため、電流源を用いて M3 に流れる電流の最大値を制限する。改良型 STDP シナプスデバイスを図 2 に示す。ReRAM は、図中の (1) 方向に電流が流れた場合コンダクタンスが増加する ((2) の向きに電流が流れた場合コンダクタンスは減少する) 向きに接続されている。  $V_{pre}$ ,  $V_{post}$  はそれぞれシナプス前、後ニューロンのスパイク電位を表す。以下、改良型 STDP シナプスデバイスの動作を説明する。  $V_{post}$  が立ち上がると M4 は ON 状態となり、  $V_1$  の電位は 0 となる。  $V_1$  の電位が 0 になると M7 は ON 状態となり、nMOS 電流ミラー回路の M8 が飽和領域で動作し、もし M3 が飽和状態であれば  $I_{out} = I_{MAX}$  となる。その後、  $V_{post}$  が立ち下がると  $V_1$  の電位も上昇する。 M5 のゲート電圧  $V_0$  が十分に大きな場合 (M5 が OFF の場合)、 M4 及び M5 は M5 の OFF 抵抗を負荷とした反転増幅器になる。この時の増幅率を A とすると、 M4 の寄生容量  $C_{gd}$  はミラー効果により約 A 倍される。そのため、  $V_1$  の電位は  $V_{post}$  の立ち下がりに対して大きな時間遅れを伴って上昇する。  $V_1$  の電位が上昇すると M7 は次第に OFF 状態になり、 M8 も飽和領域で動作できなくなる。そのため、  $I_{out}$  は時間遅延を伴って減少する。これにより、時間遅延を伴って減少する電流  $I_{out}$  が生成される。  $V_{pre}$  が立ち上がると、 M2 は ON 状態となり (1) 方向に流れる電流と  $I_{out}$  が  $C_{pre}$  を充電する。その後  $V_{pre}$  が立ち下がると (2) 方向に流れる電流により ReRAM のコンダクタンスは減少する。この時  $C_{pre}$  は (1) 方向に流れる電流と  $I_{out}$  により充電されたため、  $V_{pre}$  の立ち下

がりで (2) 方向に流れた電流量は  $V_{pre}$  の立ち上がりにより (1) 方向に流れた電流よりも多い、そのため ReRAM のコンダクタンスの変化量  $\Delta G_{MEM}$  は負となる。

## 3 シミュレーション

0.35  $\mu\text{m}$  CMOS パラメータを用いてシミュレーションを行った。図 3 にスパイクタイミング差が 2.0  $\mu\text{s}$  でのシミュレーション結果を示す。上から順に  $V_{pre}$ ,  $V_{post}$ ,  $V_1$ ,  $I_{out}$ ,  $\Delta G_{MEM}$  の時間変化を示す。  $V_{post}$  が立ち上がると  $V_1$  は 0 になり、  $V_{post}$  の立ち下がり後は  $V_1$  が  $V_{post}$  に対して大きな時間遅れを伴って上昇した。  $V_{pre}$  が立ち上がると  $C_{pre}$  が ReRAM を通して充電されると同時に  $I_{post}$  により充電され、  $\Delta G_{MEM}$  は正になった。  $V_{post}$  が立ち下がると図 2 の (2) 方向に流れる電流により  $C_{pre}$  が放電され、  $\Delta G_{MEM}$  は負になった。提案デバイスの時間窓を図 4 に示す。これにより、今回提案したデバイスが既提案デバイスと質的に等価な非因果領域での STDP 特性を持つことを確認できた。

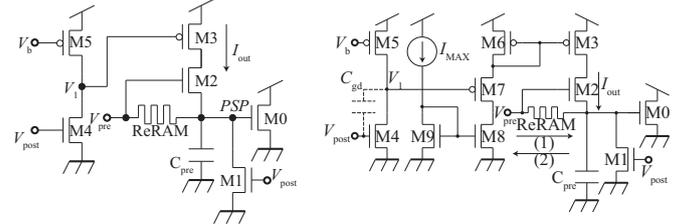


図 1 既提案デバイス

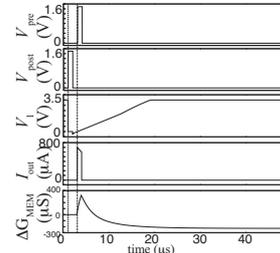


図 3 シミュレーション結果

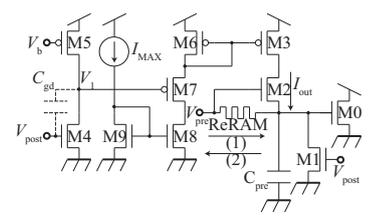


図 2 提案デバイス

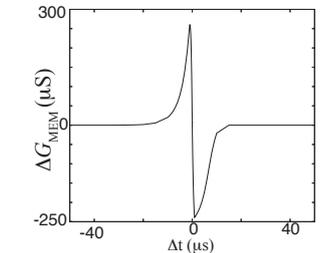


図 4 提案デバイスの時間窓

## 参考文献

- [1] G. S. Snider, NANOARCH, 85-92, 2008.
- [2] A. Afifi, et al., IEICE ELEX, 6(3), 148, 2009.
- [3] B. L. Barranco, et al., Nature Precedings, 1, 2009.
- [4] 赤穂 伸雄, et al., 2010 年信学ソ大会, A1-12, 2010.
- [5] 安達 琢, et al., 信学技報, 65-70, 111(106), 2011.