

# スタック構造による低電力 CMOS 論理回路

Low-power CMOS logic circuits consisting of stack structure

久保圭史\* 池辺将之† 雨宮好仁† 佐野栄一\*

Kubo Keishi Ikebe Masayuki Amemiya Yoshihito Sano Eiichi

北海道大学 量子集積エレクトロニクス研究センター\* 情報科学研究科†

RCIQE\* & Department of Electrical Engineering†, Hokkaido University

## 1. はじめに

センサネットワーク LSI や RFID などでは、小型の電池で長期の動作を要求されることが多い。したがって、CMOS 論理回路を使用するときは電圧を下げて低電力化する必要がある。しかし、低電力動作のための回路電圧 (0.3-0.5 V) は電池電圧 (1.5-3 V) よりかなり低く、降圧するときの損失が避けられない。ここでは、電池エネルギーを有効利用するために、降圧なしで低電圧 CMOS 論理回路を動作させる縦積み (スタック) 構造を提案する。

## 2. スタック構造による低電圧動作

提案の構造を図 1 に示す。電圧レベルを多段に分け、それぞれの段で CMOS 論理回路を動かす。段間はレベルシフタで接続する。図では電池電圧 1.5 V を 3 段に分けてあり、各段の論理回路は 0.5 V の振幅で動く。ゲート数が同じであれば、多段化により全体のスイッチングエネルギーは 1/9 になる。なお、各電圧ラインを一定電位に保つため、各段に流れる電荷量を等しくする必要がある (電荷バランス:  $Q_1 = Q_2 = Q_3$ )。各段のゲート数を大体同じにしておけば、スタック構造自体の自動調節作用で電荷バランスが保たれる。すなわち、電圧ライン間の電位に差が生じると、段間を流れる電荷量が変わり、それがライン電位を修正してバランス状態を復帰させる。

## 3. 回路の設計例

線形帰還シフトレジスタの疑似乱数発生器を例にとり、0.18 $\mu\text{m}$ -トリプルウェル CMOS パラメータでスタック構造を設計した。いま 63 個の D フリップフロップ (D-F/F) からなるシフトレジスタを使用し、62 段目と 63 段目の出力の排他的論理和を 1 段目にフィードバックする。電池電圧 1.5 V を 3 段に分け、各段に 21 個の D-F/F を接続する。この疑似乱数発生器の全体構成を図 2 に、D-F/F の回路を図 3 に示す。図 4 は乱数ビット列が発生する様子である (例: 21 段目の出力)。

## 4. 回路動作の解析

この乱数発生器において、クロック 1 周期の間で行う動作を演算の 1 サイクルとして、演算あたり消費エネルギーを計算した (実際には 10 サイクル分の平均値)。その結果をクロック周期の関数として図 5 の曲線 A で表す。比較のため、スタック構造ではない次の二つの回路の消費エネルギーも計算してグラフに示した:

(曲線 B) 電池電圧 1.5 V そのままで回路を駆動

(曲線 C) 1.5 V をレギュレータで 0.5 V に降圧して駆動

演算あたり消費エネルギーは演算周期によって変わるが、スタック構造は他よりも常に低エネルギー動作である。

(謝辞) 本研究は総務省戦略的情報通信研究開発推進制度 (SCOPE) のもとになされたものである。

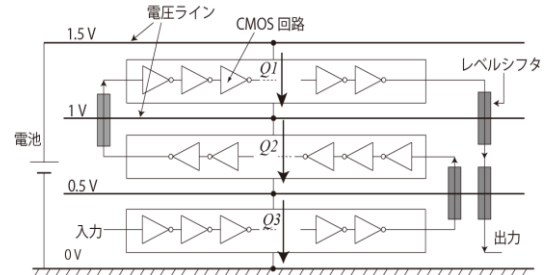


図 1 スタック構成による論理回路の低エネルギー化

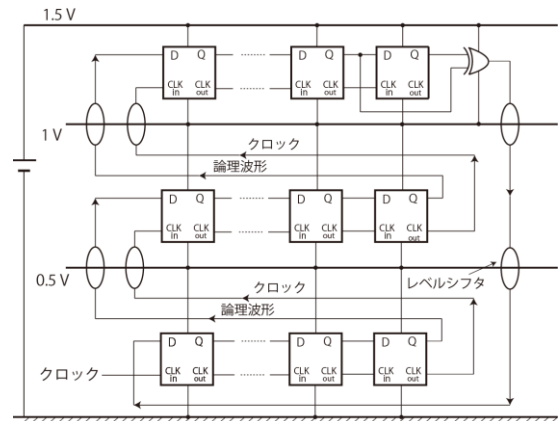


図 2 疑似乱数発生器

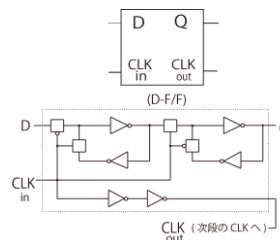


図 3 D-F/F の回路図

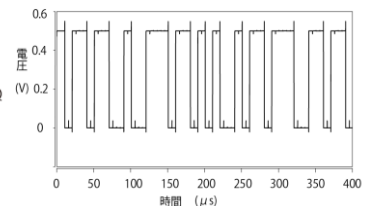


図 4 乱数ビット列の発生

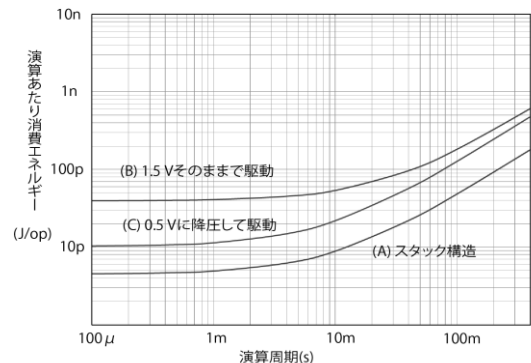


図 5 疑似乱数発生器の演算あたり消費エネルギー