

# 正帰還アンプのヒステリシスを利用した極低電圧・低消費電力メモリ回路の試作と評価

Evaluation of Ultra Low-power Low-supply-voltage Memory Cell utilizing Hysteresis Characteristic of Positive-feedback Operational Transconductance Amplifier

吉田 和徳 Kazunori Yoshida      宇田川 玲 Akira Utagawa      浅井 哲也 Tetsuya Asai      本村 真人 Masato Motomura

北海道大学 大学院 情報科学研究科  
Graduate School of Information Science and Technology, Hokkaido University

## 1 まえがき

我々は極低消費電力で動作するメモリセルの実現に向け、[1]にて電源電圧を閾値以下まで下げ、サブスレッショルド動作にしたインバータラッチ回路に多数決を組み合わせた回路と、図1に示すOTAを用いたメモリ回路のバイアス電圧  $V_b$  を  $0V$  にし、リーク電流で動作させた場合の比較を行った。その結果、消費電力や歩留まりを考慮すると多数決は有効ではないことが分かった。次に我々は[2]において更なる低消費電力化を目指し、図1の回路において電源電圧も下げた場合の動作について検討を行った。電源電圧を下げるとミラー回路の駆動力不足が発生するため、 $m1$  の  $W$  を大きくしミラー比を稼ぐことで回避した。シミュレーションを行い、消費電力や遅延時間、歩留まりの検討を行った。今回はこの回路を試作し測定を行った。以下にその結果を示す。

## 2 回路構成と測定結果

図1にOTAを用いたメモリ回路の構成を示す。AMS  $0.35\ \mu\text{m}$ -CMOS プロセスを用いて試作を行った。トランジスタサイズは、 $W/L = 1\ \mu\text{m} / 0.35\ \mu\text{m}$  とした (ただし  $m1$  のみ  $W/L = 10\ \mu\text{m} / 0.35\ \mu\text{m}$ )。  $V_{in} = V_{dd} / 2$  で保持動作を行い、 $V_{in} = V_{dd} (0)$  で出力  $V_{out} = 0 (V_{dd})$  に書き換わる。

図2に  $V_{dd} = 0.3\ \text{V}$ 、 $V_b = 0.15\ \text{V}$  としたときの回路動作を示す。書き込み、保持ともに動作していることが確認できた。図3(a)に  $V_{dd} = 0.3\ \text{V}$  でのDC特性を示す。本回路は図のようにヒステリシス特性を持つ。出力振幅とヒステリシス幅は、図3(b)に示すように  $V_{dd}$  に対して線形に変化した。図4(a)に消費電力を示す。3本のグラフはそれぞれ、書き換え・‘1’保持・‘0’保持動作時の消費電力である。 $V_{dd} = 0.3\ \text{V}$  の場合は動作状態による変化はほとんどなく、消費電力は  $17\ \text{pW}$  程度とほぼリークオーダーで動作することが確認できる。図3(b)に  $V_{dd} = 0.3\ \text{V}$  の場合の異なる5チップの消費電力のパラツキを示す。消費電力は最小で  $17.6\ \text{pW}$ 、最大で  $23.3\ \text{pW}$  であった。図4(a),(b)に同様の異なる5チップにおけるヒステリシス幅と出力振幅、遅延のパラツキを示す。出力振幅は最低でも  $20\ \text{mV}$  程度下がるのみだが、ヒステリシス幅は最大から最小まで  $70\ \text{mV}$  変化した。遅延時間は立ち上がりで最大  $1\ \text{s}$  程度まで変化した。

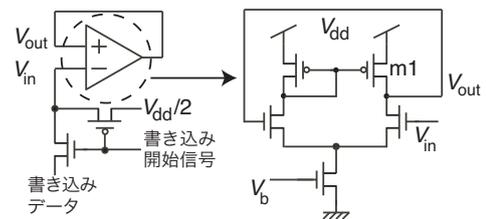


図1 回路構成

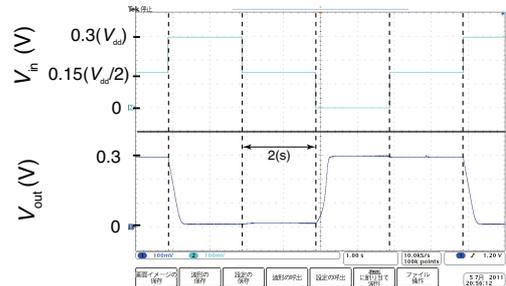


図2 回路の動作例

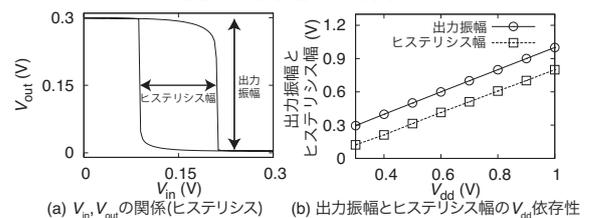


図3 DC特性とその  $V_{dd}$  依存性

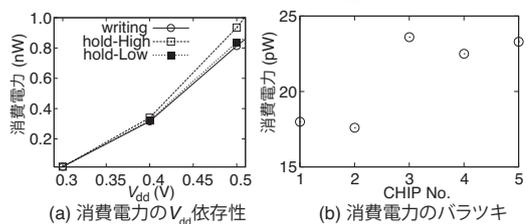


図4 消費電力の  $V_{dd}$  依存性とパラツキ

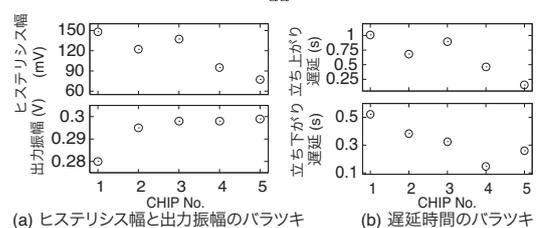


図5 DC特性と遅延時間のパラツキ

[1] 吉田 和徳, 他, 電子情報通信学会ソサイエティ大会, (大阪), 2010年9月.  
[2] 吉田 和徳, 他, 電子情報通信学会総合大会, (東京), 2011年3月.