

# 低消費電力プロセッサのための連鎖型データパスの提案 I

A Chained Datapath for Low Power Processors: Part I

安達琢 Taku Adachi      平尾岳志 Takeshi Hirao      浅井哲也 Tetsuya Asai      本村真人 Masato Motomura

北海道大学大学院情報科学研究科  
Graduate School of Information Science and Technology, Hokkaido University

現代のプロセッサには高い電力性能が要求される。本研究では、演算性能を保ちながら消費電力を削減する一案として、レジスタアクセスの頻度を下げられ、かつパイプライン段数を比較的少なくできる「ALU-レジスタ間の連鎖的な演算/データパス構造」を提案する。本提案はパート I (本項) と II (次項) からなる二部構成である。パート I では提案するデータパスのコンセプト、およびそれを取り入れたプロセッサのアーキテクチャを二つ紹介する。パート II では、パート I で紹介したアーキテクチャの一つを具体的に実装した例を紹介する。

図 1 (左) に標準的な RISC プロセッサの ALU-RF (レジスタファイル) 間のデータパスを示す。複数のレジスタに対して ALU が一つのため、例えば図中に示すような演算を行う場合、レジスタに何度もアクセスする必要がある (図の例では、読み出しに 8 回、書き込みに 4 回)。これに対して、提案するデータパスを図 1 (右) に示す。ALU が複数あるため、図 1 左の構造と比較して、レジスタアクセスの回数を減らせる。図の命令の例では、現在の  $r0+r1+r2$  の値と  $r3+r4-r5$  の値のみを、それぞれ  $r0, r3$  に保存すればよいので、読み出しに 6 回、書き込みに 2 回のアクセスで済む。この仕組みを様々な演算命令に対応させるためには、演算の内容 (命令) に応じて ALU-RF 間の配線構造を変える必要がある。そのために、ALU の入出力および RF 出力の全ての交点にスイッチを配置する。例として、図 1 の命令を実行する ALU-RF 間の結線 (スイッチ構造) を図 2 に示す。RF のデータは、紙面向かって左から右 (図 2 中の矢印の方向) へ流れるものとする。RF の一部のデータは交点のスイッチを介して ALU (下方向) へ向かう。ALU の演算結果は RF の出力線 (上方向) に向かい、選択した RF 出力の代わりとなる。図 2 に示した例では、RF 右隣の ALU に  $r0, r1$  が向かい、その演算結果が  $r0$  の代わりとなって次段の ALU に向かう。このように (紙面左から右へ向かって) 連鎖的に演算を行い、最後の演算結果を RF に取り込むようなデータ処理構造を「連鎖型データパス」(Chained Datapath: CD) と名付けた。

命令デコード方式の異なる連鎖型データパスプロセッサ (CD Processor: CDP) のアーキテクチャ案を二つ紹介する (図 3)。「同時デコード型アーキテクチャ」は、 $n$  個 (CD 中の ALU の数) の命令を同時にデコードし、最大で  $n$  個の命令を同時に演算する (図 3-1)。よって、CD を用いない場合と比較して、クロック周波数を最大  $1/n$  まで下げられ、パイプライン段数 (IF & ID, および CE (Chained Execution) の 2 段) も少ないことから、

低電力動作が期待できる。しかし、デコードした命令群に分岐命令が含まれた場合には、それ以降の命令を全て破棄しなければならない。「逐次デコード型アーキテクチャ」を図 3-2 に示す。デコーダの数は 1 個とし、IF と ID ステージを CE の  $n$  倍の周波数で動作させる。パイプラインが一段増えるため、同時デコード型よりも電力を消費しそうだが、分岐命令をデコードしても後の命令は破棄されない。よって、分岐頻度に応じてそれぞれの長所・短所のバランスが変わる。(パート II へ続く)

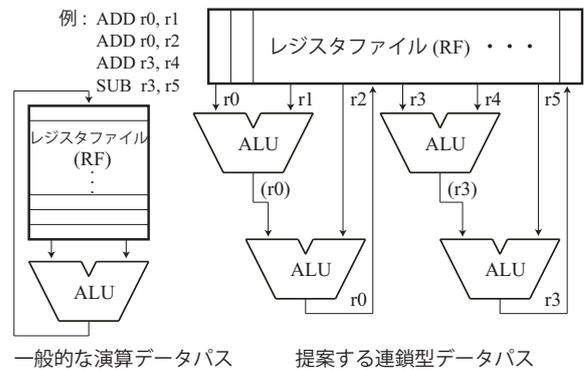


図 1 連鎖型データパスのコンセプト

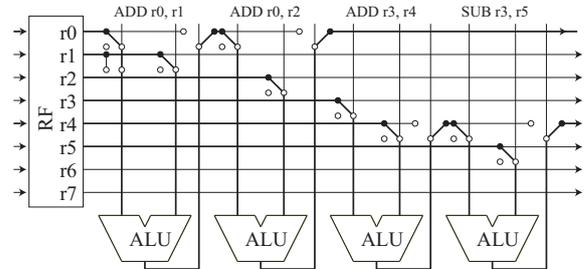


図 2 ALU-RF 間の結線例 (図 1 の命令セットに対応)

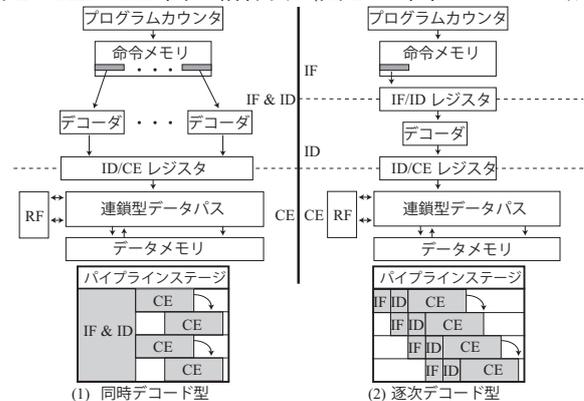


図 3 CDP アーキテクチャ概略 (同時/逐次デコード型)