

低消費電力プロセッサのための連鎖型データパスの提案 II

A Chained Datapath Processor for low power processors: Part II

平尾岳志 安達琢 浅井哲也 本村真人
Takeshi Hirao Taku Adachi Tetsuya Asai Masato Motomura

北海道大学大学院情報科学研究科
Graduate School of Information Science and Technology, Hokkaido University

1 はじめに

我々は前稿「低消費電力プロセッサのための連鎖型データパスの提案 I」で、レジスタファイルで消費されるエネルギーを削減する連鎖型データパスを提案した。本稿では逐次デコード型 CDP の一案として、2 オペランド方式の命令セットを持つ RISC 型プロセッサに連鎖型データパスを実装する。

2 逐次デコード型 CDP

逐次デコード型 CDP の IF, ID 部はベースプロセッサ (慶応大学天野研究室開発による POCO) と同じ構成であり、CE 部のクロック clk の N 倍の周波数をもつクロック clkN で動作する。CDP の CE 部を以下に述べる連鎖型データパスと制御情報保持回路で構成した。

2.1 連鎖型データパス

CDP 内の連鎖型データパスを図 1 に示す (構成要素: ALU, 入力スイッチ (■), 出力スイッチ (□), 即値命令のための符号拡張などで構成した N 個の swalu, データ幅 × 8 束のレジスタ出力伝播線 (レジスタファイル RF の出力線で N 個の swalu を通り RF の入力に繋がっている), メモリアクセス命令のためのアクセスセクタ)。RF はデータ幅 × 8 個の DFF で構成され、clk に同期してレジスタ出力伝播線の値を取り込み、その値を出力する。各 swalu はメモリに同時アクセスできないため、clkN に同期する N 進カウンタとアクセスセクタによりアクセスの順番付けを行い、逐次的にメモリにアクセスするようにした。メモリロード時には読み込みデータを一時レジスタに格納することにより、複数の読み込みデータを N 命令実行が完了するまで保持する。

上述のスイッチ (■, □) の内部構造を図 1 右下部に示す。ソース及びディスティネーションレジスタアドレス (rs, rd) で選択された入力スイッチは 8 束のレジスタ出力伝播線のうちの 1 束を ALU の入力線とつなぐ。rd で選択された出力スイッチは、ALU からの演算結果またはメモリから読み出されたデータを 1 束のレジスタ出力伝播線につなぐ。このとき、出力データと前段のデータの衝突を防ぐため、選択された出力スイッチは RF 側のレジスタ出力伝播線を電氣的に切り離す。このような動作を行う swalu を図 1 のように N 個並べて、RF 側から順に演算を実行することで連鎖型データパスを実装した。

2.2 制御情報保持回路

図 2 に示す ID/CE レジスタ (ID, CE 間パイプラインレジスタ) は 1 個の swalu の制御情報しか保持できない。よって、N 命令実行を完了するまで N 個の swalu の制

御情報を保持する機構が必要になる。そのために、N 命令分の制御情報を保持する N 個の D ラッチと N 進カウンタからなる制御情報保持回路を構成した。N 進カウンタを使って RF 側の D ラッチ 1 から D ラッチ N まで順番に制御情報を格納し、各ラッチは連鎖型データパスが N 命令実行を完了するまで制御情報を保持する。図 3 に N=4 の場合の動作のタイミング図を示す。

3 まとめ

IF, ID 部は変更せずに、RISC 型プロセッサに連鎖型データパスを実装するためのスイッチ、制御情報保持回路について説明した。今後は FPGA 上で検証を行い、連鎖型データパスの有効性を調査する予定である。

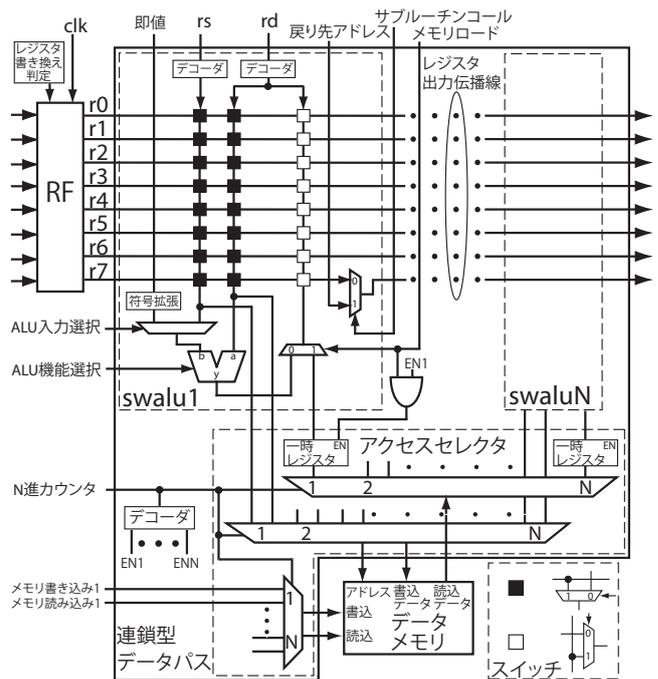


図 1 連鎖型データパス

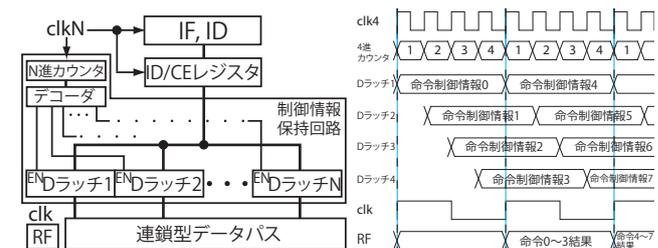


図 2 制御情報保持回路 図 3 タイミング図 (N=4)