

アンチエイリアシングによる UHDTV 向け単一画像超解像の FPGA 実装

FPGA Implementation of Anti-Aliasing Based Single Image Super-Resolution for UHDTV

草野穂高 池辺将之 浅井哲也 本村真人
Hotaka Kusano Masayuki Ikebe Tetsuya Asai Masato Motomura

北海道大学 大学院情報科学研究科
Graduate School of Information Science and Technology, Hokkaido University

1. まえがき

近年, HD を超える UHDTV 等の普及により, ディスプレイの高解像度化が進んでいる. その一方で, 映像コンテンツの多くは未だフル HD にとどまっておらず高解像度化が遅れている. そのため, 低解像度の映像の解像度を上げて高精細化する超解像技術が求められている.

しかし, 学習型や再構成型といった従来の超解像処理では, 繰り返し処理やフレームバッファを必要とし, 入力映像の解像度が上がるに連れて処理コストが膨大なものとなる. そこで本報告では, 高解像度映像の入力に対する超解像処理に適した, 高速かつ省メモリのハードウェア志向な超解像処理について述べる.

2. 超解像アルゴリズム

本超解像処理は, 一枚の入力画像データから繰り返し処理を用いずに超解像処理を行うコンセプト[1]を実現している. 入力画像を辺々4倍に拡大した後エッジ再構成を施し, 最後に辺々1/2倍にダウンサンプリングする. 全体としては辺々2倍の超解像処理となる.

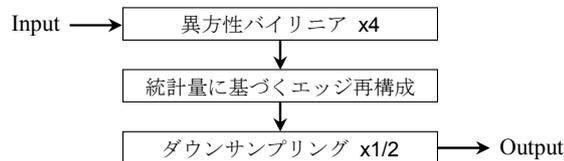


図1 アルゴリズムのフローチャート

ダウンサンプリング処理はジャギーの低減を狙ったものである. これにより, エッジ再構成処理における過剰なエッジ強調を考慮する必要がなくなるため, より簡易なアルゴリズムによって構成することができる.

また本手法は, 各処理段階において逐一画像データを保持することなく, 入力データの演算のみで求めることができる. よって, 出力解像度よりも大きな解像度まで拡大しても消費メモリ量には影響を与えない.

拡大手法には, エッジ方向に応じて異方的にバイリニア補間を施す異方性バイリニア手法を開発した. これによって, 通常のバイリニア補間では階段状のアーティファクトが生成されてしまう斜め方向のエッジ部分に対して, 良好な出力結果を得ることができる.

続いて, 拡大した画像に対して統計量に基づいたエッジ再構成を施す. 処理対象画素を中心とする 5×5 のボックス内における“最小値”“最大値”“平均値”“中間値”という4つの統計量を算出する. 中間値とは(最小値+最大値)/2 によって求められる統計値である. これらの4つの統計値と, 処理対象画素値とを利用する

ことにより, 急峻なエッジを再構成することができる. 最後に, ダウンサンプリングすることで, 斜め方向のエッジ部分に発生しうるジャギーを軽減した, 良好な輪郭を得ることができる(アンチエイリアシング).

3. FPGA 実装と出力結果

提案アルゴリズムを FPGA 上に実装し, 1080p(60fps) 映像入力に対するリアルタイム動作を確認した. また FFT 解析により, ナイキスト周波数を上回る高周波成分の生成を確認した. 詳細は以下に示す.

Module	Slice	Register	LUT	RAMB36
FPGA上で使用可能量	50950	407600	203800	890
超解像モジュール全体	21852	96162	73256	108
異方性バイリニアモジュール平均(4個)	1320	5572	3413	27
エッジ再構成モジュール平均(16個)	1036	4617	3725	0

表1 FPGA の使用リソース量 (XILINX KINTEX7)

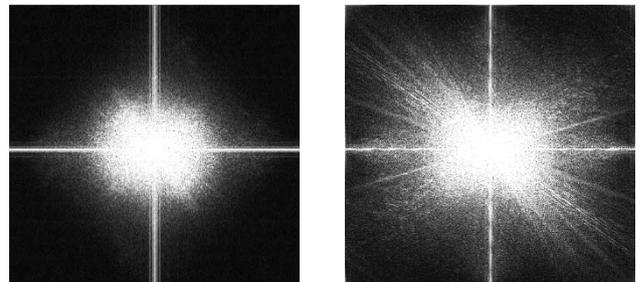


図2 FFT 解析 (入力画像 Lena)
(左: バイリニア補間, 右: 提案手法)

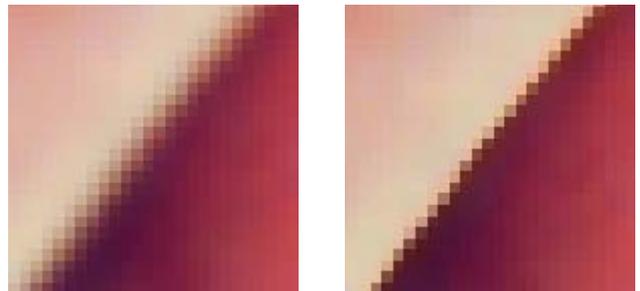


図3 出力画像比較
(左: バイリニア補間, 右: 提案手法)

[1] S. Goshi et al., FIT 2009.