

Logical Stochastic Resonance による論理動作を実現する アナログ CMOS 回路

中田 一紀[†] 浅井哲也^{††}

[†]九州大学 稲盛フロンティア研究センター 〒 819-0395 福岡県福岡市西区元岡 744

^{††}北海道大学大学院情報科学研究科 〒 060-0814 札幌市北区北 14 条西 9 丁目

E-mail: [†]k.nakada@ieee.org, ^{††}asai@ist.hokudai.ac.jp

あらまし 本研究では、ナノスケールの機能的集積電子デバイスの実現に向けて、雑音誘起現象のひとつである LSR (Logical Stochastic Resonance) を利用した確率的論理素子の集積化実装について提案する。LSR は、多重安定系の多重井戸ポテンシャルにおける確率的状態遷移によって生じる現象と考えられる。ここでは、具体的な回路構成として、双安定回路を考え、そのポテンシャル制御の観点から、無次元化した等価回路の動作について検証する。また、双安定回路の動作速度と入力クロック周波数のタイムスケールの関係に着目し、最適な回路設計に向けて、理想的な動作条件について考察する。

キーワード 論理的確率共鳴、確率的状態遷移、アナログ CMOS 回路

Analog CMOS Circuit Implementation for Logical Operation based on Logical Stochastic Resonance

Kazuki NAKADA[†] and Tetsuya ASAI^{††}

[†] INAMORI Frontier Research Center, Kyushu University Motooka 744, Nishi-ku, Fukuoka, 819-0395 Japan

^{††} Graduate School of Information Science and Technology, Hokkaido University,

Kita 14, Nishi 9, Kita-ku, Sapporo, Hokkaido, 060-0814 Japan

E-mail: [†]k.nakada@ieee.org, ^{††}asai@ist.hokudai.ac.jp

Abstract In this work, we propose an analog CMOS circuit implementation of stochastic logic devices based on LSR (Logical Stochastic Resonance), which is one of the noise-induced phenomena, towards realization of functional integrated electronic devices in nano-scale. It has been understood that LSR occurs as a result of stochastic state transition in a multi-well potential of multi stable systems. We here consider a bistable circuit as a specific circuit configuration, and verified the operation of the normalized equivalence circuit in view of controlling the effective potential. Furthermore, we focus on the time scale relationship between the operation speed of the bistable circuit and the input clock frequency, and consider the ideal operation conditions for optimization of circuit design for LSR-based logic gates.

Key words Logical Stochastic Resonance, Stochastic State Transition. Analog CMOS Circuit

1. ま え が き

近年、ナノスケールの機能的な集積電子デバイスの実現に向けて、新規デバイスの動作原理の開拓に高い関心が集まっている。そのためには、従来技術の代替ではなく、本質的に新しい動作原理の探究が必要である。

シリコンエレクトロニクスにおいて、確率的状態遷移を利用

したナノスケールデバイスの研究が行われている。微細化に伴い、熱雑音のような擾乱の影響を強く受けることになるため、雑音を抑圧したり、低減するのではなく、デバイスの動作原理として、多様な雑音誘起現象を積極的に応用する方向の研究が提案されている [2]- [8]。

確率共鳴 [1] は、微弱信号に雑音が重畳することにより、系の信号対雑音比が向上する雑音誘起現象のひとつである。電子

デバイスでは、シュミットトリガでの実証に始まり、最近では、双安定回路 [2], [3] やナノワイヤトランジスタ [4], さらには、単電子デバイス [5] での実証がなされている。

コヒーレンス共鳴は、不規則な雑音が重畳することにより、非線形素子の動作の周期性（規則性）が向上する現象である。シュミットトリガ [6] や、ユニジャンクショントランジスタ [7] からカーボンナノチューブデバイス [8] にいたるまで、実証的研究が行われている。

確率共鳴やコヒーレンス共鳴の共通原理は、複数の安定状態を持つ多重井戸ポテンシャルにおいて、確率的に状態遷移が生じることにある。たとえば、有限温度下での磁性体素子の磁化反転は、双安定系における確率的状態遷移として捉えることができる。多重井戸ポテンシャルにおける確率的状態遷移は、磁化反転を利用した MRAM (Magnetic Random Access Memory) の動作原理として重要であるとともに、半導体集積デバイスでは、超微細・低電圧駆動型 SRAM (Static RAM) のようなナノスケール CMOS におけるメモリデバイスの動作原理としても期待されている [2]。

本研究では、確率的状態遷移を利用した機能的な集積電子デバイスの開拓に向けて、半導体集積デバイスにおける LSR (Logical Stochastic Resonance) [9]-[11] を利用した確率的論理素子について提案する。LSR は、多重井戸ポテンシャルを持つ双安定系における確率的状態遷移であり、ナノスケールの論理デバイスの動作原理として着目されつつある。ここでは、具体的な回路構成として、双安定回路を考え、その動作条件を無次元化した等価回路のシミュレーションにより検証する。

2. Logical Stochastic Resonance

最近、二重井戸ポテンシャルにおける確率的状態遷移を利用した論理素子の動作原理として、LSR とその物理的機構が着目されている。LSR は、図 1 に示すような構成の非線形システムにおいて生じる雑音誘起現象のひとつである。LSR のシステムダイナミクスは次式:

$$\frac{dV}{dt} = -\alpha V + F(V, \beta) + I(t) + \zeta(t), \quad (1)$$

$$\text{output} = G(V) \quad (2)$$

に従う。ここで、非線形素子 $F(V)$ および $G(V)$ はそれぞれ双安定性素子と二値化素子であり、 α および β はパラメータである。入力として、デジタル論理入力に対応した 3 階調の矩形波信号 $I(t) = I_1 + I_2$, $I_1, I_2 = \{-c, c\}$ を考える。また、雑音 $\zeta(t)$ が重畳されるとする。システムに入力が与えられると、矩形波の最大値と最小値に対応した入力 $I = 2c$, あるいは $I = -2c$ の場合は、出力は一定の値 0, あるいは 1 を取るが、矩形波の中間値に対応した入力 $I = 0$ の場合には、システムのタイムスケールと入力信号のクロック周波数に応じて、0, 1 のいずれかの値を取る。

このとき、システムに雑音が重畳することで、確率的に中間値が一定の出力値を取るようになる。この入出力関係を真理値表 (表 1) に対応させると、システムは論理動作をしていると

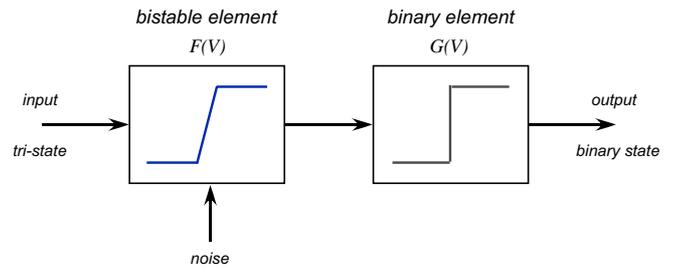


図 1 LSR システムの構成。

みなすことができる。

システムを構成する双安定性素子としては、さまざまなものが考えられる。たとえば、区分線形素子やヒステリシスを持つ非線形素子によって構成されるシステムにおいても、LSR が生じることが示されている。LSR は、双安定ダイナミクスを持つ非線形システムにおいて普遍的に生じるものであり、集積電子デバイスだけでなく、MEMS のような機械系や Gene Network のような生物系においても、その機能的役割が着目されており、システムのダイナミクスも 1 次元から 2 次元、また、二重井戸ポテンシャルから多重井戸ポテンシャルに拡張され、さまざまな方向に研究が進展しつつある [9]-[11]。

LSR の物理的機構の本質は、二重井戸ポテンシャルにおける確率的状態遷移にある (図 2)。双安定システムに雑音が重畳することで、論理入力に対応した信号が、最大値と最小値から中間値に変化する時の状態遷移確率が変化し、中間値に対応した状態を確率変数としたときの確率分布が決定される。双安定性システムが対称である場合は、中間値に対応した状態は確率的に五分五分となるが、雑音が重畳することでシステムに非対称性が生じ、論理動作に対応した確率分布が得られる。

Table. 1. Basic Logical Functions and Gates.

| Input Set | OR | AND | NOR | NAND | XOR |
|---------------|----|-----|-----|------|-----|
| (0, 0) | 0 | 0 | 1 | 1 | 0 |
| (0, 1)/(1, 0) | 1 | 0 | 0 | 1 | 1 |
| (1, 1) | 1 | 1 | 0 | 0 | 0 |

3. 双安定回路

ここでは、LSR を生じる非線形システムとして、集積化実装することのできるアナログ CMOS 回路を考える。

3.1 回路構成

双安定性素子を非線形素子として持つアナログ CMOS 回路として、双安定回路を考える (図 3)。双安定回路は、メモリとして動作する回路であり、論理値 (0, 1) に対応した二状態を取る。メモリの書き換えを行う制御信号が入力されると、現在の状態値と制御信号に応じて、状態遷移を生じる。

先行研究において、双安定回路の制御信号に雑音が重畳する

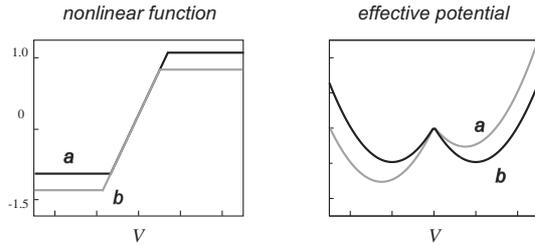


図 2 LSR の非線形要素と実効ポテンシャル．システムに対する入力に応じて，ポテンシャルの対称性が変化する．

と，雑音誘起現象のひとつである確率共鳴 [1] が生じることが示されている [2]．回路シミュレーションだけでなく，実際に，実験室の環境においても，制御信号が微弱な場合においても，雑音が重畳されることで，書き換え動作が行われることが確認されている [3]．

双安定回路の動作式は，次式：

$$C \frac{dV}{dt} = -gV + F(V - V_{in}) \quad (3)$$

に従う．ここで， V はシステムの状態変数に対応した電圧， C は容量， g はコンダクタンス， V_{in} は入力電圧をそれぞれ表している．また，非線形関数 $F(x)$ は差動増幅器の入出力特性を表すものとする．

双安定回路において，入力電圧を $V_{in} = V_b$ に固定し，電流入力 $I(t)$ を与える場合の動作式は，

$$C \frac{dV}{dt} = -gV + F(V - V_b) + I(t) \quad (4)$$

に従う．さらに，入力電流に雑音 ζ が加算的に重畳すると考えると，回路の動作式は，LSR を生じるシステムダイナミクスである式 (1) と等価となる．

3.2 ポテンシャル

それぞれのダイナミクスに対応したポテンシャルと入力に対応した状態遷移の概念図を示す (図 4)．ここで，ポテンシャルは，双安定回路の動作式 (3) および (4) から，次のように導出される [2]．まず，システムのポテンシャルを H とすると，

$$\frac{\partial H}{\partial t} = \frac{dV}{dt} \cdot \frac{\partial H}{\partial V} < 0 \quad (5)$$

が成り立つとする．このとき，

$$\frac{\partial H}{\partial V} = -C \frac{dV}{dt}, \quad C > 0 \quad (6)$$

となるので，

$$\frac{\partial H}{\partial V} = gV - F(V) - I \quad (7)$$

を V で積分して，

$$H = \frac{gV^2}{2} - \int F(V)dV - I \cdot V + const. \quad (8)$$

となる．ここで，

$$F(V) = \tanh(\beta(V - V_b)) \quad (9)$$

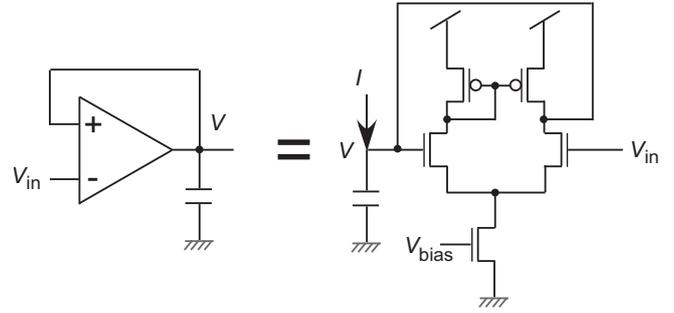


図 3 双安定回路の構成．

とすると，

$$H = \frac{gV^2}{2} + \frac{1}{\beta} \log(\cosh(\beta(V - V_b))) - I \cdot V + const. \quad (10)$$

となる．

式 (10) から示されるように，双安定回路のポテンシャルは，入力に応じて対称性が変化し，さらに，入力の与え方によって，極大値の位置が変化する場合と変化しない場合に分けられる (図 4)．そこで，本研究では LSR の基本的な動作機構を確認するために，ポテンシャルの極大値の位置が原点となるような電流入力の場合を考える．

4. 回路動作

ここでは，双安定回路の LSR 動作を無次元化した等価回路によって，シミュレーションにより確認する．パラメータは， $g = 1$ ， $C = 10^{-4}$ ， $\beta = 3.5$ および $V_b = 0$ にそれぞれ設定し，入力電流の強度は， $|I_1|, |I_2| = 0.4$ とする．

回路ダイナミクスを考えたときに，ローパスフィルタとしての特性を示す CR 回路の時定数と入力信号のクロック周波数のタイムスケールが論理素子としての動作特性に影響を与えるため，重要となると考えられる．しかし，これまでの研究では，雑音の相関時間を考えたものはあるものの，システムと入力のタイムスケールに着目した結果はあまり報告されていない．

4.1 基本動作

まず，はじめに，NOR ゲートおよび NAND ゲートとして動作する場合について，図 5 A および B に示す．入力電流 (I_1, I_2) を論理入力に対応させて，(0, 0), (0, 1), (1, 0), (1, 1) の系列となるように与え，雑音強度を $\sigma = 0.19, 0.38, 0.76$ と変化させた．また，入力のクロック周波数は，0.2 KHz とした．このとき，最適な雑音強度において，正しい論理動作をすることが確認できる．

4.2 動作速度と応答特性

次に，クロック周波数を高くした場合の動作特性について，図 7 A および B に示す．ここで，クロック周波数は 0.4 KHz に設定した．論理素子として機能するものの，確率的状態遷移するタイミングが基準クロックのタイミングと揃わず，ジッタノイズが生じることが分かる．これは，回路の動作速度に対して，クロック周波数が高いためだと考えられる．

また，クロック周波数を低くしたときの動作特性について，図 8 A および B に示す．ここで，クロック周波数は 0.1 KHz

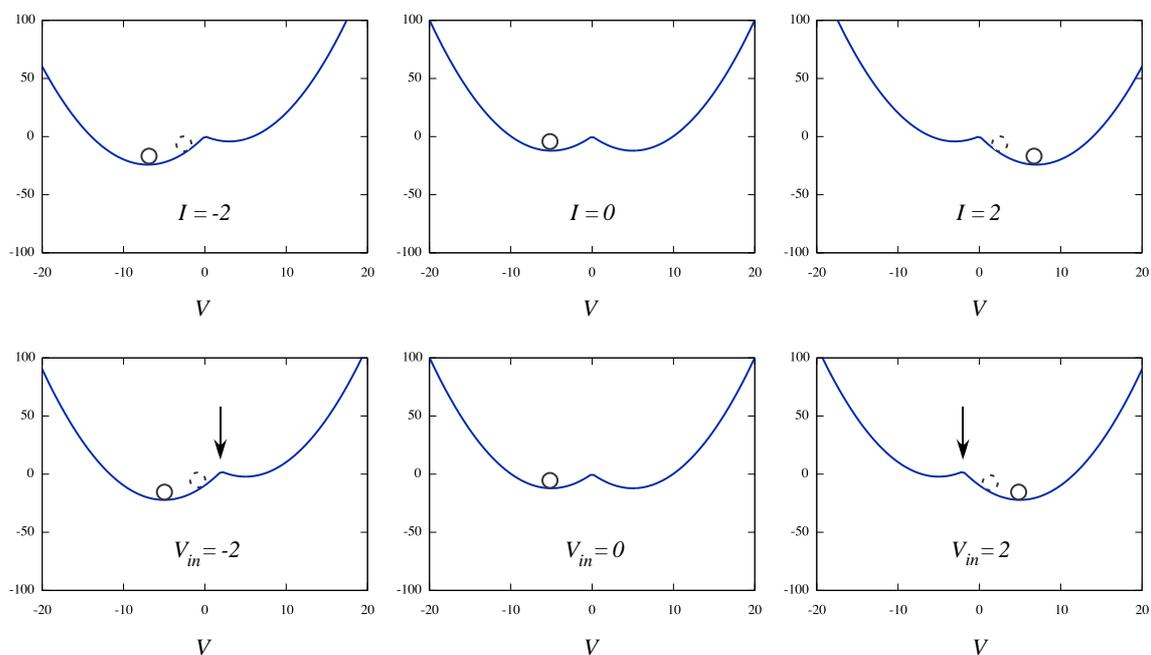


図 4 双安定回路の実効ポテンシャル .

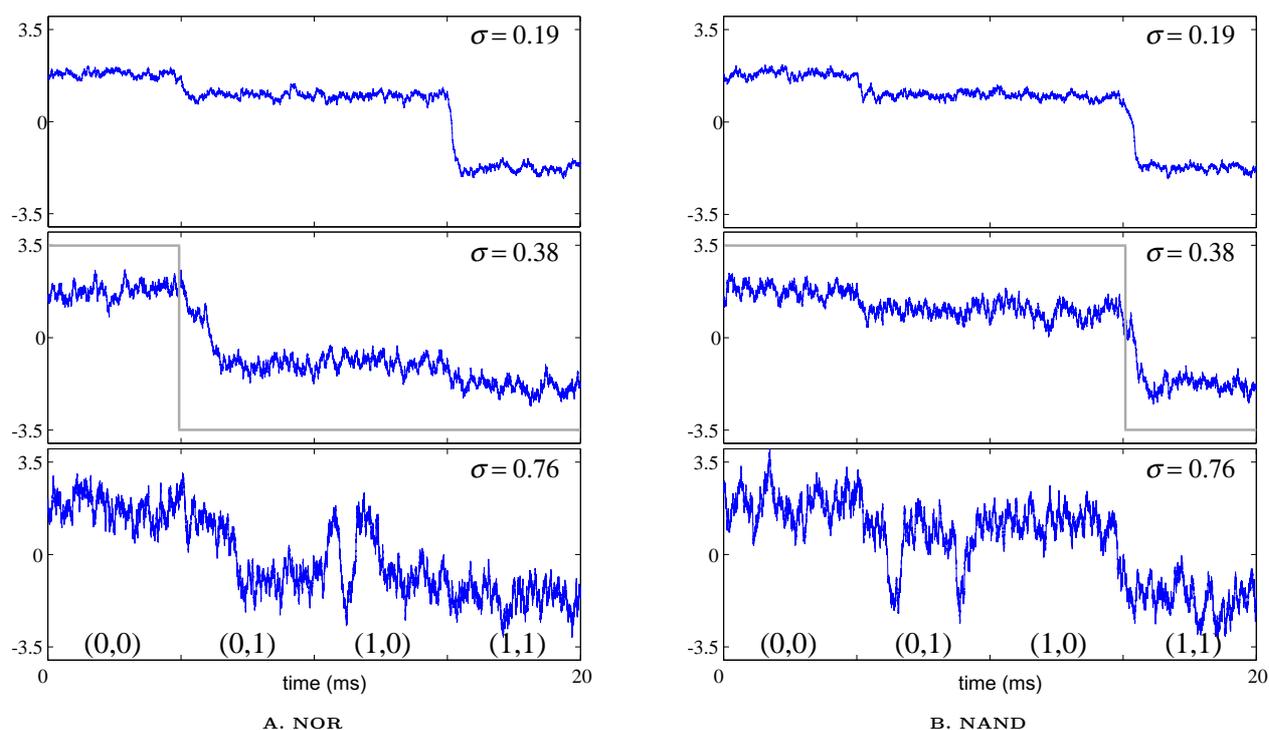


図 5 LSR による論理素子としての動作 .

に設定した．確率的に状態遷移するタイミングは基準クロックのタイミングとは揃うものの，反対に，入力信号が変化しないタイミングでも確率的に状態遷移を生じることがあり，誤作動につながる事が分かる．

これらの結果から，入力信号の系列によって，双安定回路の確率的状態遷移の遷移確率が変化し，論理素子としての動作にも影響することが考えられる．もし，回路の時定数に対して，クロック周波数が高いタイムスケールになっている場合，確率

的状態遷移の遷移確率が履歴効果を持つようになり，マルコフ遷移として，回路動作をモデリングすることができなくなると考えられる．その一方で，論理素子として動作させる場合は，クロック周波数を高くする必要があるため，双安定回路の時定数を的確に定めることが重要となる．したがって，デジタル的機能を目的とする回路であっても，アナログ回路設計の要素が大きくなる事が示唆される．

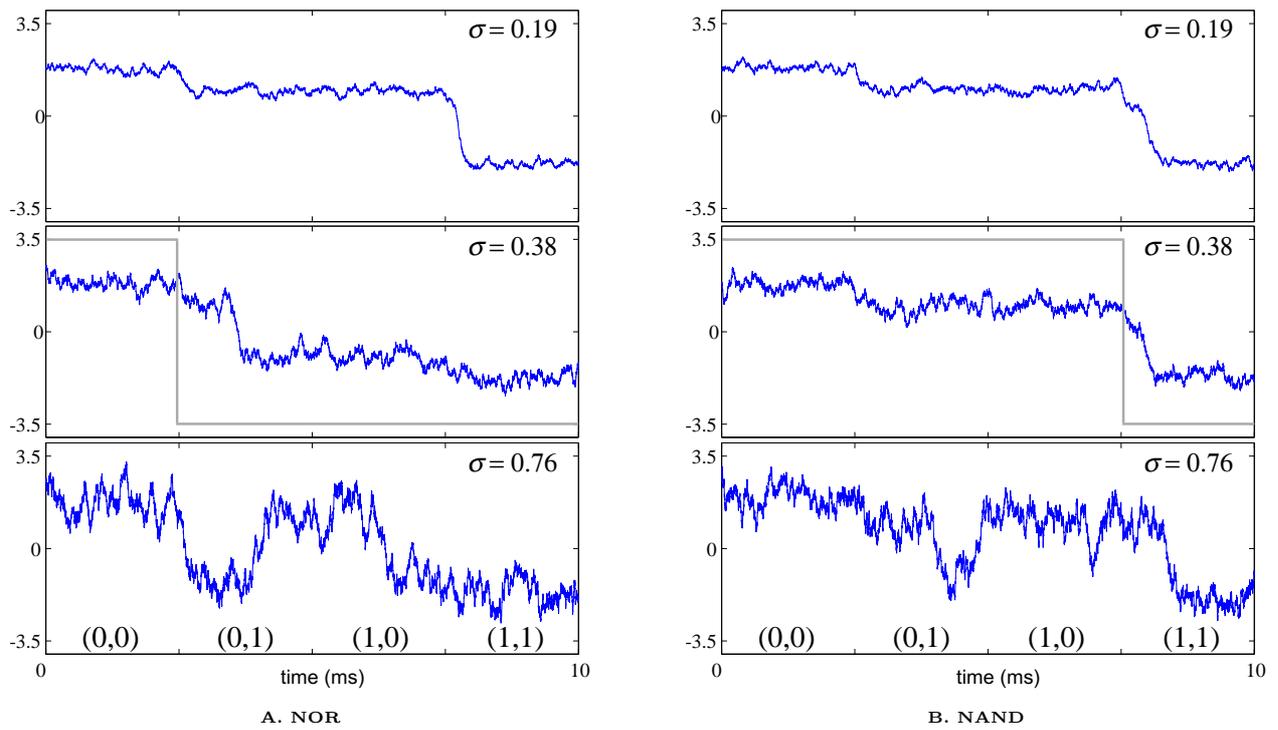


図 6 LSR による論理素子としての動作 .

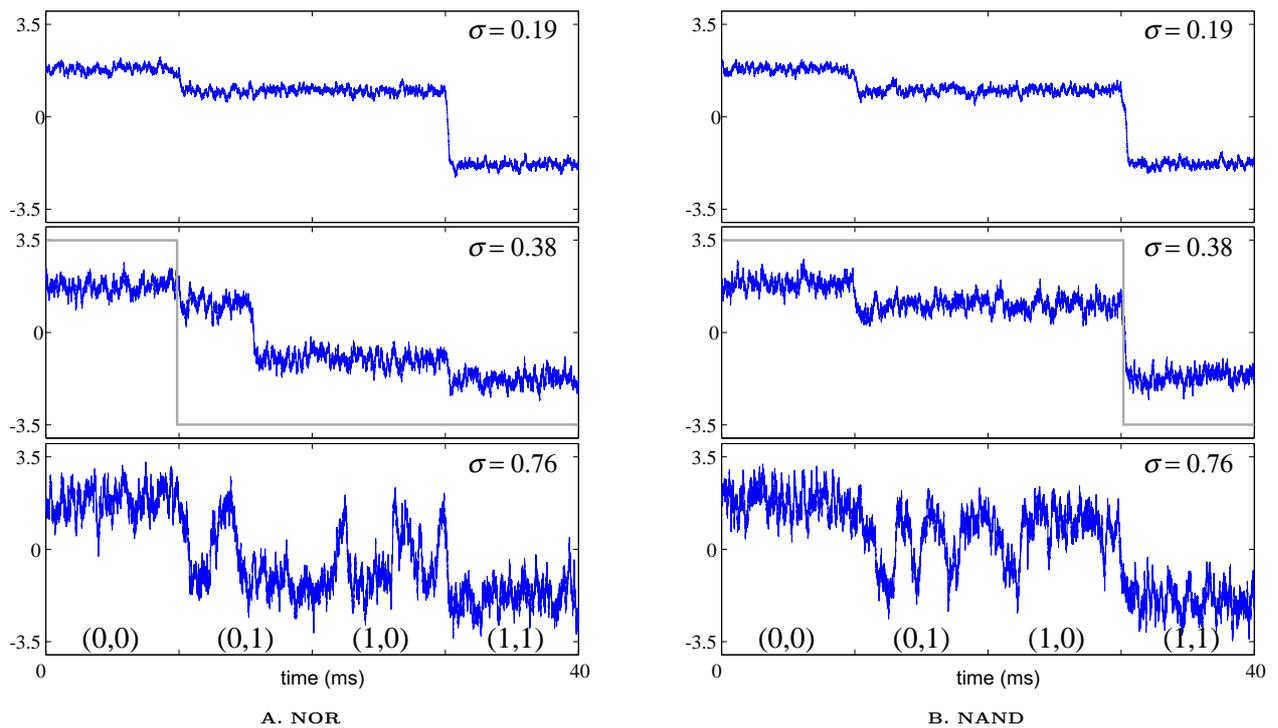


図 7 LSR による論理素子としての動作 .

4.3 入力ダイナミックレンジ

電流入力型の回路構成に対する入力のダイナミックレンジの比較のために、電圧入力としたときの双安定回路の動作特性について、図 8 A および B に示す . ここで、パラメータは $\beta = 2.5$, $V_b = 0.35$ (図 8 A). $V_b = -0.35$ (図 8 B) に設定し、入力電圧は $V_{in} = V_1 + V_2$, $|V_1|, |V_2| = 0.7$, クロック周波数は

0.8 KHz とした . また、雑音は加算的に重畳されるものとし、図 5 ~ 図 7 のシミュレーションと同様の強度に設定した .

雑音が重畳することによって LSR が生じ、確率的論理素子として動作することが確認できる . しかし、雑音が変動すると、中間値の入力に対応した出力の取りうる状態が確率的に変化してしまうため、論理素子として機能するパラメータ領域が広く

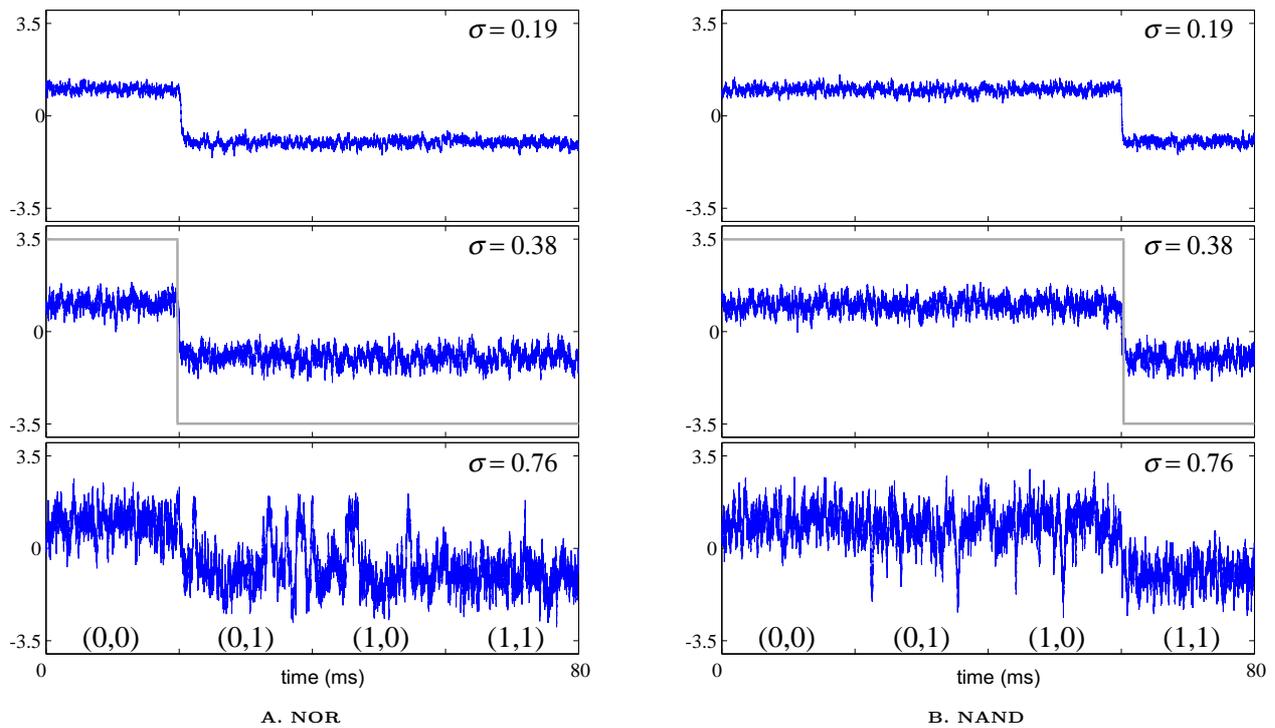


図 8 LSR による論理素子としての動作 .

取れないことが分かる．実際に， V_b の値が変動すると，LSR 素子として動作させることは難しい．これは，ポテンシャルの極大値の位置が入力によって変調され，原点から移動するため，入力のダイナミックレンジも制限されることを示唆している．

5. まとめ

本研究では，LSR による論理動作を実現するアナログ CMOS 回路として，二重井戸ポテンシャルを持つ双安定回路を考え，シミュレーションにより，その動作特性について検証した．特に，安定した確率的状態遷移による LSR 動作を実現するために，回路の動作速度と入力信号のクロック周波数の関係に着目し，論理素子として動作するタイムスケールについて調べた．

LSR を動作原理とする論理素子は，ゲートベースではなく，ダイナミクススペースであるため，集積電子デバイスだけでなく，トランジスタをつくれぬ材料においても実現することが期待される．また，半導体集積デバイスとしても，ナノスケールの微細化に向けて，雑音が重畳することでより動作特性が安定化する LSR の動作機構は極めて興味深い．

従来のメモリは，論理ゲートからメモリを構成するものであったが，ここで示したように，LSR による論理素子はメモリからゲートを構成するという双対的な関係となる．実際に，双安定回路を実装し，実証的研究を行うことで，LSR の動作特性を明らかにし，新しいナノスケールデバイスの設計原理の探究につながることを期待される．

文 献

- [1] L. Gammaitoni, F. Marchesoni, E. Menichella-Saetta, S. Santucci, "Stochastic resonance in bistable systems," *Physical Review Letters*, vol. 62, no. 4, pp. 349-352, 1989.
- [2] A. Utagawa T. Asai, and Y. Amemiya, "Stochastic resonance in simple analog circuits with a single operational amplifier having a double-well potential," *Nonlinear Theory and Its Applications*, vol. 2, no. 4, pp. 409-416, 2011.
- [3] K. Yoshida, T. Asai, and M. Motomura, "A subthreshold memory cell utilizing nonlinear characteristics of positive-feedback operational transconductance amplifier," *Proc. Kyoto Workshop on NOLTA*, p. 15, Kyoto, Japan, 2011.
- [4] S. Kasai and T. Asai, "Stochastic Resonance in Schottky Wrap Gate-controlled GaAs Nanowire Field Effect Transistors and Their Networks," *Applied Physics Express*, vol.1, no. 8, 083001, 2008.
- [5] T. Oya, A. Schmid, T. Asai, and A. Utagawa, "Stochastic resonance in a balanced pair of single-electron boxes," *Fluctuation and Noise Letters*, vol. 10, no. 3, pp. 267-275, 2011.
- [6] M. Misono, T. Todo, and K. Miyakawa, "Coherence Resonance in a Schmitt-Trigger Inverter with Delayed Feedback," *J. Phys. Soc. Japan*, vol. 78, no. 1, 014802, 2009.
- [7] M. Nurujjaman, P. S. Bhattacharya, A. N. S. Iyengar, S. Sarkar, "Coherence resonance in a unijunction transistor relaxation oscillator," *Physical Review E*, vol. 80, no. 1, 015201, 2009.
- [8] C. Y. Lee, W. Choi, J. H. Han, M. S. Strano, "Coherence resonance in a single-walled carbon nanotube ion channel," *Science*, vol. 329, no. 5997, pp. 1320-1324, 2010.
- [9] K. Murali, S. Sinha, W. L. Ditto, A. R. Bulsara, "Reliable logic circuit elements that exploit nonlinearity in the presence of a noise floor," *Physical review letters*, vol. 102, no. 10, 104101, 2009.
- [10] D. N. Guerra, A. R. Bulsara, W. L. Ditto, S. Sinha, K. Murali, P. Mohanty, "A noise-assisted reprogrammable nanomechanical logic gate," *Nano letters*, vol. 10, no. 4, pp. 1168-1171, 2010.
- [11] R. Storni, H. Ando, K. Aihara, K. Murali, S. Sinha, "Manipulating potential wells in Logical Stochastic Resonance to obtain XOR logic," *Physics Letters A*, vol. 376, no. 8-9, pp. 930-937, 2012