

バイポーラ型抵抗変化メモリ素子を用いた STDP シナプスデバイス

赤穂 伸雄[†] 浅井 哲也[†] 柳田 剛^{††} 川合 知二^{††} 雨宮 好仁[†]

[†] 北海道大学大学院情報科学研究科 〒060-0814 札幌市北区北14条西9丁目

^{††} 大阪大学産業科学研究所 〒567-0047 大阪府茨木市美穂ヶ丘8-1

E-mail: [†]{akou@lalsie, asai@ist, amemiya@sapiens-ei.eng}.hokudai.ac.jp,

^{††}{yanagi32,kawai}@sanken.osaka-u.ac.jp

あらまし 抵抗変化メモリ (resistive RAM: ReRAM) を用いた STDP シナプスデバイスを提案する。提案デバイスは、バイポーラ型抵抗変化メモリ素子、キャパシタ、および二つの nMOS FET からなる CMOS-ReRAM ハイブリッド回路である。試作デバイスを用いた実験により、i) 用いたバイポーラ型抵抗変化メモリ素子がメモリストの数理モデルと質的に等価であること、ii) バイポーラ型抵抗変化メモリ素子とキャパシタからなる CR 回路にスパイク電圧を与えた場合、スパイク前後でメモリ素子のコンダクタンスが変化しないこと、iii) 上記 ii) のキャパシタの充放電過程において、キャパシタの電荷をリークさせることにより、スパイク前後でメモリ素子のコンダクタンスが増加すること、および、iv) 上記 ii) と iii) により、スパイクタイミングに応じてコンダクタンスが変化する STDP シナプスデバイスが構成可能であることを示す。

キーワード ニューロデバイス, 抵抗変化メモリ (ReRAM), メモリスト, シナプス, STDP

A ReRAM-based Analog Synaptic Device exhibiting Spike-Timing-Dependent Plasticity

Nobuo AKOH[†], Tetsuya ASAI[†], Takeshi YANAGIDA^{††}, Tomoji KAWAI^{††}, and Yoshihito AMEMIYA[†]

[†] Graduate School of Information Science and Technology, Hokkaido University
Kita 14, Nishi 9, Kita-ku, Sapporo, Hokkaido, 060-0814 Japan

^{††} The Institute of Scientific and Industrial Research, Osaka University
Mihogaoka 8-1, Ibaraki, Osaka, 567-0047 Japan

E-mail: [†]{akou@lalsie, asai@ist, amemiya@sapiens-ei.eng}.hokudai.ac.jp,

^{††}{yanagi32,kawai}@sanken.osaka-u.ac.jp

Abstract We propose a STDP synaptic device that employs a resistive RAM (ReRAM). The device is a CMOS-ReRAM-hybrid circuit that consists of a bipolar ReRAM, a capacitor, and two nMOS FETs. Through extensive experimental results of our prototype device, we demonstrate that i) transient characteristics of our ReRAM are qualitatively equivalent to characteristics of a mathematical model of memristors, ii) conductance of the ReRAM does not change when one applies voltage spikes to a CR circuit consisting of the ReRAM and a capacitor, iii) when the capacitor is discharged via an additional current path during the charge and discharge process in ii) above, conductance of the ReRAM is certainly increased, and iv) by combining properties of ii) and iii) above, conductance of our STDP device is certainly modulated (increased or held) by the input spike timing.

Key words Neural device, resistive RAM (ReRAM), memristor, synapse, STDP

1. ま え が き

ニューラルネットワーク LSI を設計する上で困難な課題の一

つは、不揮発のアナログシナプスをなるべく簡単な構造で実現することである。揮発性のアナログシナプスについては、これまで様々な提案がなされている (例えば、[1]~[3] など)。一方、

不揮発の（電源を落としても結合重みが保持される）シナプスについては、これまでフラッシュメモリやその代替技術に応用したシナプスデバイス（例えば、[4]～[6] など）が提案されてきたが、結合重みの書き換え可能回数が少ないことや、書き換え制御回路の構成が複雑であることなどから、なかなか本物が現れないというのが実情である。

ところで、Leon Chua が約 40 年前にその存在を予測した第 4 の電気回路素子「メモリスタ」[7] が“発見”されたとの報告が 2008 年になされた [8]。実際には、報告されたデバイスは抵抗変化メモリ（resistive RAM: ReRAM）であり、これは本来の第 4 の電気回路素子—電荷 q と磁束 ϕ の関係：“ $\phi = f(q)$ ”—を直接的に表すものではなく、その微分

$$\frac{d\phi}{dt} = \frac{\partial f(q)}{\partial q} \frac{dq}{dt} \rightarrow v = M(q)i, \quad M(q) \equiv \frac{\partial f(q)}{\partial q}$$

の特性を示すデバイスであった（ v, i はそれぞれメモリスタの両端電圧と電流、 $M(q)$ はメモリスタンスと呼ばれる）。この特性から、 $\phi = f(q)$ の関係が「間接的に」導き出されたのである（このデバイスが電荷と磁束を結ぶ本物の第 4 の素子であるか否かについての議論は、[9] を参考にされたし）。 $M(q)$ を抵抗と見なせば、そこではオームの法則が成立する。 $f(q)$ は q に対して単調増加する非線形関数であり、この素子に電流を流すと（電荷 q を移動させると）、 $M(q)$ 、つまり抵抗相当量に変化する。よって、デバイスに流した電流の量（単位時間あたりに移動した電荷量）によって抵抗値が決まると考えてよい。また、電流を流さなければ、現在の抵抗値が保持（不揮発に記憶）されるだろう。つまり、このデバイスは memory（メモリ）機能を持つ resistor（抵抗）である。40 年前にこれを予測した Chua は、上記の言葉の類推から、このような性質を持つ素子を“memristor”（メモリスタ）と名付けた^(注1)。

メモリスタは不揮発アナログシナプスをハードウェアで実現する上で有用であると考えられ、これまで幾つかの例が紹介されている。たとえば、[10] にてメモリスタの STDP シナプスへの応用の可能性が示唆されている（ただし、具体的な回路は示されていない）。また、[11] では、ReRAM 素子単体による STDP シナプスの実験結果が提案されている。しかし、この論文は ReRAM のメモリ効果のみを示したものであり、STDP 学習のための具体的な回路は示されていない（恐らく、ReRAM のコンダクタンスを STDP 特性に合うように手作業で調整した結果を示したものと考えられる）。また、[12] では具体的な回路が示されているが、これはメモリスタ（論文では原子スイッチを想定したデバイス）に三値のパルスを与えるものであり、そのデジタル制御回路の構成が非常に複雑であった。本稿では、より自然かつなるべく小規模の回路で学習を制御できるようなアナログ STDP シナプス回路を提案する。シミュレーションではなく、試作デバイスを用いた実験によりその動作を示す。

(注1)：電流量によって抵抗値が不揮発に保持されるデバイスは ReRAM に限ったものではないが、近年はそれらを総じてメモリスタと呼ぶ傾向がある。これは主に Chua の主張によるものであるが、メモリスタの発見報道がなされた 2008 年以前から ReRAM の研究を進めてきた研究グループや大手半導体メーカー（米 HP 社を除く）は、メモリスタという言葉を敬遠する傾向がある。

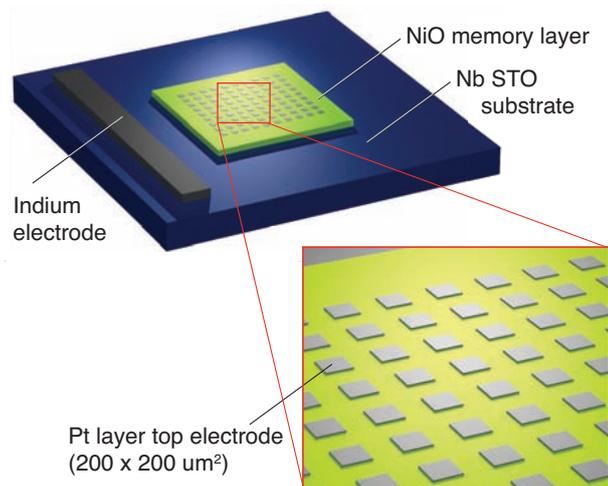


図 1 薄膜バイポーラ ReRAM アレイ (9x9) の構造。

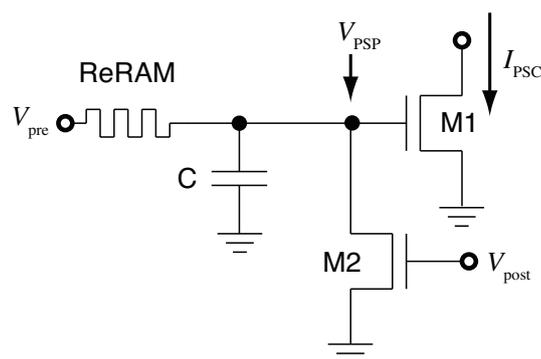


図 2 提案するアナログ STDP シナプス回路。

2. ReRAM を用いた STDP シナプスデバイスの構成

図 1 に今回使用したバイポーラ ReRAM デバイスの模式図を示す。ボンディング作業を容易にするため、ナノワイヤ型 [8] ではなくナノ薄膜型（ニッケル酸化膜）の ReRAM を使用した（大阪大学産業科学研究所の提供による）。9x9 個の ReRAM が実装されており、基板（ReRAM の片方の端子）は共通である。プラチナ電極（ $200 \times 200 \mu\text{m}^2$ ）および共通基板電極を外部パッケージにボンディングし、外部のディスクリット素子と組み合わせ回路を構成する。

提案するアナログ STDP シナプス回路を図 2 に示す。これは、バイポーラ型抵抗変化メモリ素子（ReRAM）、キャパシタ（C）、および二つの nMOS FET（M1 と M2）からなる CMOS-ReRAM ハイブリッド回路である。シナプス前ニューロンからのスパイク（電圧）、シナプス後ニューロンからのスパイク（電圧）およびシナプス後電圧をそれぞれ V_{pre} , V_{post} および V_{PSP} で表す。また、シナプス後電流を I_{PSC} で表し、この電流をシナプス後ニューロンが積分する。

まず、M2 がオフ（シナプス後ニューロンが非発火）の状態を考える。M1 のゲート容量が C よりも十分小さければ、この回路は単なる CR 回路である（R は ReRAM の抵抗）。この状態で V_{pre} にパルス電圧が与えられたとしよう。すると、ま

ずパルス電圧の立ち上がりで ReRAM を介して C が充電される。このとき、ReRAM を介して C へ電流が流れる（電荷が移動する）ため、ReRAM のコンダクタンスが増加する。その増加分は、ReRAM 内部を移動した電荷量により決まる。次にこのパルス電圧が立ち下がると、ReRAM を介して C が放電される。C の放電が完了したとき、ReRAM からグラウンド ($V_{pre} = 0$) へ逆向きに移動した電荷量は、パルス電圧の立ち上がりで C に蓄えられた電荷量と同じである。よって、C の充電による ReRAM のコンダクタンスの増加量と同じ量だけ ReRAM のコンダクタンスが減少する。したがって、 V_{pre} のパルス電圧の立ち上がり／立ち下がり前後で ReRAM のコンダクタンスは変化しない。

次に、C が充電された状態で M2 がオンとなった場合を考える。上述と同様、 V_{pre} にパルス電圧が与えらるるとしよう。すると、パルス電圧の立ち上がりで ReRAM を介して C が充電され、ReRAM のコンダクタンスが増加する。この状態で M2 がオンになると、M2 を介して C が放電される。したがって、この後で V_{pre} のパルス電圧が立ち下がると、ReRAM からグラウンド ($V_{pre} = 0$) へ移動する電荷量は充電時の電荷量よりも少なくなる。よって、この放電による ReRAM のコンダクタンスの減少量は、C の充電によるコンダクタンスの増加量よりも少なくなる。その結果、 V_{pre} のパルス電圧の立ち上がり／立ち下がり前後での ReRAM のコンダクタンスが増えることになる。簡単のためこれらのパルスの幅と振幅が一定であるとすれば、このコンダクタンスの増加量は、 V_{pre} と M2 をオンにするパルス (V_{post}) の時間差によって決まる。 V_{pre} および V_{post} の発火タイミングをそれぞれ t_{pre} および t_{post} とすれば、 Δt ($\equiv t_{post} - t_{pre}$) が正のときに、コンダクタンスが増加する。逆に Δt が負のときには、コンダクタンスは変化しない。よって、本デバイスは一般の STDP 特性における $\Delta t > 0$ の領域のみを模擬する。

上記のしくみにより、 V_{pre} および V_{post} の発火タイミングで ReRAM のコンダクタンスを制御できる。ReRAM のコンダクタンスの大きさによって、シナプス後電位 (V_{PSP}) の時定数が変化するわけだが、このシナプス後電位をシナプス後ニューロンが (十分な時間をかけて) 積分すると、その積分値 (= 膜電位) は ReRAM のコンダクタンスに関わらず一定になってしまう。したがって、 V_{PSP} を何らかの形で非線形変換し、その値をシナプス後ニューロンで積分する必要がある。そのために、M1 を用いる。M1 が飽和領域で動作すると、 V_{PSP} の二乗 (V_{PSP} が M1 のしきい電圧以下の場合は $\exp(V_{PSP})$) に比例する I_{PSC} が流れる。よって、このシナプス後電流をシナプス後ニューロンで積分すれば、その膜電位は ReRAM のコンダクタンスによって変化することになる (ReRAM のコンダクタンスが小さければ膜電位の変化量も小さく、コンダクタンスが大きければ変化量も大きい)。

3. 試作デバイスの実験結果

3.1 予備実験

第 1 章の冒頭で述べたように、メモリスタのモデルはメモリ

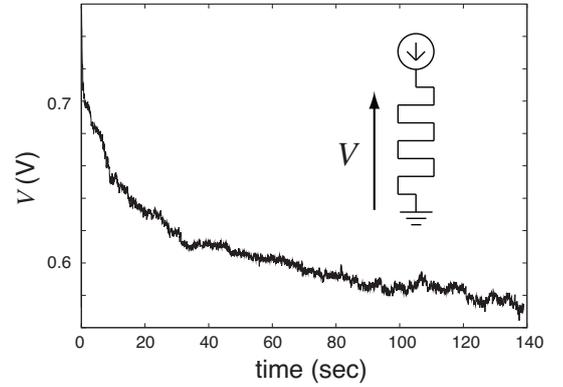


図 3 使用するバイポーラ ReRAM のコンダクタンス変化の検証結果。

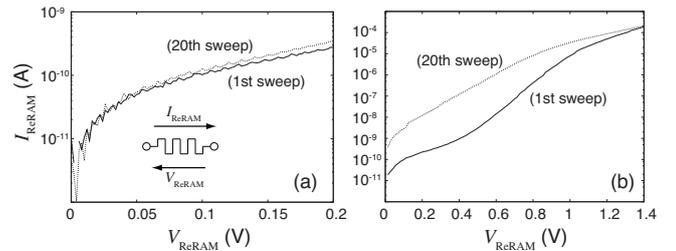


図 4 DC スイープ幅によるコンダクタンスの変化。

スタンス $M(q)$ を用いて表されるが、ここではより直感的に理解しやすい表現

$$i = g(w)v, \quad \frac{dw}{dt} = i, \quad (1)$$

を用いて、使用する ReRAM とモデルの比較を行う。ここで、 v , i はそれぞれメモリスタの両端電圧と電流、 w はメモリスタの内部状態 (メモリスタを介して移動する電荷量に相当する量と考えてもよい)、 $g(w)$ は w に対して単調増加するコンダクタンス関数である [8]。この式が意味することは、メモリスタに電流を流し続ければ w が増加し、それによって $g(w)$ も増加する、ということである。したがって、図 3 内に示すような回路系を組んで ReRAM に電流を流し続ければ、ReRAM がメモリスタのモデルと質的に同じ振る舞いを示すとすれば、ReRAM のコンダクタンスが増加して ReRAM の両端電圧が次第に減少するはずである。半導体パラメータアナライザを用いて微小電流 (10 nA) をバイポーラ型 ReRAM に流し続けてその両端電圧をサンプリングした結果、この両端電圧が時間とともに確かに減少することを確認した (図 3)。

次いで、今回使用する ReRAM のコンダクタンス計測のためのスイープ電圧上限の見積もりを行った。ReRAM のコンダクタンスは ReRAM に流した電流によって変化するため、IV 特性 (コンダクタンス) を計測するために ReRAM に電圧をかけると、そのたびにコンダクタンスが変化してしまう。よって、ReRAM にかける電圧をなるべく低くして計測によるコンダクタンス変化を小さくしたいわけだが、ReRAM にかける電圧が低すぎると今度は雑音が問題となる。そこで、使用する ReRAM のちょうどよいスイープ電圧をあらかじめ見積もっておく必要がある。図 4 に、ReRAM の初期状態から 20 回 DC

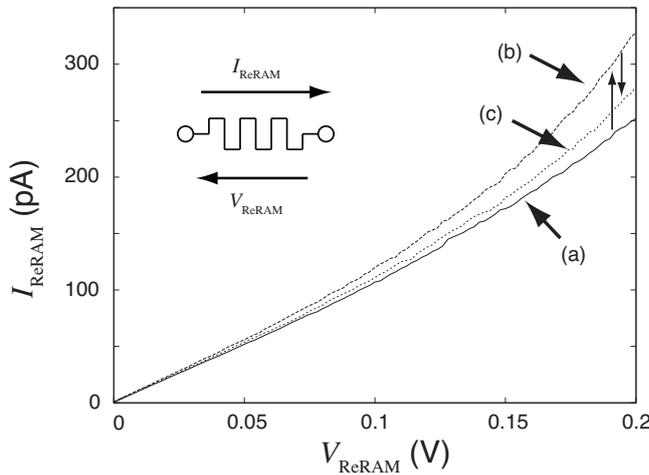


図5 ReRAMの電流の向きによるコンダクタンス増減の検証結果.

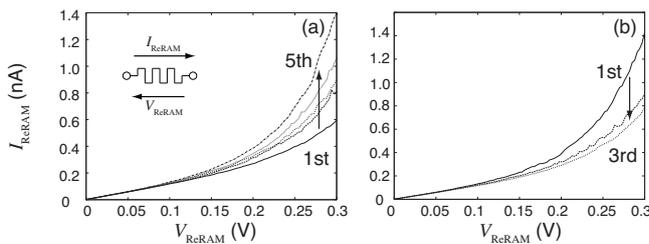


図6 ReRAMの電流の向きによるコンダクタンス増減(複数回).

スイープを行った後のIV特性を示す(半導体パラメータアナライザを使用。スイープ時間: $640 \mu\text{s}$)。図4(a)のスイープ電圧は 0.2 V 、(b)のそれは 1.4 V である。図4(a)では20回DCスイープを行ってもコンダクタンス^(注2)はほとんど変化しなかったが、(b)では20回スイープした後のコンダクタンスは初期状態から大きく変化した。また、スイープ電圧が 0.1 V 程度以下になると、電流の雑音成分が目立つようになる[図4(a)]。よって、計測を行う時にはスイープ幅を 0.2 V 程度とすることが望ましい。

次に、電流の向きによるReRAMのコンダクタンス増減の検証を行った。その結果を図5に示す。この実験ではまず、ReRAMの初期状態におけるIV特性を測定した[図中の(a)]。その後、図中の I_{ReRAM} の矢印の方向に電流パルス(振幅: $10 \mu\text{A}$, パルス幅: $640 \mu\text{s}$)を与え、再度計測を行った結果が図中の(b)である。電流パルスによってコンダクタンスが増加することが確認できた。次に、図中の I_{ReRAM} の矢印とは逆方向に同じ電流パルスを与えた後、再度IV特性を計測した。その結果が図中の(c)である。この電流パルスによりコンダクタンスが減少することが確認できた。ただし、同振幅、同パルス幅の電流パルスを与えたにも関わらず、コンダクタンスはもとの初期状態に戻らず若干増加した。これは使用したReRAMデバイス構造の非対称性によるものと考えられ、対称性の高いナノワイヤ構造のReRAMを用いれば、このコンダクタンスはもとの

(注2): このReRAMのIV特性は非線形であるためコンダクタンスを計算できないが、ここでは簡単のためこのIV特性の微分コンダクタンスをコンダクタンスと呼ぶことにする

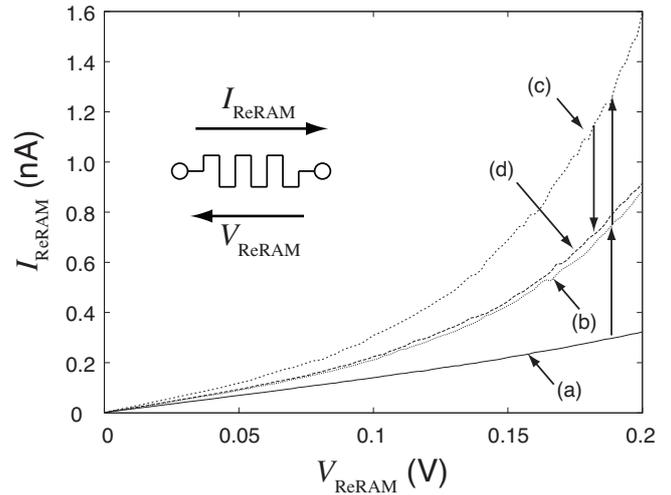


図7 ReRAMの電流の向きによるコンダクタンス増減(非飽和領域).

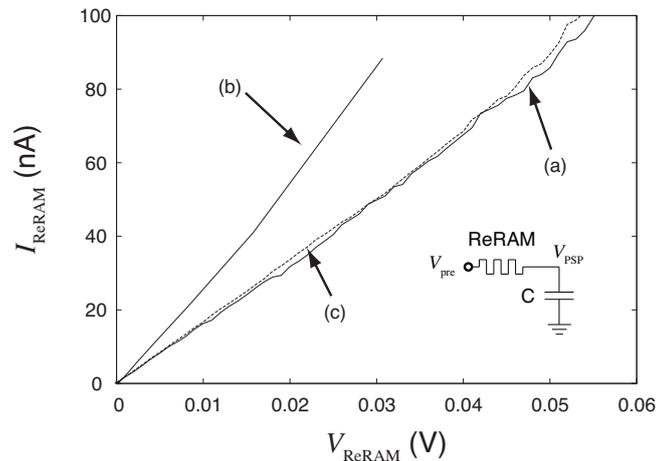


図8 ReRAM-C回路にパルス電圧を与えた場合のReRAMのコンダクタンス変化.

初期状態に戻るものと考えられる。

今回使用するReRAMは、順方向(または逆方向)に十分大きな電流を流すとコンダクタンスが大きな(または小さな)値に固定されてしまう(図5の実験では、最もコンダクタンスが低い状態を初期状態とした)。よって、一回の更新でコンダクタンス値が飽和してしまわないような電流パルスの振幅と幅を見積もる必要がある。そこでまず、図5と同様の実験を複数回繰り返し、その度にIV特性を計測してコンダクタンスの変化を観測した(この実験でも、ReRAMの初期状態のコンダクタンスは最小値となるようあらかじめ設定しておく)。その結果を図6に示す。コンダクタンスを増加[図6(a); 5回スイープ]および減少[(b); 3回スイープ]させる両実験において、コンダクタンス値が飽和することはなかった。よって、振幅 $10 \mu\text{A}$ 、幅 $640 \mu\text{s}$ の電流パルスであれば、一回の更新でコンダクタンス値が飽和することはない。次に、ReRAMの初期状態のコンダクタンスが最小値でない状態からコンダクタンスを増減させた実験結果を図7に示す。図中の(a)が最小コンダクタンス、(b)が中間(非飽和)コンダクタンスである。(b)の状態からさらに

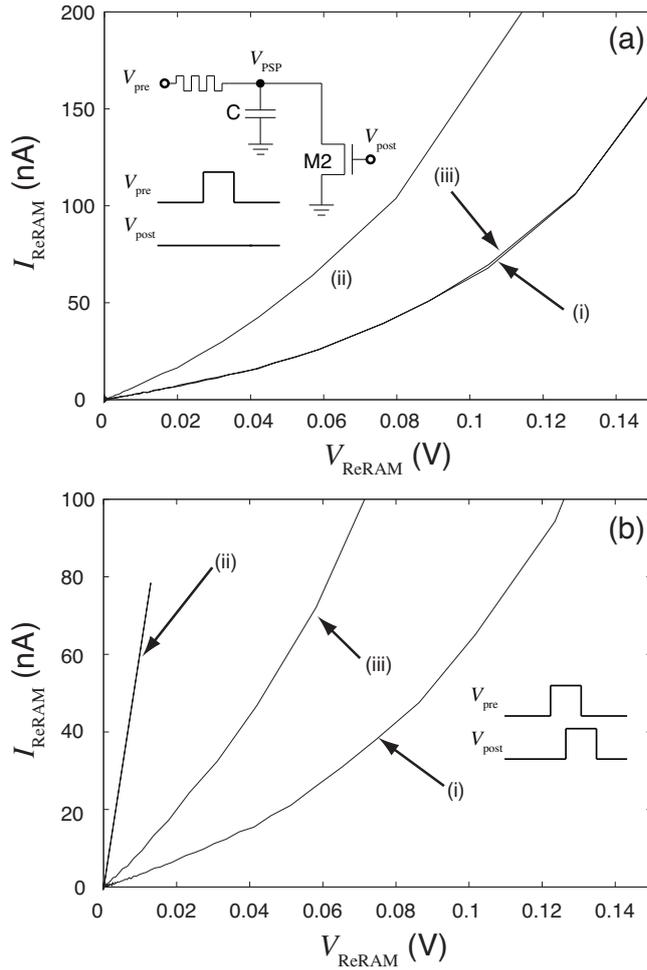


図9 ReRAM-C回路に電荷リークパス (M2) を加えた与えた場合の ReRAM のコンダクタンス変化。

順方向の電流を流してコンダクタンスを増加させた結果が (c)、逆方向に同じ電流を流してコンダクタンスを減少させた結果が (d) である。これより、最小コンダクタンスの状態からでもコンダクタンスの増減が可能であることが確認できた。

3.2 ReRAM を用いた STDP シナプスの実験結果

前節の予備実験により、ReRAM を用いた STDP シナプス回路 (図2) の実験準備が整った。まず、図2の ReRAM-C 回路をボード上に構成し、半導体パラメータアナライザのシールドボックス内で計測を行った。その結果を図8に示す (C は 5 nF)。この実験では、図中の回路の V_{pre} にパルス電圧を与え、そのときの V_{PSP} および C の電流 (グラウンドに相当する電圧源の電流) をパラメータアナライザでサンプリングし、IV 特性を算出した (パルスを与えている最中に IV 特性を直接計測できないため)。この図において、(a) は V_{pre} のパルスが立ち上がる前の IV 特性、(b) はパルスが立ち上がった後の IV 特性、(c) はパルスが達下がった後の IV 特性を表す。これより、 V_{pre} のパルスの前後で、ReRAM のコンダクタンスがほとんど変化しないことが確認できた。

次に、図8中の ReRAM-C 回路にリーク用の nMOS トランジスタ (2SK1398) を付加した回路の実験を行った。その結果を図9に示す。図9(a) では M2 が常にオフであるため、IV

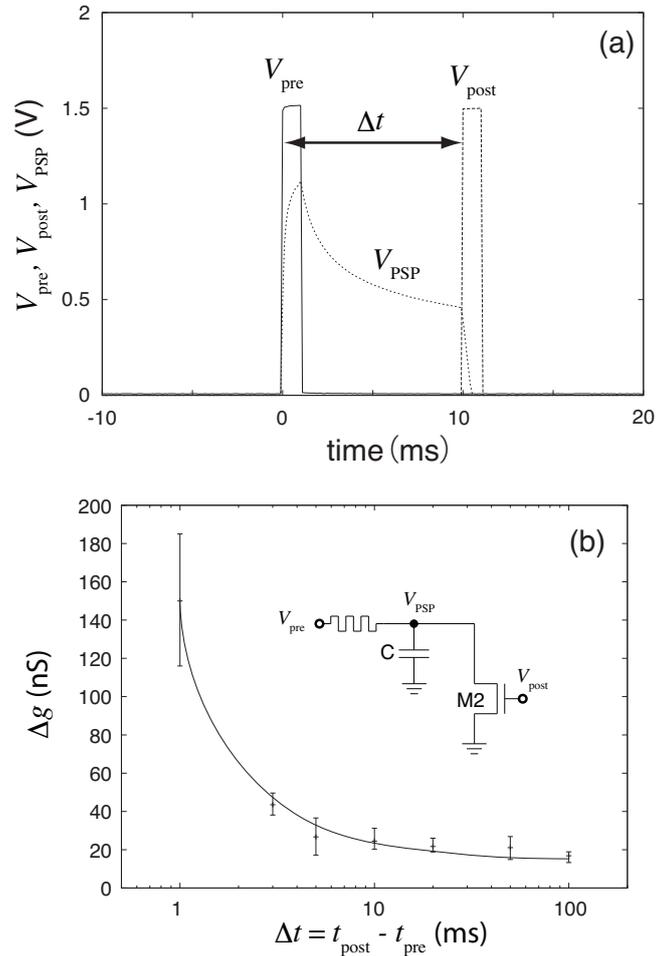


図10 提案 STDP シナプスデバイスの Δg (コンダクタンス変化量) $-\Delta t$ (スパイクタイミング差) 特性。

特性は図8と同じになる (使用した ReRAM と容量 C では、nMOS トランジスタのリーク電流はほぼ無視できる)。図中の (i), (ii), および (iii) は、それぞれ初期状態、 V_{pre} の立ち上がり後、および立ち下がり後の ReRAM の IV 特性である (図8の実験同様、 V_{PSP} と C の電流をサンプリングして算出)。次に、C の充電後に M2 がオンとなるような V_{post} を与える実験を行った。結果を図9(b)に示す。この場合、初期状態 (i) から V_{pre} のパルスの立ち上がりによって一時的に増加したコンダクタンス (ii) は、 V_{pre} の立ち下がり後、初期コンダクタンス (i) に戻らなかった [(iii)]。これらは想定どおりの結果である。

最後に、提案シナプスデバイス (ReRAM-C 回路+M2) の STDP 特性を評価した。図10(a)に示すようなスパイクを V_{pre} , V_{post} に与え (図の例では、 $\Delta t \equiv t_{post} - t_{pre} = 10$ ms, スパイク振幅: 1.5 V, 幅: 1 ms)、そのときの V_{PSP} および C の電流から IV 特性を算出し、その微分コンダクタンスを計算した。その結果を図10(b)に示す。この図より、スパイクタイミング差 (Δt) が小さくなるにつれて、微分コンダクタンスの変化量 (Δg) が増えることが確認できた。ただし、 Δt を十分に大きくしても Δg は 0 に漸近しなかった。この現象は、図8(a)、図9(a)から予測できたことである (V_{pre} のパルスの前後で ReRAM のコンダクタンスは僅かに増加する) が、これは

ReRAM デバイスの構造を対称に設計することで、大幅に改善できる見込みである。

4. ま と め

バイポーラ型の抵抗変化メモリ (ReRAM) を用いて不揮発のアナログ STDP シナプスデバイスを構成した。まず、ReRAM の基本性質がメモリスタのそれと等価であると仮定し、ReRAM, C, および nMOS FET を用いたシナプス回路を設計した。次いで、試作 ReRAM デバイスを用いた実験により、この ReRAM がメモリスタの基本性質—素子に流した電流量によってコンダクタンスが変化する性質—を有することを確認した。さらに、試作 ReRAM デバイスとディスクリート素子 (キャパシタ C と nMOS FET) を組み合わせた回路の実験を行い、i) ReRAM とキャパシタからなる CR 回路にスパイク電圧を与えた場合、スパイク前後で ReRAM のコンダクタンスが変化しないこと、ii) 上記 i) のキャパシタの充放電過程において、キャパシタの電荷を nMOS FET 経由でリークさせることにより、スパイク前後で ReRAM のコンダクタンスが増加することを確認した。最後に、提案シナプス回路にタイミングの異なる二種類のパルス電圧を与えた場合、そのタイミング差に応じてシナプス回路のコンダクタンスが変化することを (シミュレーションではなく) 実デバイスを用いて示した。

提案デバイスは STDP の非因果的な入力領域 ($\Delta t \equiv t_{\text{post}} - t_{\text{pre}} < 0$) を実装していない。この実装のためには、今回の提案シナプス回路を差動で構成すればよい。また、シナプス後電圧を非線形変換したシナプス後電流の積分回路についてはまだ実験で確認をしていないが、この非線形変換の有用性は自明である。

提案回路における容量 C をどのくらいまで小さくできるかが本提案回路のネックとなるだろう。現在は原理確認のために比較的大きな容量 (5 nF) を用いているが、その集積実装は容易ではない。よって、この容量の下限を見積もることが急務と言える。

謝 辞

本研究の一部は文部科学省 新学術領域「分子ナノシステムの創発化学」(20111004) を受けて実施したものです。

文 献

- [1] Y. Kanazawa, T. Asai, M. Ikebe, and Y. Amemiya, "A novel CMOS circuit for depressing synapse and its application to contrast-invariant pattern classification and synchrony detection," *Int. J. Robotics and Automation*, vol. 19, no. 4, pp. 206–212, 2004.
- [2] H. Tanakaa, T. Moriea, and K. Aihara, "A CMOS circuit for STDP with a symmetric time window," *Brain-Inspired IT III*, K. Natsume, A. Hanazawa, and T. Miki, Eds., International Congress Series, vol. 1301, pp. 152–155, Elsevier, Netherlands, 2007.
- [3] 清水 亮, 佐伯 勝敏, 関根 好文, "時系列パターンを保持可能な STDP を有するパルス形ハードウェアニューラルネットワーク," 電気学会論文誌 C, vol. 129, no. 7, pp. 1198–1204, 2009.
- [4] K. Nakajima, S. Sato, T. Kitaura, J. Murota, and Y. Sawada, "Hardware implementation of new analog memory for neural networks," *IEICE Trans. Electron.*, vol. E78-C, no. 1, pp. 101–105, 1995.
- [5] C. Diorio, P. Hasler, B. Minch, and C. Mead, "Floating-gate MOS synapse transistors," *Neuromorphic Systems Engineering*, The Kluwer International Series in Engineering and Computer Science, vol. 447, no. IV, pp. 315–337, 1998.
- [6] S. Kinoshita, T. Morie, M. Nagata, and A. Iwata, "A PWM analog memory programming circuit for floating-gate MOS-FETs with 75- μ s programming time and 11-bit updating resolution," *IEEE J. Solid-State Circuits*, vol. 36, no. 8, pp. 1286–1290, 2001.
- [7] L.O. Chua, "Memristor - the missing circuit element," *IEEE Trans. Circuit Theory*, vol. 18, pp. 507–519, 1971.
- [8] D.B. Strukov, G.S. Snider, D.R. Stewart, and R.S. Williams, "The missing memristor found," *Nature*, vol. 453, no. 1, pp. 80–83, 2008.
- [9] 雨宮 好仁, 高橋 庸夫, "磁束と電荷を結ぶ新しい機能デバイスの開拓," 電子情報通信学会技術研究報告. SDM, シリコン材料・デバイス vol. 108(438), pp. 69–74, 2009.
- [10] B. Linares-Barranco and T. Serrano-Gotarredona, "Memristance can explain Spike-Time-Dependent-Plasticity in Neural Synapses," *Nature Precedings*, <http://hdl.handle.net/10101/npre.2009.3010.1>, 2009.
- [11] S.H. Jo, T. Chang, I. Ebong, B.B. Bhadviya, P. Mazumder and W. Lu, "Nanoscale memristor device as synapse in neuromorphic systems," *Nano Letters*, vol. 10, no. 4, pp. 1297–1301, 2010.
- [12] G.S. Snider, "Self-organized computation with unreliable, memristive nanodevices," *Nanotechnology*, vol. 18, no. 36, 365202, 2007.