

# 抵抗変化型メモリをシナプスとして利用した ニューラルネット集積回路に関する考察 Towards neural-network integrated circuits exploiting resistive-RAM-based synaptic devices

赤穂伸雄 (PY)<sup>†</sup>, 浅井哲也<sup>†</sup>, 柳田 剛<sup>‡</sup>, 川合知二<sup>‡</sup>, 雨宮好仁<sup>†</sup>

Nobuo Akou(PY), Tetsuya Asai, Takeshi Yanagida, Tomoji Kawai, and Yoshihito Amemiya

<sup>†</sup> 北海道大学大学院情報科学研究科

<sup>‡</sup> 大阪大学産業科学研究所産業科学ナノテクノロジーセンター  
akou@lalsie.ist.hokudai.ac.jp

**Abstract**— We propose a possible conceptual LSI architecture for neural networks using resistive-random-access memory (ReRAM) devices. Because ReRAMs electrically act as resistors, and they can preserve the resistance according to the amount of the current flows, one may replace conventional synaptic devices with ReRAM synaptic devices. In this paper, to simulate possible neural network circuits, we propose a behavioral SPICE model of unipolar ReRAMs, and then show examples of possible LSI structures for Hopfield-type and multi-layer neural networks exploiting a conventional 3D LSI technology and cross-bar wiring circuits built with unipolar ReRAMs.

**Keywords**— ReRAM, neural network LSI

## 1 まえがき

近年、不揮発性メモリの大容量化を目指した抵抗変化型メモリ (ReRAM) の研究が盛んに行われている [1]。この素子は電気的には抵抗素子であるが、その抵抗値の書き換え (記憶) が可能である。ニューラルネットワークハードウェアにおいてニューロン回路間を結合するシナプス回路は通常は抵抗 (等価) 素子で構成されるが、その抵抗値は学習に応じて書き換える必要がある。従来の抵抗素子の代わりに ReRAM を用いれば、より直接的にシナプスの役割を果たせそうである。現在、ReRAM 構造を用いた基本的なシナプスデバイス (シナプス単体) に関する研究報告 [2] があるものの、それらを多数組み合わせたネットワーク規模の回路に関する報告はされていない。そこで本研究では相互結合型ネットワークおよび多層ネットワークを取り上げ、ReRAM を用いてネットワークを組む方法について考察する。

## 2 抵抗変化型メモリ (ReRAM)

本研究の対象とする ReRAM (ユニポーラ型) は酸化薄膜を金属で挟んだ構造を持つ (図 1a)。この ReRAM の金属端子間は初期状態では絶縁されている。この金属端子間に電圧 ( $V_{TH}$ ) をかけると端子間にフィラメントと呼ばれる電流パスが形成され、絶縁状態 (OFF) から抵抗状態 (ON) に変化すると考えられている。測定時には ON 状態になった時の最大電流を制限する必要がある。この制限電流をコンプライアンス電流 ( $I_C$ ) と呼び、 $I_C$  の大きさによって記憶する抵抗値が決まる。ReRAM が ON 状態にある時に  $I_C$  より高い電流 ( $I_{TH}$ ) を流すとフィラメントが切れ、OFF 状態に戻ると考えられている [1] (図 1b)。

## 3 ReRAM の簡易 SPICE モデル

ReRAM を用いたニューラルネットワーク LSI を設計する場合、SPICE シミュレーションのための ReRAM

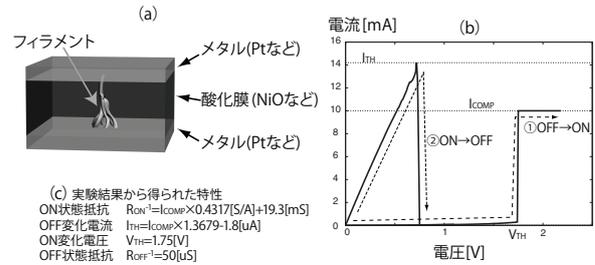


図 1: ユニポーラ ReRAM の構造と特性

の等価モデルが必要となる。本章では、ReRAM のロジック動作を取り入れた等価回路を提案する。

ReRAM は電気的には抵抗素子であるため、ReRAM の両端子間をオームの法則 (状態に応じて抵抗値が変化) を満たす電流源  $I_R$  で表すことを考える (図 2b)。

ReRAM のロジックメモリ動作を模擬するために双安定の系を用いる。図 2a に双安定な力学系ポテンシャルの例を示す。簡単のためこの関数を  $U = x^4 - x^2$  と置く。このポテンシャルを持つ系が安定状態であるためには、系のダイナミクス ( $\frac{dx}{dt}$ ) がリアプノフの式  $\frac{\partial U}{\partial t} = \frac{\partial U}{\partial x} \frac{dx}{dt} \leq 0$  を満たせばよい。よって、 $\frac{dx}{dt} = -\frac{\partial U}{\partial x} = -x^3 + 3x$  を得る。この系を SPICE に組み込むため、上式と相似な系を電子回路で構成する。左辺の微分項にはキャパシタ  $C_1$  を用い ( $x$  は  $C_1$  にかかる電圧  $V_{C1}$  に対応)、右辺には 3 次式を満たす非線形電流源  $I_1$  を用いる (図 2c)。

ReRAM の ON 抵抗は上述の通り  $I_C$  の大きさで決まるため、OFF → ON 時の  $I_C$  の値を保持する必要がある。そのために電流を保持するインダクタ  $L_1$  を用いる。 $L_1$  が保持する電流が  $I_C$  に等しくなるまで参照電圧を積分するために、電流制御電圧源  $V_1$  を用いる (図 2d)。

ReRAM の抵抗値は OFF → ON 時に急減少するため、この変化時に ON → OFF 変化の条件を満たしてしまうと系が不安定になる。従って OFF → ON 判定を行う回路素子にヒステリシスを持たせるか、判定結果 ( $V_{C1}$ ) を短時間保持する機構が必要となる。本稿では簡単のため CR 遅延回路を用いる (図 2e)。ただし、 $V_{C1}$  を  $C_1$  に直接繋げると双安定系のダイナミクスの動作を妨げるため、電圧制御電圧源  $V_2$  を介して抵抗  $R_1$  とキャパシタ  $C_2$  を繋げる ( $V_{C1}$  の遅延電圧は  $V_{C2}$  に現れる)。

先に述べたように、OFF → ON 時における  $I_C$  は保持する必要がある。この電流を確定するために、 $V_{C2}$  の変化に対して遅れて変化する電圧  $V_{C3}$  を作り、 $V_{C3}$  が OFF 状態のときに  $V_1$  を動作させる (つまり、 $L_1$  が保持する電流が  $I_C$  に等しくなるまで参照電圧を出力させる)。この遅れもまた CR 回路で構成する (図 2e)。

OFF 状態にある ReRAM は両端子間の電圧が  $V_{TH}$  以

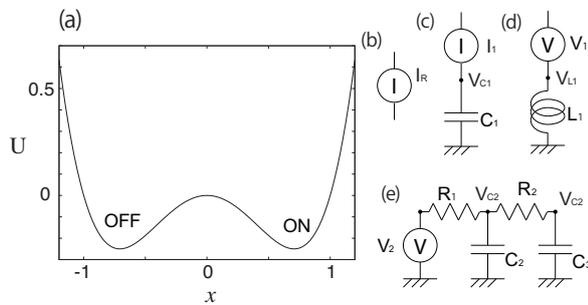


図 2: 二つの安定点を持つ系と等価回路図

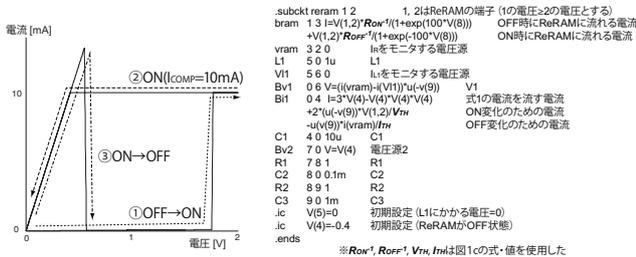


図 3: シミュレーション結果と SPICE コード

上になると ON 状態に変化する。この時に、モデルの安定点を移動させる必要がある。そのために、両端子間の電圧が  $V_{TH}$  以上になったとき、 $C_1$  を充電する。逆に、ON 状態にある ReRAM は両端子間の電流が  $I_{TH}$  以上になると OFF 状態に変化する。この時も安定点を移動させる必要がある。そのために、両端子間の電圧が  $I_{TH}$  以上になったとき、 $C_1$  を放電する。

提案モデルの動作を確認するため、ReRAM の状態が OFF ON OFF と変化する様なシミュレーションを行った。TiO<sub>2</sub> 薄膜素子を使った実験結果および特性式 (図 1c) を用い、OFF から ON 状態に変化するときに  $I_C (= 10\text{mA})$  で電流を制限した。その結果、図 3 左の IV 特性を得た。この SPICE コードを図 3 右に示す。実デバイスの測定結果から、 $I_C$ -ON 抵抗値特性、 $I_C$ - $I_{TH}$  特性、 $V_{TH}$ 、OFF 抵抗値が読み取れば、それらを SPICE コードに与える事で本モデルが利用できる。

#### 4 ReRAM を用いたニューラルネットワーク LSI

本章では、ReRAM を用いた相互結合型ニューラルネットワーク (例: Hopfield Network) およびマルチレイヤーネットワークの構成案を示す。

ReRAM を用いた相互結合型ネットワークの基本構成を図 4 に示す。酸化薄膜を金属配線のクロスバーで挟む事により、各交差点に ReRAM が構成される。上層、下層の金属配線をそれぞれ軸索、樹状突起の配線とすれば、各交差点の ReRAM はシナプスとなる。この構成では、各軸索が ReRAM を通して全ての樹状突起につながるため、相互結合型ネットワークが構成できる。

図 5 左上にマルチレイヤー (3 レイヤー) ネットワークの例を示す。この配線構造を「配線が絡まらないように」三次元に焼き直した構造を図 5 右上に示す。図中の四角はニューロンを表し、抵抗はシナプスを表す。この構造を具体化するために、三次元 LSI 技術 [3] が利用できそうである。その構成案を図 5 左下に示す。三次元 LSI は、二次元チップを接着剤で重ね合わせる事により作製される。二次元チップ間を垂直に配線する必要が出てくるが、この配線は基板を貫通する垂直配線と接着部分を導通するマイクロバンプによりつくられる [3]。提案する三次元 LSI は、ニューロン層 (第 1,3,5 層) と、

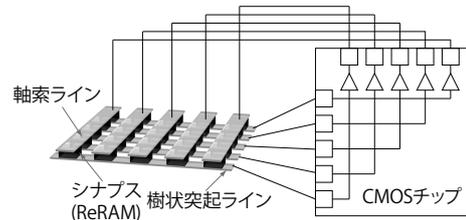


図 4: 相互結合型ネットワークの構成案

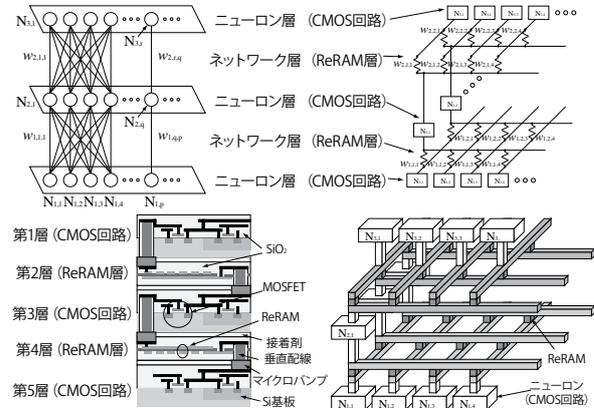


図 5: マルチレイヤーネットワークの構成案

シナプス (ネットワーク) 層 (第 2,4 層) にわけられる (図 5 左下)。ニューロン層は、しきい演算、読み出し、書き込み、および ReRAM の抵抗値書き換え信号を生成する CMOS LSI の層である。ネットワーク層は、クロスバー配線と ReRAM 層からなる。この LSI の内部構造を三次元的に表すと図 5 右下のようになる。この構造では、軸索ラインと樹状突起ラインが垂直に配置され、ネットワーク層の上下でニューロンの並びが 90 度回転する。よって、提案したクロスバー構造を用いれば、マルチレイヤーネットワークのシナプス配線を絡ませることなく、回路 (デバイス) を構成できる。

3 章で示した ReRAM 等価回路を用いることにより、上記のニューラルネットワークの回路シミュレーションを行うことができる。これまで、Hopfield network を例にとって、予備的な回路シミュレーションを行ってきた。その結果、学習をする際 (Hopfield network の場合は記憶パターンを結合に埋め込む際) に、回路的な工夫が必要となることがわかってきた。具体的には、図 4, 5 右下に示す ReRAM のクロスバー構造では、ある特定の ReRAM (シナプス) の抵抗値を書き換えるための回路上の工夫が必要である (多数の ReRAM が軸索、樹状突起ラインを共有しているため、所望の ReRAM 以外の ReRAM の抵抗値も書きかわってしまう恐れがある)。この問題は、書き込み回路のアーキテクチャ上の工夫、または ReRAM のデバイス的な工夫 (3 端子化) により解決出来る見込みがある。

#### 参考文献

- [1] A. Sawa (2008) "Resistive switching in transition metal oxides." *Materials Today*, **11**(6), 28-36.
- [2] Y. Sasago, et. al, (2008) Proceedings of the 214th ECS Meeting, Abs# 2116.
- [3] H. Kikuchi, et. al, (2008) *Japanese Journal of Applied Physics* **47**(4), 2801-2806