

単電子回路による多数決論理デバイス

A Majority-Logic Device Using a Balanced Pair of Single-Electron Boxes

北海道大学 工学部* / 量子集積エレクトロニクス研究センター**

大矢剛嗣* 浅井哲也* 福井孝志** 雨宮好仁*

Hokkaido University, Department of Electrical Engineering* & RC IQE**

Ooya Takahide*, Asai Tetsuya*, Fukui Takashi**, Amemiya Yoshihito*

あらまし 単電子回路を用いた多数決論理デバイスを提案する。二つの単電子箱を結合した対回路を多数決ゲートとして使用する。このゲートは入力信号によって生じる不均衡を利用して多数決論理を出力する。ゲートデバイスと応用回路の動作をシミュレーション上で示すとともに、選択成長を利用したデバイス製作プロセスを提案する。

多数決論理ゲート ゲートデバイスを図1に示す。単電子箱(C_L - C_j)を二つ接続して対にする。この対回路のノード1とノード2の電位を励起電圧 V_{dd} の関数として図2に示す。 V_{dd} が二つのしきい値 V_1 と V_2 の間にあるとき、接地点からノード1とノード2のいずれかに電子がトンネルして安定する。それに対応して両ノードの電位が正と負に分かれる。ゲートの出力は、入力(論理1は正電圧、論理0は負電圧)の多数決に応じた理論値をとる。

ゲートの製作方法 本ゲートは図3(a)の単位要素を二つ結合したものである。単位要素をつくるためには、図3(b)のような「四つの結合枝をもつ微小ドット(ナノドット)を形成すればよい。そのためのプロセスとして、有機金属気相選択成長法*に基づく作成方法を開発中である。第一段階として、GaAs基板上の絶縁膜の上にGaAsナノドットを配列する事に成功している(図4, 図5)。

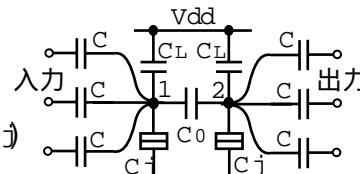


図1 多数決ゲート

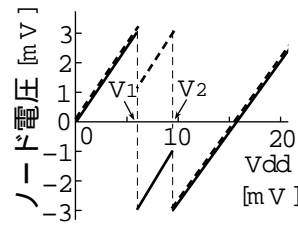


図2 対回路のノード電圧 (実線と点線)

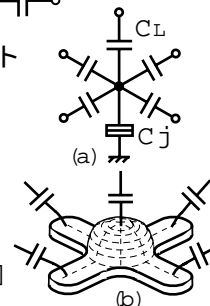


図3 単位要素 (ナノドット)

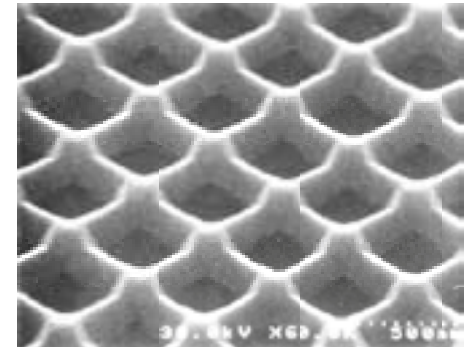


図4 ナノドットの集積配列(SEM写真)

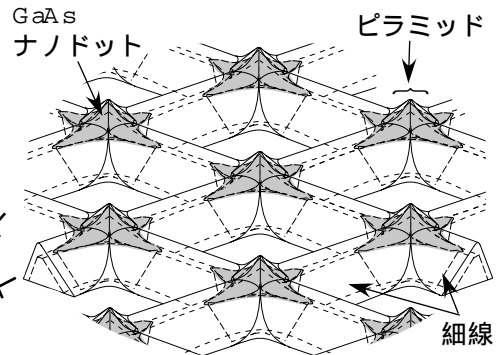


図5 ナノドット配列の拡大模式図 (灰色がGaAsナノドット;他はAlGaAs)

* K. Kuwamura, J. Motohisa, and T. Fukui, J. Crystal Growth, 170, pp. 700-704 (1997).