

# サブスレッショルド CMOS 演算増幅器による 大容量キャパシタ等価素子

## Large-capacitance devices consisting of subthreshold CMOS operational amplifiers

飯田 智貴

浅井 哲也

雨宮 好仁

北海道大学大学院 情報科学研究科

Tomoki IIDA

Tetsuya ASAI

Yoshihito AMEMIYA

Department of Electrical Engineering, Hokkaido University

### 1. はじめに

集積回路では一般にデバイスの小面積化と高集積化が求められる。しかし容量と抵抗はそれらの値に比例して素子面積が大きくなるので、大容量キャパシタや高抵抗素子は集積化が困難である。しかし、回路を構成する上では、大容量や高抵抗をチップ上で使用できれば便利ことが多い。ここでは大容量キャパシタの動作を MOSFET 回路で等価的に実現することを考える。大容量を小面積 MOSFET 回路に置き換えることができるならば、従来は外部に接続していたキャパシタをチップ上に搭載できるので回路構成が簡単になる。

ここでは、サブスレッショルド領域で動作する MOSFET 回路を使用する。サブスレッショルド回路は動作電流が微小なので非常に大きな時定数を持つ。本研究では、これを利用して大容量キャパシタの動作を模擬する方法を検討する。次節以下では、初めにサブスレッショルド CMOS 演算増幅器が大きい時定数を持つことを示す。次に、それを大容量キャパシタの代わりに用いる例として、多段増幅器の段間結合、高利得増幅器のオフセット補償、およびレベルシフト回路について示す。実際に回路を試作した結果についても述べる。最後に、サブスレッショルド CMOS 演算増幅器を駆動するための微小電流の発生方法を説明する。

### 2. サブスレッショルド CMOS 演算増幅器による大容量キャパシタの等価動作

本研究で用いたサブスレッショルド CMOS 演算増幅器の回路構成を図 1(a) に示す。この演算増幅器は差動入力段と利得段（ソース接地増幅器）からなる 2 段構成であり、初段の差動回路を数 nA 以下のテイル電流  $I_0$  で駆動する。したがって差動回路の MOSFET はサブスレッショルド領域で動作する。なお後段のソース接地増幅器は通常の電流値

( $I_1, I_2 = 10\text{--}100 \mu\text{A}$ ) で動かす。差動回路の電流が微小なので、この演算増幅器は非常に大きい時定数を有する。そのため等価的には大きな CR 時定数を持つ積分回路のように動作する。

図 1(b) にサブスレッショルド CMOS 演算増幅器の周波数特性の例を示す。設計には  $0.35 \mu\text{m}$ -2P-4M CMOS パラメータを使用した。図は差動回路のテイル電流  $I_0 = 0.1 \text{ nA}$ 、位相補償容量  $C = 10 \text{ pF}$ 、 $I_1 = I_2 = 10 \mu\text{A}$  としたときのシミュレーション結果である。利得の  $-3 \text{ dB}$  遮断周波数は  $270 \mu\text{Hz}$ 、ユニティゲイン周波数  $32 \text{ Hz}$ 、スルーレート  $12 \mu\text{V}/\mu\text{s}$  であった。

### 3. 等価的大容量キャパシタの応用

サブスレッショルド CMOS 演算増幅器を大容量キャパシタに代用する例として、多段増幅器の段間結合、高利得増幅器のオフセット補償、およびレベルシフト回路について述べる。

#### 3.1 多段増幅器の段間結合

増幅器を多段接続することで、1 段の増幅器では得られない高利得を得ることができる。しかし、前段増幅器の出力直流レベルと次段増幅器の入力バイアスレベルは必ずしも一致しないため、直接に接続すると正常に動作しないことが多い。そのため、増幅器の出力と入力の間には図 2(a) のように直流成分を遮断する段間結合キャパシタ  $C$  が必要である。低い周波数の入力信号まで増幅したいとき、増幅器の段間接続には大容量キャパシタが必要となる。それをサブスレッショルド CMOS 演算増幅器によって図 2(b) のように置き換えることができる。サブスレッショルド CMOS 演算増幅器は図 2(a) の結合容量  $C$  とバイアス抵抗  $R_1, R_2$  の役割を代用している。

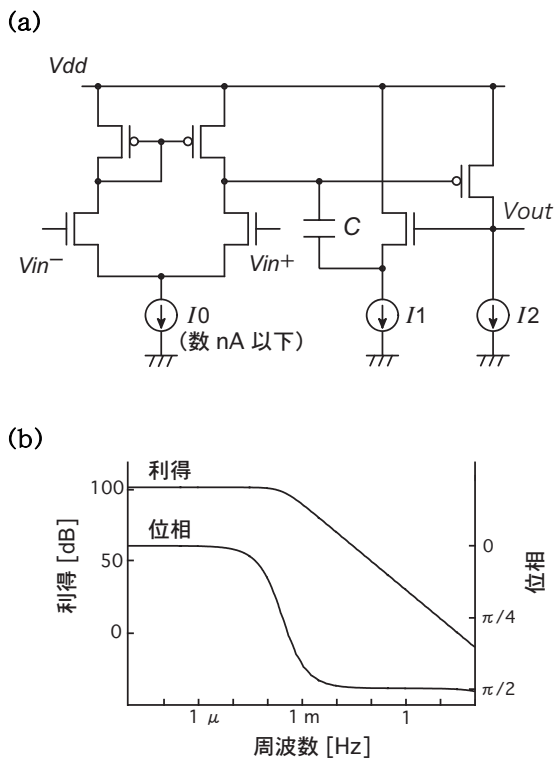


図1: サブスレッショルド CMOS 演算増幅器  
 (a) 回路の構成  
 (b) 利得と位相の周波数特性例 (シミュレーション)

この回路は次のように動作する。M1 にバイアス電流  $I_{ref}$  を流してバイアス電圧  $V_b$  を発生させる。その  $V_b$  をサブスレッショルド CMOS 演算増幅器の反転入力とする。演算増幅器のフィードバック作用により、直流レベルでは増幅器の各段の入力電圧と出力電圧が  $V_b$  に固定される。したがって各段は支障なく直結され、かつ各段には電流  $I_{ref}$  が流れる。この多段増幅器は、入力  $V_{in}$  が直流～低周波のときには入出力電位が固定されて増幅作用がない。しかしサブスレッショルド CMOS 演算増幅器の時定数が大きいので、中～高周波では入出力電位が自由に変化できる。したがって入力信号  $V_{in}$  は正常に増幅される。

図2(c)にこの回路の周波数特性シミュレーションを示す。サブスレッショルド CMOS 演算増幅器の動作により信号の直流～低周波成分が遮断され、次段増幅器の適切な入力バイアスレベルに設定されるため多段増幅器として正常に動作する。1段で 40 dB の利得をもつソース接地増幅器を用い、これを 3 段接続することで 120 dB の高利得を得ることができる。

### 3.2 高利得増幅器のオフセット補償

高利得の増幅器は、入力信号の直流オフセットや入力部の

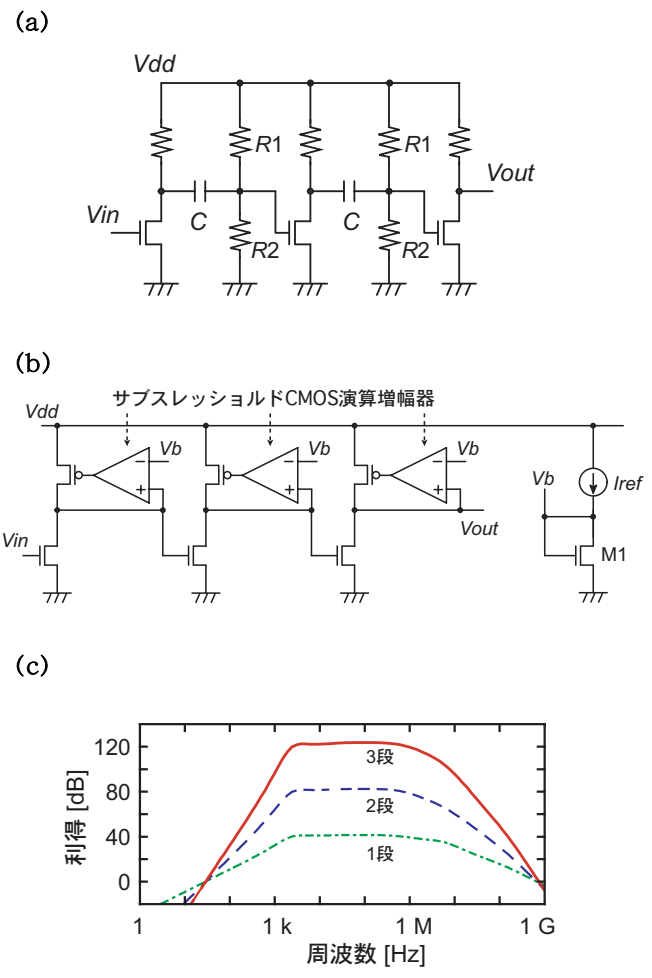


図2: 多段増幅器の段間結合  
 (a) キャパシタ結合による多段増幅器  
 (b) サブスレッショルド CMOS 演算増幅器で結合した多段増幅器  
 (c) 小信号利得の周波数特性 (シミュレーション)

差動 MOS FET 対のしきい値 mismatch があると、出力が動作範囲を超え飽和して (振り切れて) 動作しなくなる。この出力飽和をサブスレッショルド CMOS 演算増幅器によって回避し、増幅器の高利得をそのまま利用することを考えた。図3(a)にその例を示す。カスコード差動増幅器に適用した例である。増幅器の差動出力を二つのサブスレッショルド CMOS 演算増幅器によるフィードバックで設定電位  $V_{CM}$  に固定する。サブスレッショルド CMOS 演算増幅器の時定数が大きいので、出力が  $V_{CM}$  に固定されるのは直流～低周波の範囲に限られる。中～高周波では通常のカスコード差動増幅器として動作する。

この増幅器の周波数特性をシミュレーションして図3(b)に示す ( $I_0 = 200 \mu A$ )。1 kHz 以下の周波数で利得が低下

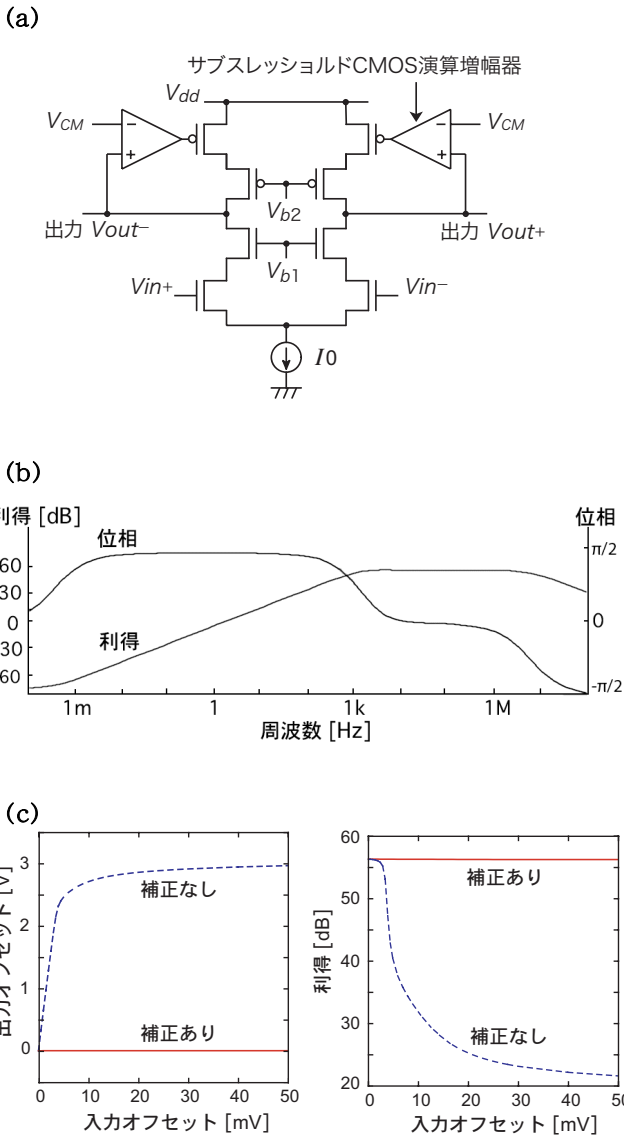


図3：高利得増幅器のオフセット補償  
 (a) カスコード差動増幅器への適用  
 (b) 小信号での周波数特性 (シミュレーション)  
 (c) 入力オフセットが出力オフセットと利得に与える影響 (シミュレーション)

するため、直流成分である入力信号のオフセット電圧やそのドリフトの影響を除去できる。また入力 MOSFET 対にしきい値ミスマッチがあっても出力オフセットには影響せず、高利得の増幅器として正常に動作する。

図3(c)には入力オフセット (入力信号のオフセット, または入力 MOSFET 対のしきい値ミスマッチ) が出力と利得に与える影響を示す。入力信号の周波数を 100 kHz としてシミュレーションを行った。図で「補正あり」は図3(a)の回路の特性を示す。一方「補正なし」は、図3(a)の回路で

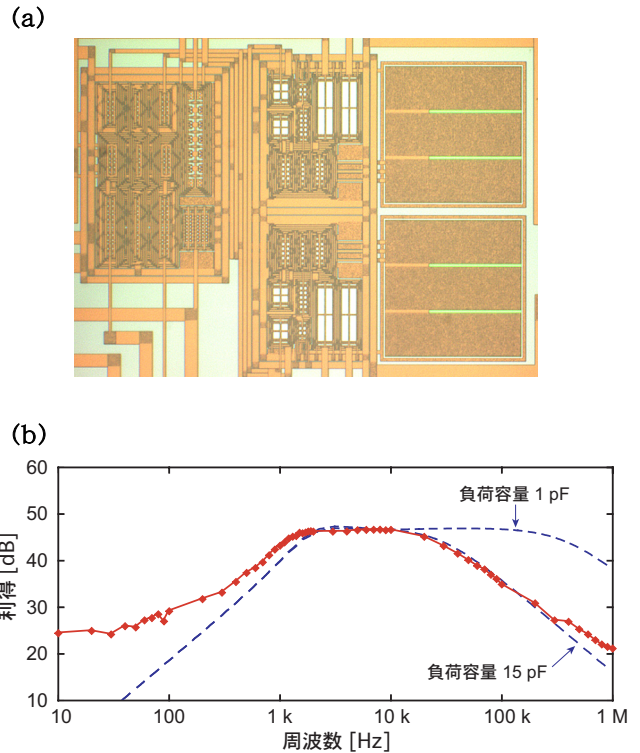


図4：オフセット補償つきカスコード差動増幅器の試作  
 (a) チップ写真 (250  $\mu\text{m} \times 350 \mu\text{m}$ )  
 (0.35  $\mu\text{m}$ -2P-4M CMOS プロセスによる)  
 (b) 小信号利得の周波数特性 (点線はシミュレーション)

サブスレッショルド CMOS 演算増幅器を除去し、かつ負荷 pMOSFET のゲートに適切なバイアス電位を与えて差動入力ゼロでの出力電圧  $V_{out+}$  と  $V_{out-}$  を  $V_{CM}$  と等しくなるようにしたときの特性である。補正なし回路は直流でも利得があるので、入力オフセット電圧があるとその増幅率倍で出力オフセット電圧が現れる。そして、入力オフセット電圧が大きくなると出力が飽和して利得が激減し、正常には動作しなくなる。これに対して補正あり回路は、入力オフセットがあっても出力オフセットは発生しない。したがって出力飽和や利得低下がなく高利得の増幅器として正常に動作する。

図3(a)に示した増幅器の試作を行った(0.35  $\mu\text{m}$ -2P-4M CMOS プロセスを使用)。チップ写真を図4(a)に示す。回路面積は縦 250  $\mu\text{m} \times$  横 350  $\mu\text{m}$  であった。この増幅器の周波数特性の測定結果を図4(b)に示す。測定条件は電源電圧  $V_{dd} = 3\text{V}$ 、基準電位  $V_{CM} = 1.5\text{V}$ 、入力の同相電位 = 1V とおいた。利得の -3 dB 遮断周波数は 1 kHz であり、それより低周波側では利得が低下する。この特性により、信号の直流成分 (入力オフセット電圧, 入力 MOSFET 対のしきい値ミスマッチなど) とそのドリフト変動の影響を除去することができる。図中の破線は負荷容量を 15 pF (測定プローブ

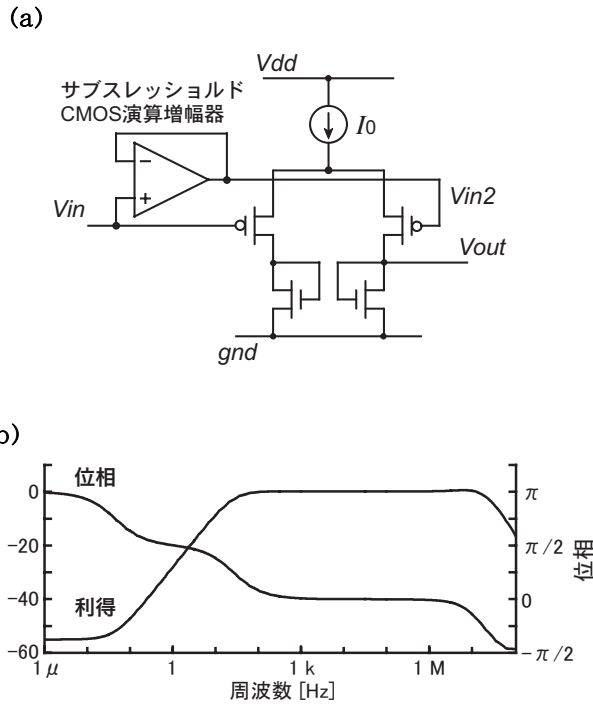


図5：レベルシフト回路

- (a) 回路の構成  
(b) 小信号での周波数特性 (シミュレーション)

の値) および 1 pF としたときのシミュレーション結果を示す。シミュレーション値と比較して、低周波における利得の低下が不十分である。その原因について現在検討している。

### 3.3 レベルシフト回路

異なる直流電位のノード間で交流信号を伝達したいとき、普通はキャパシタによるレベルシフト回路で直流分を遮断してノード間を接続する。このレベルシフトをサブスレッショルド CMOS 演算増幅器によって行うことを考えた。そのレベルシフト回路を図5(a)に示す。この回路はサブスレッショルド CMOS 演算増幅器のボルテージフォロワとダイオード接続負荷の差動回路からなり、入出力間で信号の直流電圧レベルの変換を行う。すなわち、入力電圧  $V_{in}$  の直流電圧レベルにかかわらず、出力電圧  $V_{out}$  の直流電圧レベルは一定値 (テイル電流  $I_0$  の半分をダイオード接続 MOSFET に流したときの電圧値) となる。

この回路は次のように動作する。回路の入力  $V_{in}$  が直流～低周波であれば、ボルテージフォロワが動作し  $V_{in2}$  は  $V_{in}$  に追従して  $V_{in2} = V_{in}$  となる。したがって出力電圧  $V_{out}$  は変化しない。つまり入力の直流電位は出力に現れない。一方、 $V_{in}$  が中～高周波ではボルテージフォロワの動作が追従

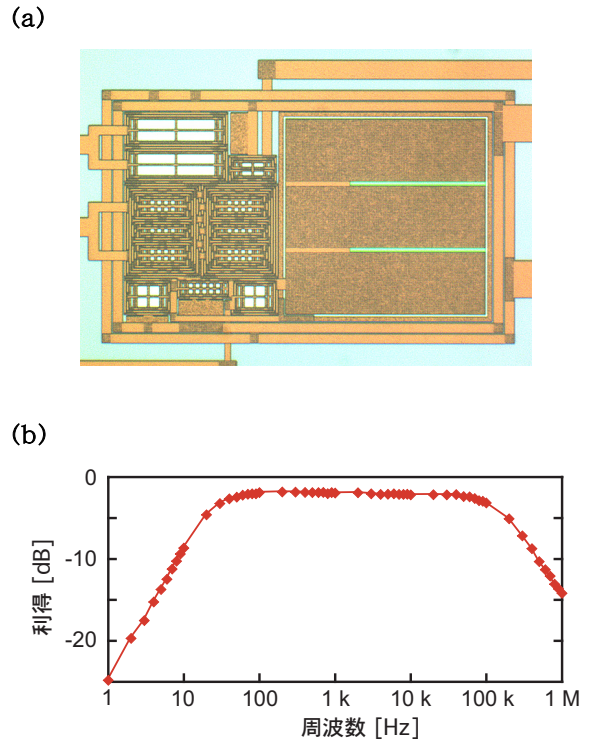


図6：レベルシフト回路の試作

- (a) チップ写真 (140  $\mu\text{m}$   $\times$  220  $\mu\text{m}$ )  
(0.35  $\mu\text{m}$ -2P-4M CMOS プロセスによる)  
(b) 小信号利得の周波数特性

せず、 $V_{in2}$  は変化しなくなる。そのため  $V_{out}$  には入力  $V_{in}$  の交流成分がそのまま出力される。

この回路の周波数特性シミュレーションを図5(b)に示す ( $I_0 = 10 \mu\text{A}$ )。設計には 0.35  $\mu\text{m}$ -2P-4M CMOS パラメータを使用した。低周波側では利得が低下し、入力信号の直流～低周波成分は抑制される。一方、中～高周波では利得が一定 (0 dB) なので、信号の高周波成分は通過する。したがって、この回路を使うと信号の直流成分を遮断し直流電圧レベルの変換を行うことができる。

図5(a)のレベルシフト回路の試作も行った (オフセット補償回路と同じく 0.35  $\mu\text{m}$ -2P-4M CMOS プロセス)。図6(a)はそのチップ写真である。回路面積は縦 140  $\mu\text{m}$   $\times$  横 220  $\mu\text{m}$  となった。

図6(b)に小信号利得の周波数特性を示す。測定条件は電源電圧  $V_{dd} = 3 \text{ V}$ 、入力直流電位 = 1 V とおいた。利得の -3 dB 遮断周波数は 20 Hz であり、それより低周波側では利得が低下するので、入力信号の直流成分が遮断される。なお、入力直流電位が 0.3~1.7 V の範囲で同じ周波数特性が得られた。したがって、この回路を使うと入出力間で直流電圧レベルのシフトを行うことができる。

## 4. 微小電流の発生回路

### 4.1 分周による微小電流の生成

ここで用いたサブスレッショルド CMOS 演算増幅器を駆動するためには、差動回路のテイル電流を数 nA 以下の微小値に設定する必要がある。以下ではこの微小電流を精度よく発生させる方法について述べる。

微小電流の生成回路を図7に示す。この回路は、左端の参照電流  $I_{ref}$  を分周器によって減少させ、それを右端の  $I_{out}$  として出力する。回路を構成する要素は次のとおりである：クロック発生用のリング発振器、カウンタ (T フリップフロップ列)、スイッチ信号 ( $\phi$ ,  $\bar{\phi}$ ) を生成する論理回路、参照電流  $I_{ref}$  をスイッチングするスイッチ回路 (M1, M2)、MOS 抵抗とキャパシタからなる平滑回路 (M3, M4, C1, C2, C3)、出力部の電流ミラー (M5-M8)。

この電流生成回路の動作は以下のようなものである：

- (i) はじめに参照電流  $I_{ref}$  として  $1 \mu\text{A}$  程度の電流を生成する。この大きさの電流であれば比較的容易に生成できる。簡単には、図7の電流源を  $1 \text{M}\Omega$  程度の抵抗 (チップ上に搭載可能) で置き換えればよい。
- (ii) 次にリング発振器でクロックを発生する (図8(a))。クロックの周波数は高い方がよい (あとで平滑化が容易となる) が、周波数そのものの精度は要らない。そのクロックをバイナリカウンタで分周し、カウンタ各段の出力をもとにスイッチ信号の生成回路でデューティ比  $D$  が小さいスイッチ信号パルス ( $\phi$ ,  $\bar{\phi}$ ) を発生する (図8(b))。たとえばクロックを 10 bit カウンタで  $1/1024$  に分周してデューティ比  $D=1/1024$  のスイッチ信号パルスをつくる。
- (iii) スwitch信号パルスでスイッチ回路を駆動することにより、参照電流  $I_{ref}$  を短時間だけ平滑回路に流す。すなわち、M2 がオンとなる期間だけ平滑回路にパルス電流  $I_1$  が流れ込む (図8(c))。  $I_1$  の平均値は  $I_{ref} \times D$  である。
- (iv) そのパルス電流を平滑して直流電流  $I_2$  ( $=I_{ref} \times D$ ) を得る (図8(c))。出力電流  $I_{out}$  は M6 と M8 のゲート幅比を  $K$  ( $=M8/M6$ ) として  $I_{out} = I_2 \times K$  である。

この回路の出力電流はカウンタ分周のデューティ比で決まるので、クロックの周波数にはよらない。したがって単純なリング発振器をクロック源として用いることが可能であり、外部クロックの供給は不要である。

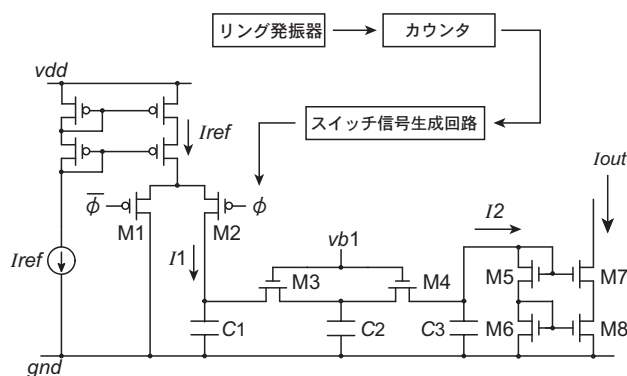


図7：微小電流を生成する回路

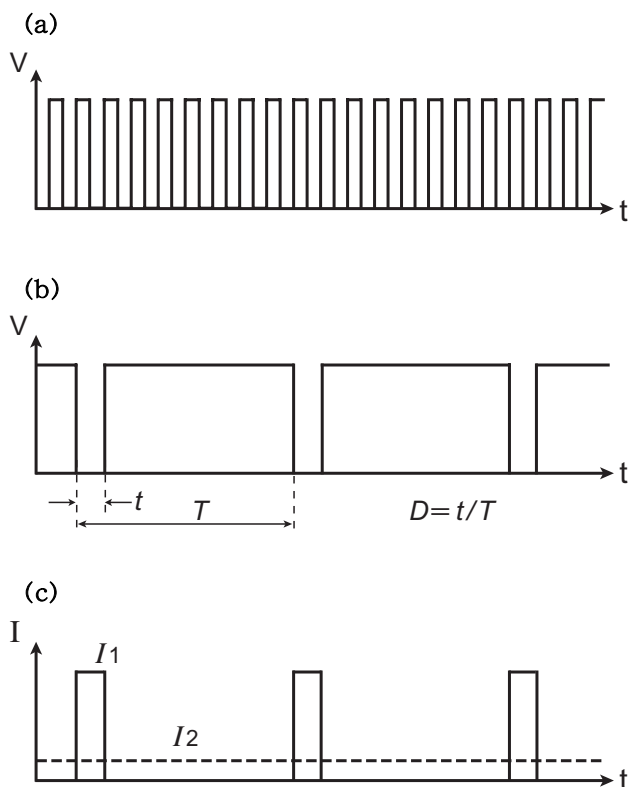


図8：回路の動作波形

- (a) クロック波形
- (b) 信号  $\phi$  の波形
- (c) 平滑回路に流れ込む電流  $I_1$  (実線) と平滑後の電流  $I_2$  (点線)

## 4.2 回路の動作シミュレーション

回路の動作をシミュレーション解析した。パラメータは次のとおりである：参照電流  $I_{ref}=1 \mu\text{A}$ 、リング発振器の周波数=50 MHz、カウンタ=10 bit、スイッチ信号のデューティ比  $D=1/1024$ 、平滑化容量  $C_1=3 \text{ pF}$ 、 $C_2=C_3=0.5 \text{ pF}$ 、平滑化のMOS抵抗=9.83 M $\Omega$ 、およびゲート幅比(M8/M6)=1/10 とした。シミュレーション結果を図9に示す。出力電流の平均値は 96.596 pA、出力リップル電流は 0.124 pAであった。この回路で 0.1 nA 以下の微小電流を生成できることを確認した。

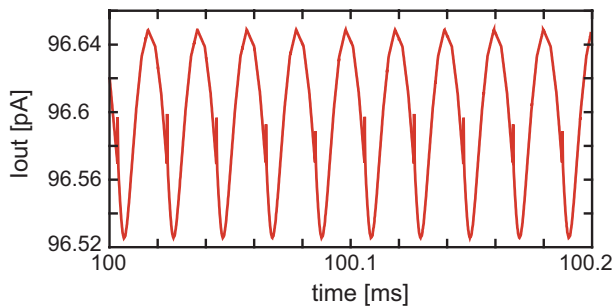


図9：出力電流  $I_{out}$  のシミュレーション結果

### まとめ

サブスレッショルド CMOS 演算増幅器を用いて大容量キャパシタの動作を代用する方法を提案した。この方法により、集積回路では作成が困難であった大容量キャパシタを容易に構成できるようになる。応用例として、多段増幅器の段間結合、高利得増幅器のオフセット補償回路、およびレベルシフト回路を示した。さらに、これらの回路を実際に試作し評価を行った結果を述べた。あわせて、サブスレッショルド CMOS 演算増幅器の駆動に必要な微小電流を発生する方法を示した。