

# MOSFETのサブスレッショルド特性を利用した PTATクロックパルス発生回路 A PTAT Clock Pulse Generator consisting of Subthreshold MOSFETs

上野 憲一, 浅井 哲也, 雨宮 好仁  
北海道大学大学院 情報科学研究科

Ken UENO, Tetsuya ASAI, Yoshihito AMEMIYA  
Department of Electrical Engineering, Hokkaido University

## 1 はじめに

MOSFETのサブスレッショルド領域特性を利用することで、極めて微少な電力消費で動作可能なLSIを構築することができる。サブスレッショルド領域で動作する回路システムの動作電流値は数nA - 数百nAの微少電流であるため、消費電力を格段に低減(数 $\mu\text{W}$  - 数十 $\mu\text{W}$ )したLSIを実現することが可能である[1-6]。微少電力LSIの応用範囲は広く、特に、限られた電力供給のもとで長時間に渡り連続動作が求められるアプリケーションに適している。例えば、センサLSIやRFID、そして医療用埋め込みデバイス等は、ボタン電池や環境エネルギーから取得した限られた電力供給のもとで長時間に渡る連続動作が求められる[7-9]。このようなLSIを実現する手法の一つとしてMOSFETのサブスレッショルド領域動作を利用することは有用である。また、サブスレッショルド領域でのドレイン電流特性は、温度変動に対してその電流値が敏感に変化する特性を有しているため、この特性を利用することで様々なアプリケーションに適用することができる。本研究では、これらの特性を利用した一例として、センサネットワーク用途のスマート温度センサLSIを提案する。

これまで、ダイオード素子やインバータの遅延ライン等の温度依存性を用いたオンチップ温度センサがいくつか報告されている[10-12]。しかし、これらのセンサLSIは消費電力が数百 $\mu\text{W}$ 以上と大きく、上記の微少電力LSIへの適用は難しい。ボタン電池等の限られた電力供給においての長時間動作を想定すると、消費電力は数 $\mu\text{W}$  - 数十 $\mu\text{W}$ 程度しか許容されない。そこで、これらの問題に対して、サブスレ

ショルド領域で動作する低消費電力温度センサLSIを提案する。提案センサは、サブスレッショルド電流の温度依存性を利用することで、絶対温度に比例するPTAT(Proportional To Absolute Temperature)電流を生成し、周波数同期ループ技術を利用することで安定したPTATクロックパルスを出力する。以下では、その動作原理を概説し、そしてチップ試作、測定を行なったのでその評価結果を報告する。

## 2 動作原理

はじめに、サブスレッショルド領域で動作するMOSFETを用いてPTAT信号を生成するための方式を説明する。

MOSFETのゲート・ソース間電圧がしきい値電圧( $V_{TH}$ )以下のとき、サブスレッショルド電流(弱反転電流) $I_{DS}$ が流れる。ここで、ドレイン・ソース間電圧が0.1V以上のとき、 $I_{DS}$ は指数関数で近似できて次のようになる[13], [14]。

$$I_{DS} = I_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right), \quad (1)$$

$K(=W/L)$ はアスペクト比、 $I_0(= \mu C_{OX}(\eta - 1)V_T^2)$ はサブスレッショルド電流の前置係数、 $\eta$ はゲート酸化膜容量と空乏層容量に起因するデバイス構造由来の定数、 $V_T(= k_B T/q)$ は熱電圧、 $q$ は電気素量、 $k_B$ はボルツマン定数、 $T$ は絶対温度である。

ここで、サブスレッショルド電流 $I_{SUB}$ により定電流バイアスされたダイオード接続MOSFETのゲート・ソース間電圧( $V_{GS}$ )は次式で表される。

$$V_{GS} = V_{TH} + \eta V_T \ln\left(\frac{I_{SUB}}{KI_0}\right). \quad (2)$$

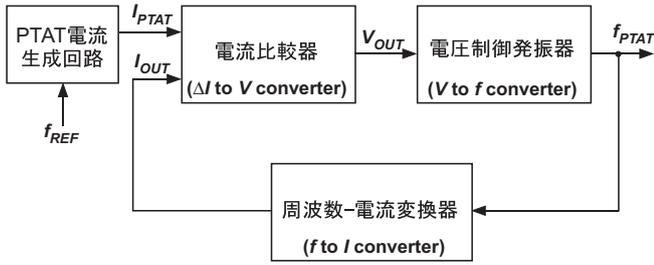


図 1: 温度センサのブロックダイアグラム.

次に、異なる 2 つのサイズのダイオード接続 MOSFET ( $M_1, M_2, (K_1 < K_2)$ ) のゲート・ソース間電圧 ( $V_{GS1}, V_{GS2}$ ) の差分をとると次式が得られる.

$$V_{GS1} - V_{GS2} = \eta V_T \ln \left( \frac{K_2}{K_1} \right). \quad (3)$$

したがって、トランジスタ  $M_1, M_2$  のデバイスミスマッチが小さい場合、しきい値電圧  $V_{TH}$ 、サブスレッショルド係数  $I_0$ 、バイアス電流  $I_{SUB}$  に依存しない、絶対温度に比例する PTAT 電圧を得ることができる。すなわち、MOSFET のサブスレッショルド領域特性を利用して、PTAT 特性を得ることが可能である。この原理に基づいて PTAT 電流を発生させて、温度センサのセンサ信号に利用することを考える。

### 3 回路構成

図 1 に提案する温度センサのブロックダイアグラムを示す。この回路は、周波数同期ループ技術に基づき温度に比例する PTAT (Proportional To Absolute Temperature) クロックパルスを生成する。PTAT 電流生成回路の出力電流  $I_{PTAT}$  は絶対温度に比例する電流を出力する。この電流  $I_{PTAT}$  と周波数-電流変換器の出力電流  $I_{OUT}$  の差を電流比較器により検出し、この差に応じた出力電圧  $V_{OUT}$  を生成する。電圧制御発振器は  $V_{OUT}$  に依存した周波数パルスを生成する。周波数-電流変換器は、電圧制御発振器の周波数  $f_{PTAT}$  に比例した電流  $I_{OUT}$  を生成し、電流比較器に入力する。回路は、負帰還ループを構成しているため、 $I_{PTAT} = I_{OUT}$  になるまで上記の動作を繰り返す。よって、 $f_{PTAT}$  は絶対温度に比例する PTAT クロックパルスとなる。全ての回路ブロックはサブスレッショルド領域で動作する。以下に、回路動作の詳細を説明する。

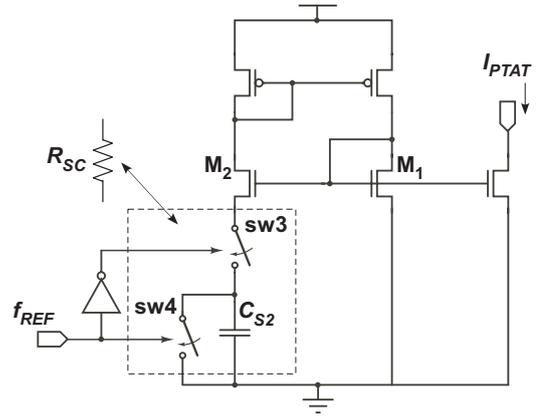


図 2: PTAT 電流生成回路.

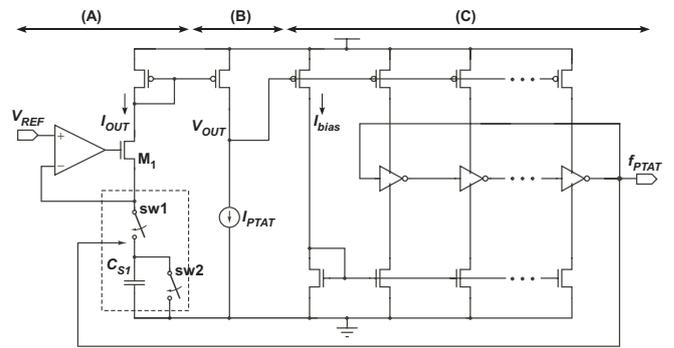


図 3: 温度センサの回路図.

#### 3.1 PTAT 電流生成回路

図 2 に PTAT 電流生成回路を示す。この回路は、 $\beta$  乗算型自己バイアス回路で使用される抵抗素子の代わりにスイッチトキャパシタ抵抗を使用している [15]。スイッチトキャパシタ抵抗は、2 つのスイッチ (sw3, sw4) と、キャパシタ  $C_{S2}$  で構成される。これらの 2 つのスイッチを参照クロック  $f_{REF}$  により駆動させたとき、その等価抵抗値は  $R_{SC} = 1/(f_{REF} C_{S2})$  で表される。また、トランジスタ  $M_1, M_2$  のアスペクト比は、 $K_1 < K_2$  であり、サブスレッショルド領域で動作する。この時の出力電流  $I_{PTAT}$  は次式で表される。

$$\begin{aligned} I_{PTAT} &= f_{REF} \cdot C_{S2} \cdot (V_{GS1} - V_{GS2}) \\ &= f_{REF} \cdot C_{S2} \cdot \frac{\eta k_B T}{q} \ln \left( \frac{K_2}{K_1} \right). \quad (4) \end{aligned}$$

したがって、回路は、絶対温度に比例する PTAT 電流を出力する。この出力電流  $I_{PTAT}$  はカレントミラーによって電流比較器に入力される。

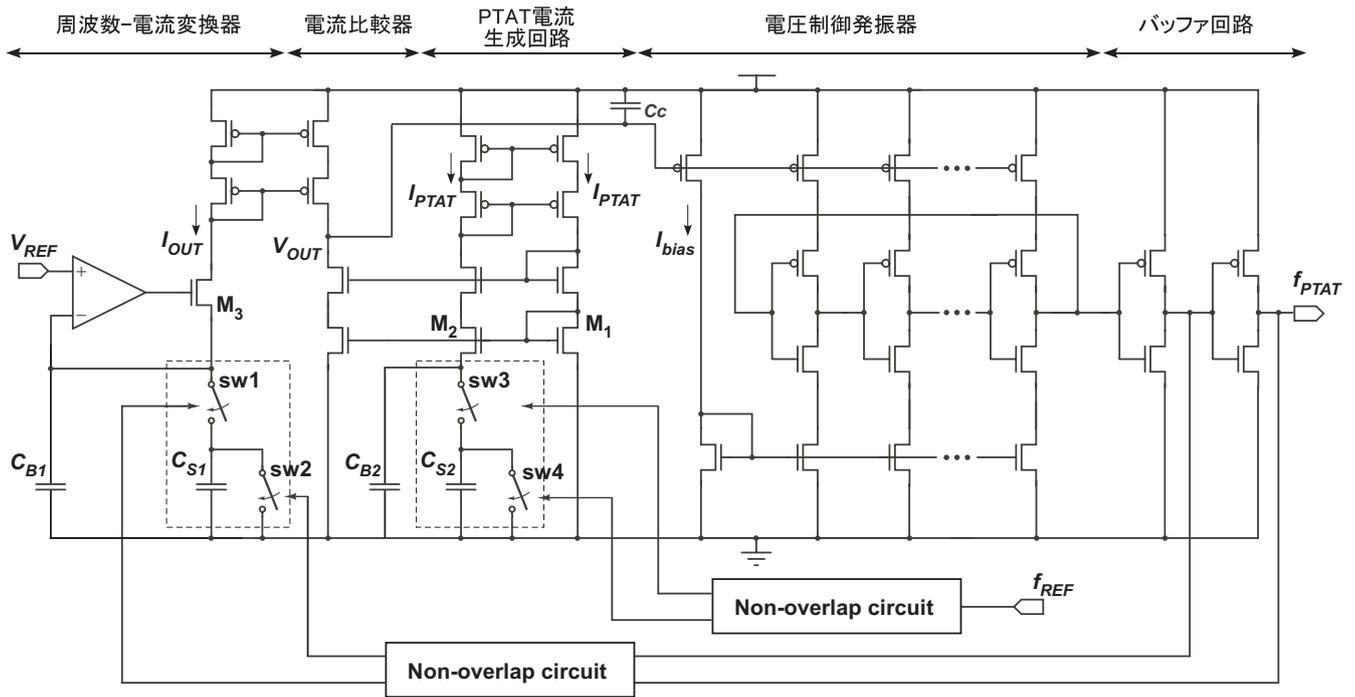


図 4: 温度センサの詳細回路図. すべての MOSFET はサブスレッショルド領域で動作する.

### 3.2 電流比較器

図 3-(B) に電流比較器の回路図を示す. 電流比較器はソース接地増幅器で構成され, PTAT 電流生成回路の出力電流  $I_{PTAT}$  と, 周波数-電流変換器の出力電流  $I_{OUT}$  の差を検出する. 回路は, これらの 2 つの電流の差に比例した出力電圧  $V_{OUT}$  を生成する. この出力電圧  $V_{OUT}$  は, 電圧制御発振器の周波数制御信号として使用する.

### 3.3 電圧制御発振器

図 3-(C) に電圧制御発振器の回路図を示す. 電流制御型インバータのリング構成である. 回路は, 電流比較器からの入力  $V_{OUT}$  によって, パルス周波数を制御する. その発振周波数  $f_{PTAT}$  は, 次式で表される.

$$f_{PTAT} = \frac{I_{bias}}{2mAC_L V_{DD}} = \frac{I_0}{2mAC_L V_{DD}} \exp\left(\frac{V_{DD} - V_{OUT} - V_{TH}}{\eta V_T}\right). \quad (5)$$

ここで,  $m$  はインバータの段数,  $C_L$  は各インバータの次段負荷容量,  $A$  は遅延フィッティング係数である [16]. したがって, 発振周波数  $f_{PTAT}$  は入力電圧  $V_{OUT}$  に依存する. この発振器の出力パルスは, 周波数-電流変換器にフィードバック信号として入力される.

### 3.4 周波数-電流変換器

図 3-(A) に周波数-電流変換器を示す. この回路は電圧-電流変換器で使用される抵抗素子の代わりにスイッチトキャパシタ抵抗を使用している [15]. 演算増幅器のバイアス電圧  $V_{REF}$  は, 一定電圧に固定し, スイッチトキャパシタ回路は, 電圧制御発振器の発振パルス (フィードバック信号) によって駆動される. よって, 回路の出力電流  $I_{OUT}$  は, 電圧制御発振器の発振周波数に比例した電流となり, 次式で表される.

$$I_{OUT} = f_{PTAT} \cdot C_{S1} \cdot V_{REF}. \quad (6)$$

この出力電流  $I_{OUT}$  は, カレントミラー回路により電流比較器に入力される.

回路は, フィードバック構成であるため, 周波数-電流変換器の出力電流  $I_{OUT}$  が PTAT 電流源の出力電流  $I_{PTAT}$  と同じ値になるまで ( $I_{OUT} = I_{PTAT}$ ) フィードバック動作を繰り返す. その結果, 発振周波数  $f_{PTAT}$  は, 式 (4), (6) より次式で表される.

$$f_{PTAT} = \frac{C_{S2}}{C_{S1}} \cdot \frac{f_{REF}}{V_{REF}} \cdot \frac{\eta k_B T}{q} \ln\left(\frac{K_2}{K_1}\right). \quad (7)$$

したがって, バイアス電圧  $V_{REF}$  と参照クロック周波数  $f_{REF}$  が温度に依存しない場合, 発振周波数  $f_{PTAT}$  は, 絶対温度に比例する PTAT 特性となる. この発

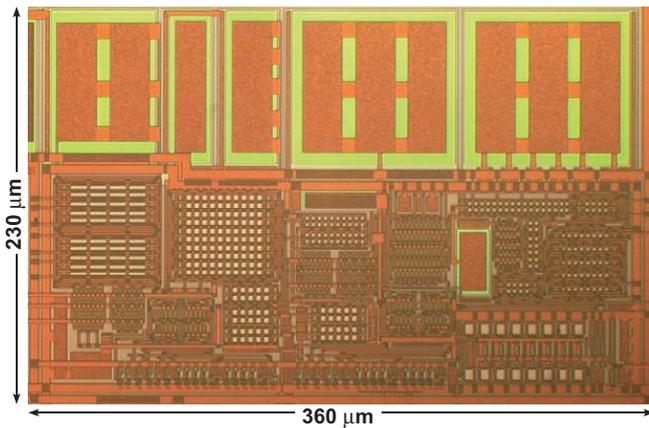


図 5: チップ写真. (面積 = 0.08 mm<sup>2</sup>).

振周波数は、温度センサのセンサ信号として使用することが可能である。

図 4 に PTAT クロックパルス生成回路の詳細回路図を示す。すべての MOSFET はサブスレッショルド領域で動作する。電圧制御発振器は 7 段の電流制御型リングインバータ構成である。また、PTAT 電流生成回路と周波数-電流変換器に使用しているスイッチトキャパシタ回路の入力には、それぞれ両方のスイッチ (sw1-sw2, sw3-sw4) が同時に導通することを避けるためノンオーバーラップ回路を使用している。キャパシタ  $C_{B1}$ ,  $C_{B2}$  は、スイッチングによって生じる高周波成分を接地へ逃がすために付加している。

#### 4 測定結果

以上の回路構成によりチップ試作を行った。使用したプロセスは 0.35 μm-2P4M, 標準 CMOS プロセスである。図 5 に試作チップ写真を示す。チップ面積は、0.08 mm<sup>2</sup> である。この試作チップの測定を行ったので、以下に結果を示す。電源電圧は 3 V, PTAT 電流生成回路の参照クロック  $f_{REF}$  は 1 MHz, 周波数-電流変換器のバイアス電圧  $V_{REF}$  は 0.75 V に設定した。また、プロセスバラツキによる安定動作を評価するため同一ウェハ上の異なる 3 チップの測定を行った。

図 6 に PTAT 電流生成回路の出力電流  $I_{PTAT}$  の温度特性を示す。それぞれの出力電流は式 (4) に示したように温度に対して線形に変化していることが確認できる。温度係数は、0.49 - 0.56 nA/°C である。

この結果より、チップ間の出力電流の温度係数にはバラツキが生じ、電流の絶対値にはオフセットが生じている。この温度係数のバラツキは、キャパシタの

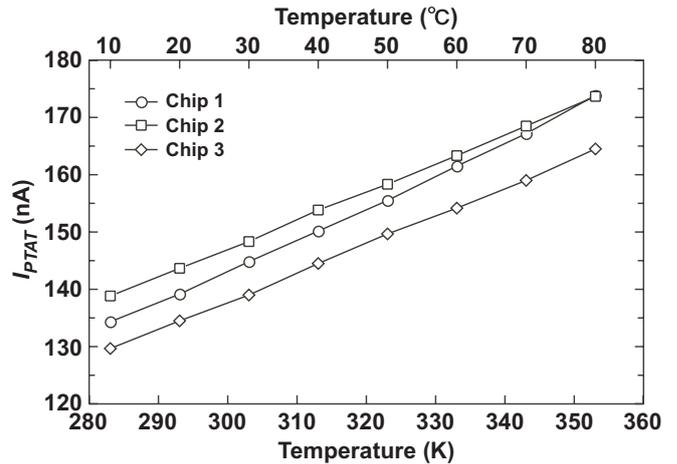


図 6: PTAT 電流生成回路の出力電流。

チップ間プロセスバラツキによるものである。式 (4) より、PTAT 電流の温度係数はキャパシタ  $C_{S2}$  の絶対値バラツキに依存する。キャパシタの絶対値バラツキは、ウェハ間、ロット間を考慮すると、最大で約 20% のバラツキが生じる [15], [17]。したがって、チップ間の出力に温度係数のバラツキが生じる。電流のオフセットについては、トランジスタ  $M_1$ ,  $M_2$  のデバイスミスマッチにより、それぞれのしきい値電圧がキャンセルされず、式 (4) の右辺にオフセット項が生じているためである。これらのバラツキ、オフセットキャンセル方法については、以下で説明する。

図 7 に出力パルス周波数の温度特性の測定結果を示す。それぞれの出力パルスの周波数は式 (7) に示したように温度に対して線形に変化している。温度係数は、1.18 - 1.25 kHz/°C である。したがって、PTAT 電流が温度に比例したクロックパルス周波数に変換されたことが確認できる。

図 6 の PTAT 電流の温度係数バラツキ (± 7%) に比べて、図 7 の周波数の温度係数バラツキ (± 3%) は小さい。この理由は、式 (7) に示すように、周波数の温度係数はキャパシタ  $C_{S1}$  と  $C_{S2}$  の比に依存するためである。同一チップ内キャパシタの相対値バラツキは、近距離にレイアウトすることにより、十分小さな値に抑制することが可能である [17]。つまり、キャパシタの絶対値バラツキに依存する PTAT 電流の温度係数バラツキを、相対値バラツキに依存する周波数に変換することで、そのバラツキを抑制することができる。

チップ間の周波数オフセットについては、1 点キャリブレーションを利用することでキャンセルする。本

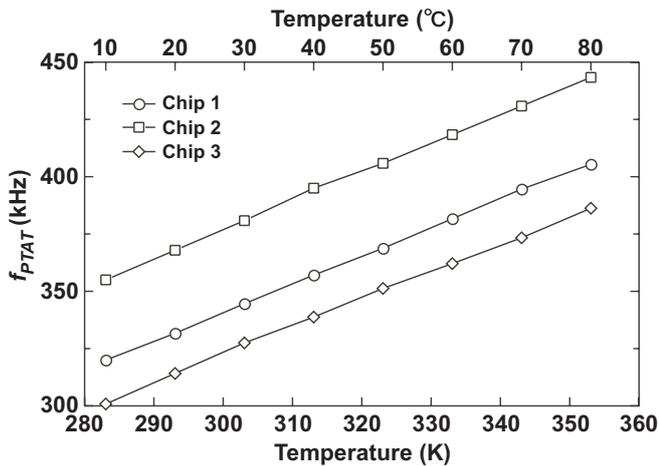


図 7: 出力発振周波数  $f_{PTAT}$  の温度特性.

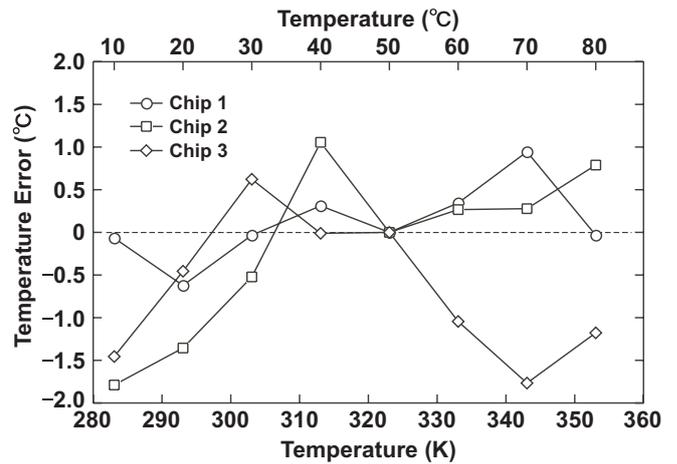


図 8: キャリブレーション後の測定周波数における温度誤差の計算結果.

測定では、50°C においてチップ間の周波数オフセットが0になるようにキャリブレーションを行った。その時の理論値と測定結果における誤差を温度誤差とした計算結果を図 8 に示す。なお、理論値の温度係数は、それぞれの測定結果の温度係数の平均である (1.22 kHz/°C)。キャリブレーション後の温度誤差は ±1.8°C 以内である。

表 1 に測定結果のまとめを示す。出力発振周波数の電源電圧依存性は、2.2 V - 3 V の変動において 0.8%/V である。また、消費電力は電源電圧が 2.2 V において約 10  $\mu$ W である。

## 5 まとめ

本稿では、微少電力で動作する温度センサ LSI を提案した。この回路は、サブスレッショルド電流の温度依存性を利用することで、温度に比例する PTAT 電流を生成する。回路の出力は、周波数同期ループ技術を利用することで PTAT クロックパルスを出力する。この出力クロックパルスの周波数温度誤差は ±1.8°C であった。また、回路全体をサブスレッショルド領域で動作させることで、10  $\mu$ W 程度の低消費電力動作を実現した。これらの結果より、この回路は、微少電力 LSI における温度センサとして使用することが可能である。

## 謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。

表 1: 試作チップ・測定結果のまとめ

Technology	0.35- $\mu$ m, 2P, 4M CMOS
Temp. Range	10 - 80°C
Supply Voltage	2.2 - 3 V
T.C.	1.2 kHz/°C
Temp. Error	±1.8°C
Line Regulation	0.8%/V
Power	10 $\mu$ W ( $V_{DD}$ =2.2 V)
Area	0.08 mm <sup>2</sup>

## 参考文献

- [1] K. Ueno, T. Hirose, T. Asai, Y. Amemiya, "CMOS smart sensor for monitoring the quality of perishables," IEEE Journal of Solid-State Circuits, vol. 42, no. 4, pp. 798-803, 2007.
- [2] K. Ueno, T. Hirose, T. Asai, Y. Amemiya, "A 0.3- $\mu$ W, 7 ppm/°C CMOS voltage reference circuit for on-chip process monitoring in analog circuits," Proc. of the 34th European Solid-State Circuits Conference (ESSCIRC), pp. 398-401, 2008.
- [3] K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, "Floating millivolt reference for PTAT current generation in subthreshold MOS LSIs," Proc.

- of the 2007 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 3748-3751, 2007.
- [4] K. Ueno, T. Asai, and Y. Amemiya, "Current reference circuit for subthreshold CMOS LSIs," Extended Abst. of the 2008 International Conference on Solid State Devices and Materials (SSDM), pp. 1000-1001, 2008.
- [5] T. Hirose, T. Asai, and Y. Amemiya, "Power-supply circuits for ultralowpower subthreshold MOS-LSIs," IEICE Electronics Express, vol. 3, no. 22, pp. 464-468, 2006.
- [6] A. P. Chandrakasan, D. C. Daly, J. Kwong, Y. K. Ramadass, "Next Generation Micro-power Systems," Proc. of IEEE Symposium on VLSI Circuits, pp. 2-5, 2008.
- [7] P. Fiorini, I. Doms, C. Van Hoof, R. Vullers, "Micropower energy scavenging," Proc. of the 34th European Solid-State Circuits Conference (ESSCIRC), pp. 4-9, 2008.
- [8] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki, S. Otaka, "A 950-MHz rectifier circuit for sensor network tags with 10-m distance," IEEE Journal of Solid-State Circuits, vol. 41, no. 1, pp. 35-41, 2006.
- [9] N. M. Pletcher, S. Gambini, J. M. Rabaey, "A 2GHz  $52\mu\text{W}$  wake-up receiver with  $-72\text{dBm}$  sensitivity using uncertain-IF architecture," in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, 2008, pp. 524 - 525, 633.
- [10] M. Pertijs, K. Makinwa, J. H. Huijsing, "A CMOS smart temperature sensor with a  $3\sigma$  inaccuracy of  $\pm 0.1^\circ\text{C}$  from  $-55^\circ\text{C}$  to  $125^\circ\text{C}$ ," IEEE Journal of Solid-State Circuits, vol. 40, no. 12, pp. 2805-2815, 2005.
- [11] P. Chen et al., "A Time-Domain SAR Smart Temperature Sensor with  $-0.25 - +0.35^\circ\text{C}$  Inaccuracy for On-chip Monitoring," Proc. of the 34th European Solid-State Circuits Conference (ESSCIRC), pp. 70-73, 2008.
- [12] V. Szekely, Cs. Marta, Zs. Kohari, and M. Rencz, "CMOS sensors for on-line thermal monitoring of VLSI circuits," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 5, no. 3, pp. 270-276, 1997.
- [13] Y. Taur, T.H. Ning, Fundamentals of Modern VLSI Devices, Cambridge University Press, 2002.
- [14] A. Wang, B.H. Calhoun, A.P. Chandrakasan, Sub-threshold Design for Ultra Low-Power Systems, Springer, 2006.
- [15] Behzad Razavi, Design of Analog CMOS Integrated Circuits, McGraw Hill, 2000.
- [16] B.H. Calhoun, A. Wang, A. Chandrakasan, "Modeling and sizing for minimum energy operation in subthreshold circuits," IEEE Journal of Solid-State Circuits, vol. 40, no.9, pp. 1778-1786, 2005.
- [17] A. Hastings, The Art of Analog Layout, Prentice Hall, 2001.