

カスコード構造による 低電力CMOS論理回路

北海道大学

量子集積エレクトロニクス研究センター

久保圭史 雨宮好仁 佐野栄一

目次

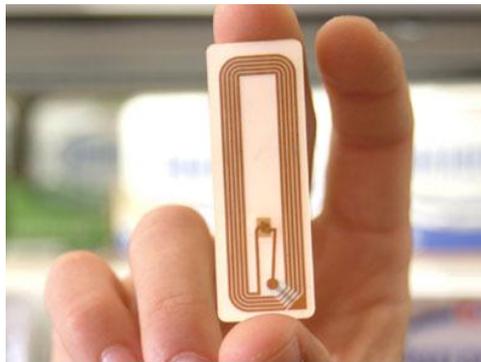
- 背景： 極低電力 LSI の応用展開
- 電圧低減による低エネルギー化
- 電池電圧の有効活用
- 縦積み回路(カスコード回路)の提案
- 動作シミュレーション

背景： 極低電力 LSI の応用展開

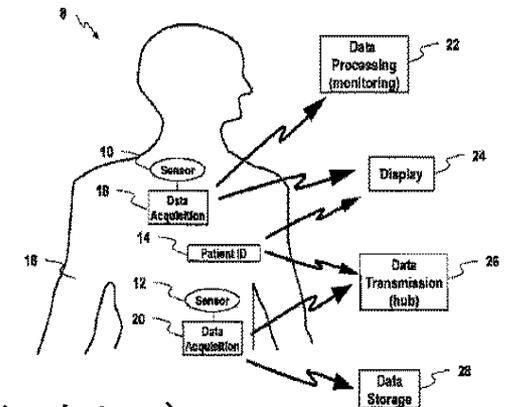
センサネットワーク用LSI



RFIDと類似デバイス



医療用デバイス



限られたエネルギー供給で動く必要あり (動作速度は低くてもよい)

- 小型電池で長時間の動作 (例)ボタン電池(10 mAh)で1年以上 ➡ 消費電力 $1 \mu W$
- 自然エネルギー採取による無電源動作 (例)振動・温度差・薄暗光 ➡ 供給電力 $1 \sim 10 \mu W / cm^2$

性能指数は単位演算当たりのエネルギー (J/op) ※op = operation

低エネルギー化するときの問題点

CMOS論理回路のエネルギー消費 J/op を小さくするには



ゲートあたりのスイッチングエネルギー $C_L V_{DD}^2$ を小さく



↑
負荷容量

←
回路電圧

回路電圧 V_{DD} を下げる



ところが...

電池の電圧

- ・マンガン電池 = 1.5 V
- ・酸化銀電池 = 1.55 V
- ・リチウム電池 = 3 V

低エネルギーCMOSの動作電圧

0.3 V ~ 0.5 V

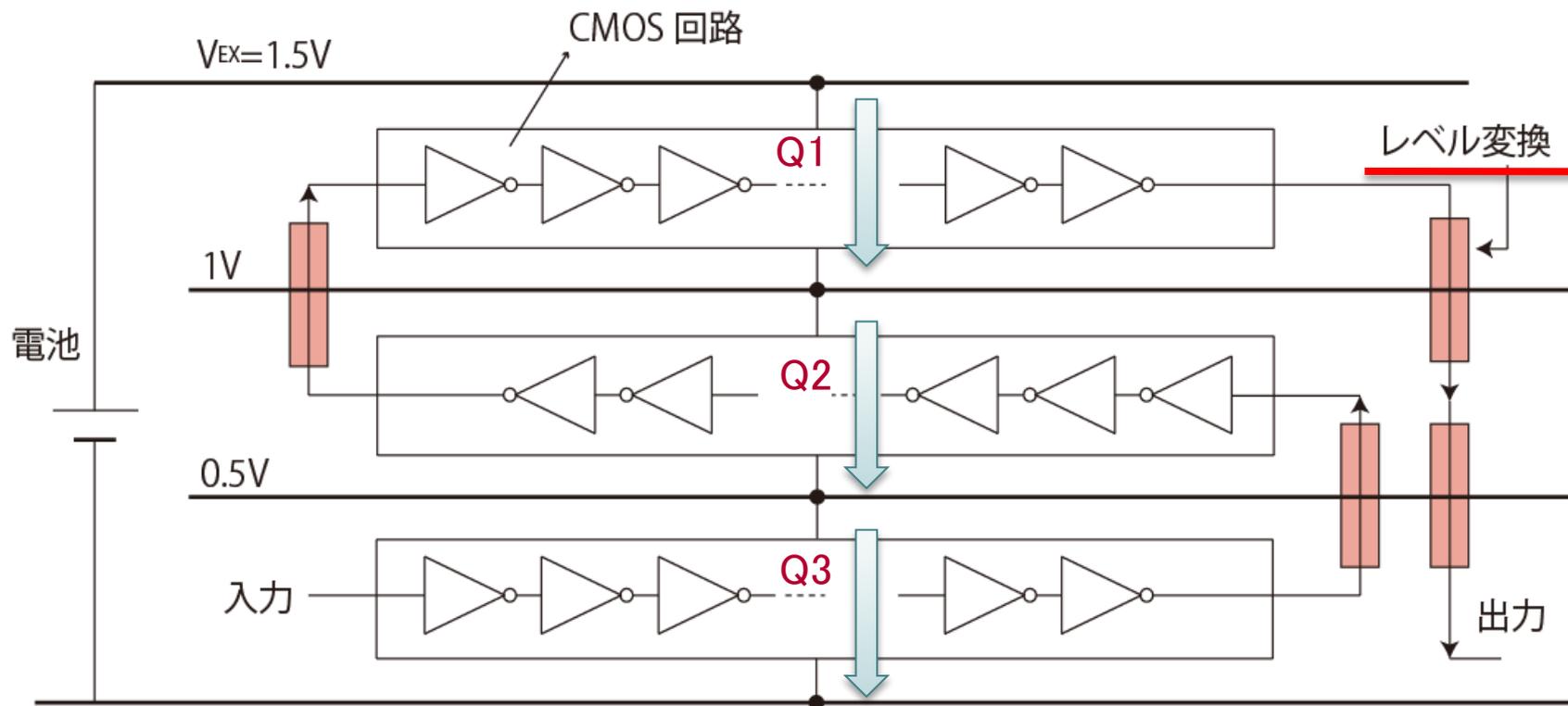
大きな差



変換損失が大きい

サブスレッショルド領域

縦積み回路で電池電圧を有効に利用する



ゲート当たりのエネルギー消費量

$$C_L V_{EX}^2 \rightarrow C_L \left(\frac{V_{EX}}{3} \right)^2 = \frac{C_L V_{EX}^2}{3^2}$$

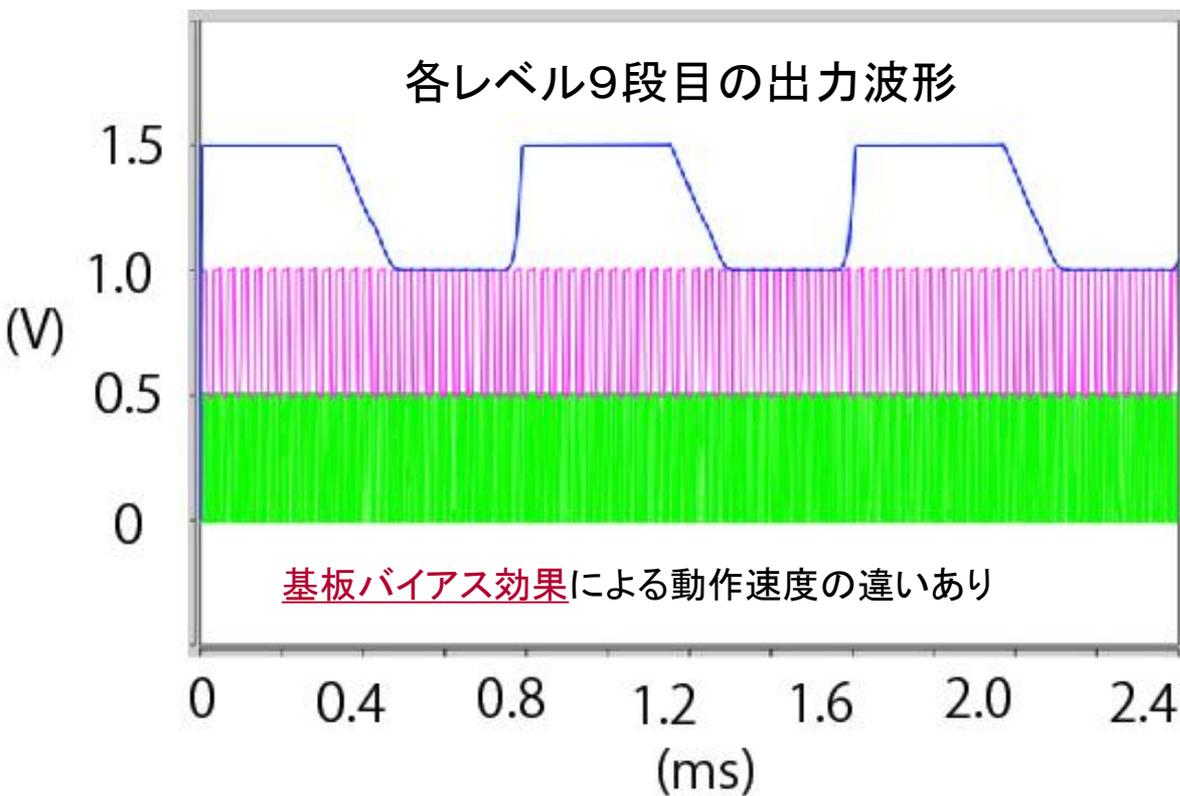


重要な条件: 電荷バランス

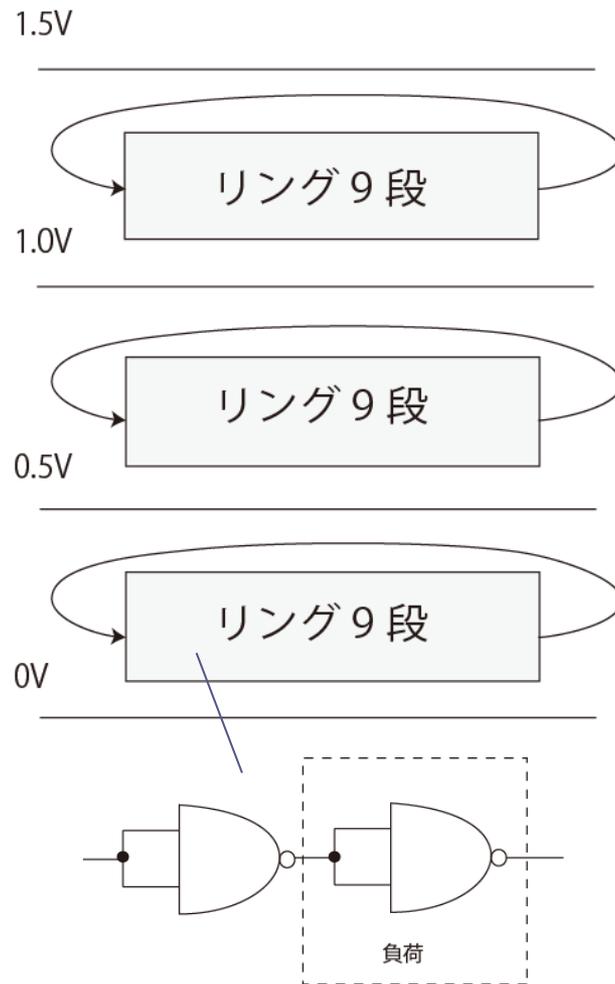


Q1 = Q2 = Q3 となるように設計

縦積み回路の動作:リングオシレータ (各レベル独立)

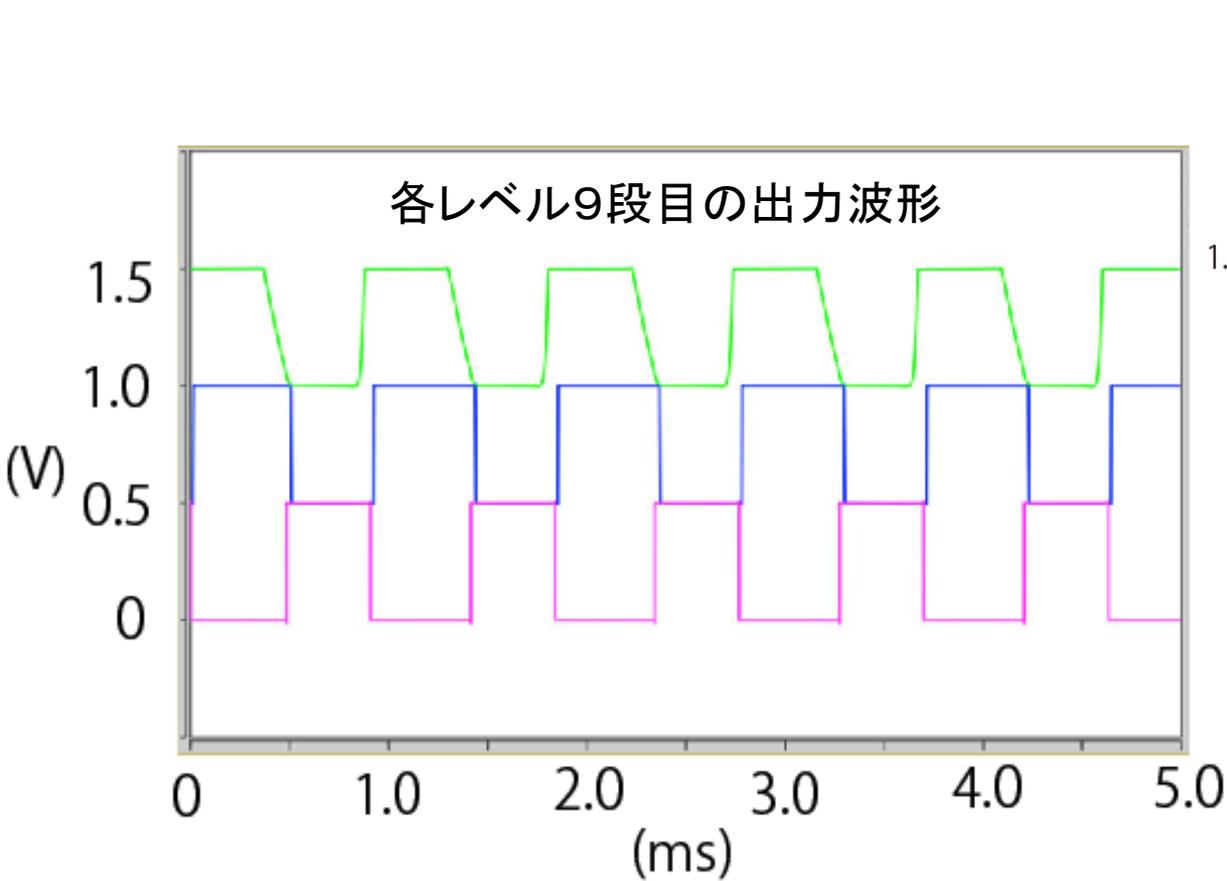


0.35- μ m CMOSパラメータによるシミュレーション (HSPICE)

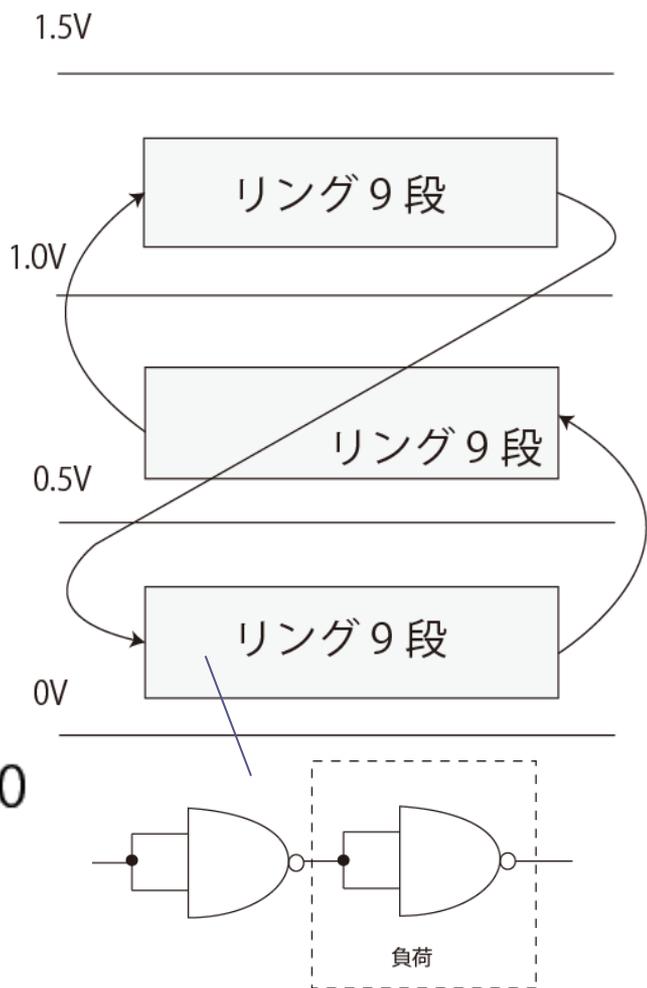


NANDインバータ
(fan-out = 2)

縦積み回路の動作:リングオシレータ (3レベル一体)

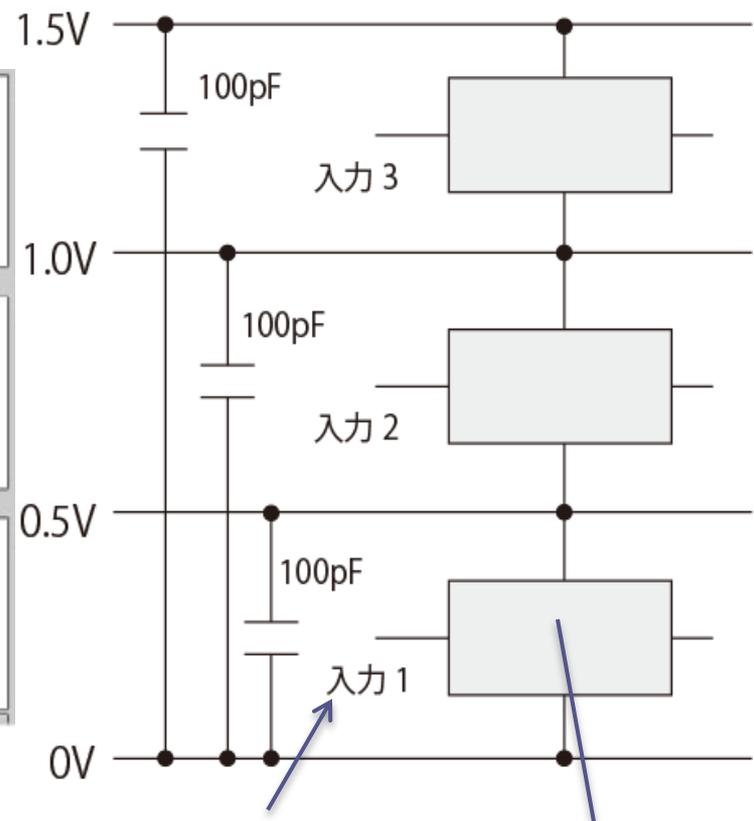
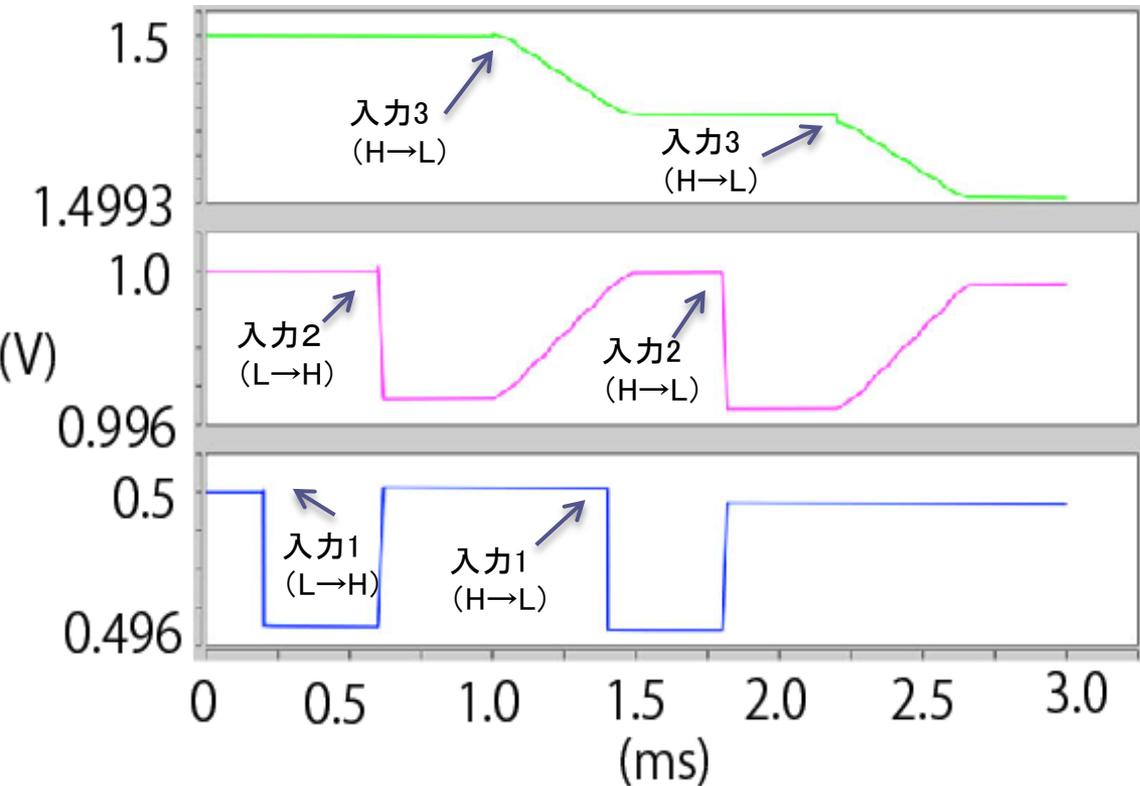


0.35- μ m CMOSパラメータによるシミュレーション (HSPICE)



NANDインバータ (fan-out = 2)

縦積み回路の動作: レベル間の電荷移動



パルス波を入力

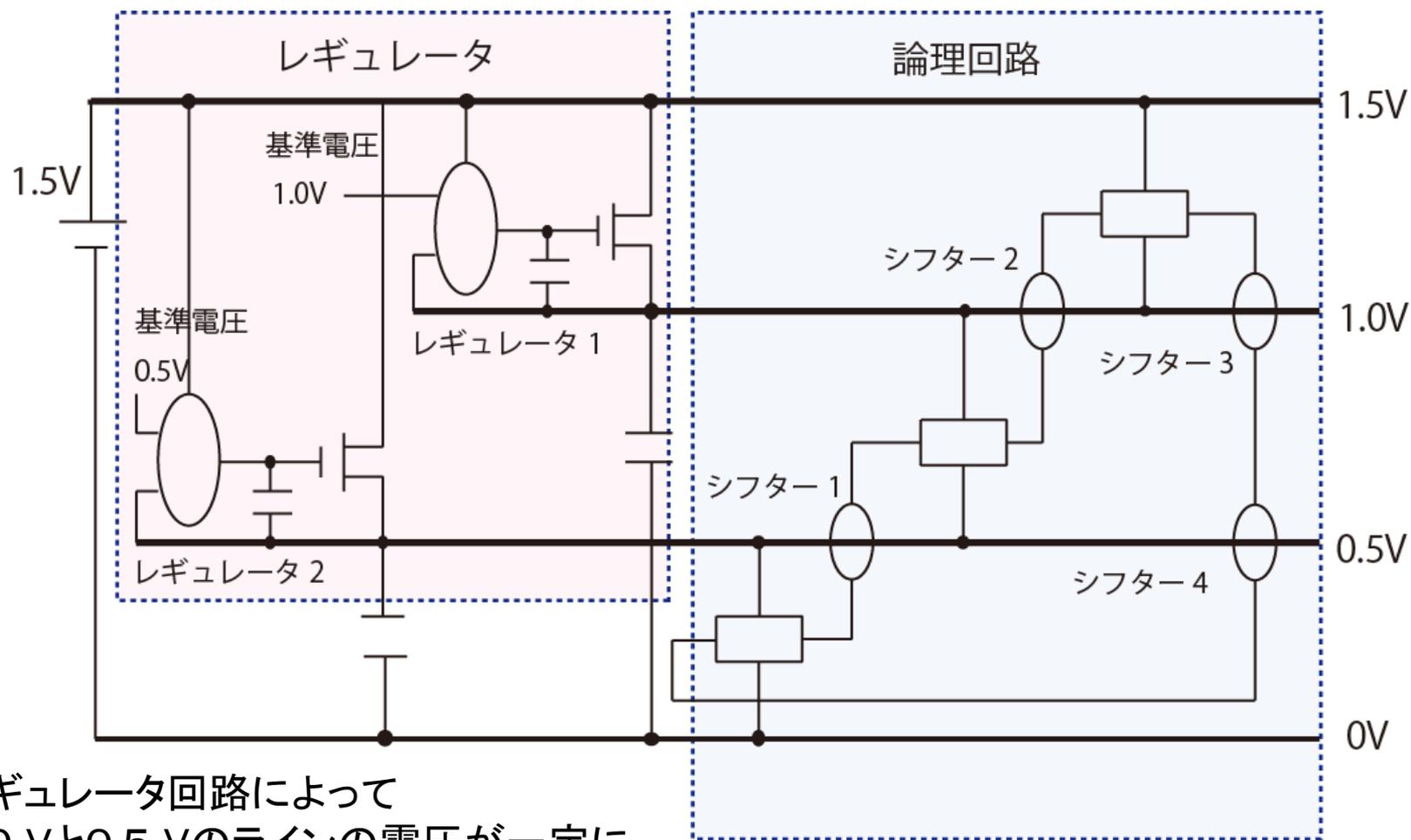


NANDインバータ
10段

0.35- μ m CMOSパラメータによるシミュレーション

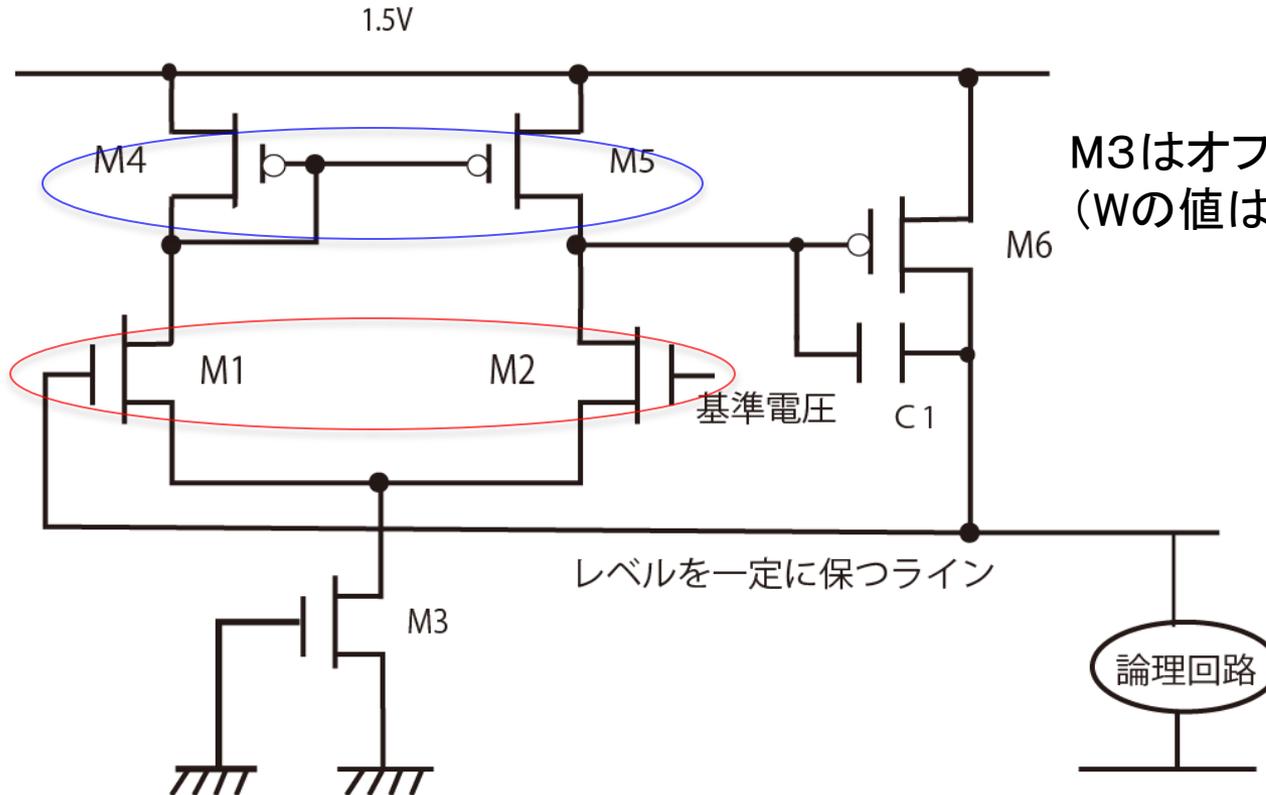
➡ それでも電荷のバラツキは生じてしまう

電荷アンバランスの補正



レギュレータ回路によって
1.0 Vと0.5 Vのラインの電圧が一定に
保たれる

レギュレータ回路



M3はオフ電流で動作する定電流源
(Wの値は他のMOSの数倍に設定)

M1とM2は差動対

M4とM5はミラー対

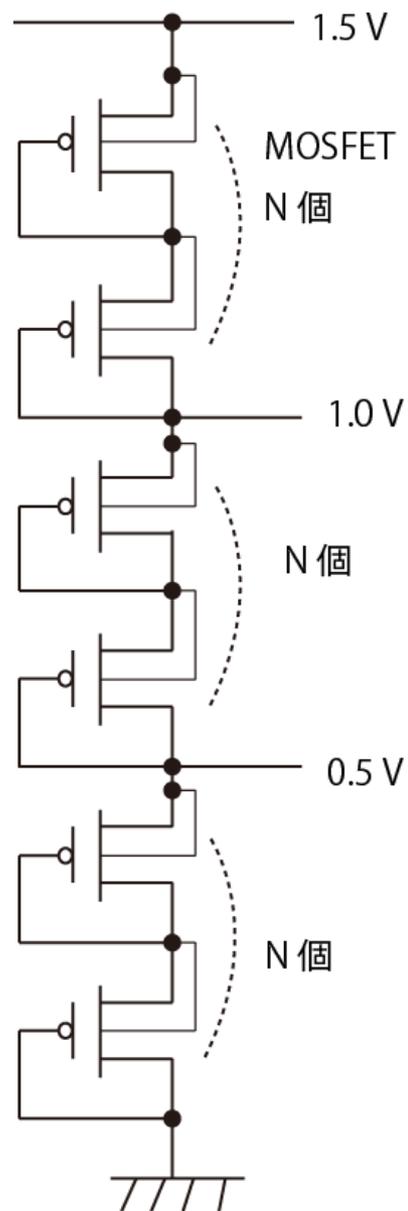
C1は位相補償キャパシタ

レベルを一定に保つライン

論理回路

基準電圧源の作り方

- ・PMOSによる分圧回路
- ・PMOSの数を増やして
低電流サブスレッショルド動作



低エネルギー化の確認

(0.18 μ mCMOSのシミュレーション)

- ・ 論理回路の例: NANDインバータ 999 個のチェーン
- ・ 電池電圧 1.5 V を 3 分割 (各段に 333 個ずつ)
- ・ 単位演算: インバータチェーン入力を 0 \rightarrow 1 \rightarrow 0
- ・ レベルシフタとレギュレータを含む



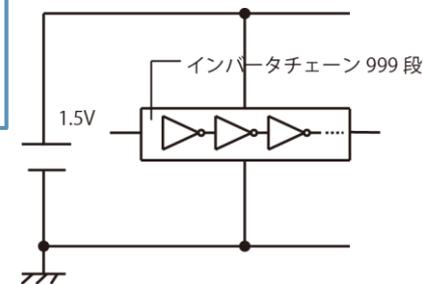
消費エネルギー(J/op)と演算周期の関係を計算

(比較のために)

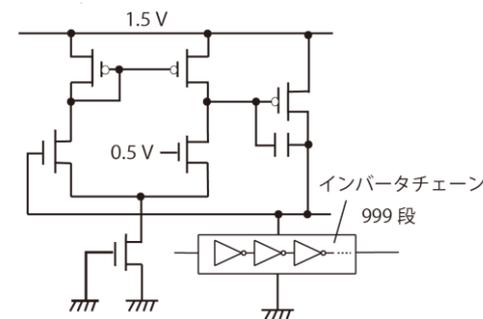
回路 B: 1.5 V でインバータチェーンを駆動

回路 C: レギュレータで 0.5 V に下げて駆動

(回路 A とする)

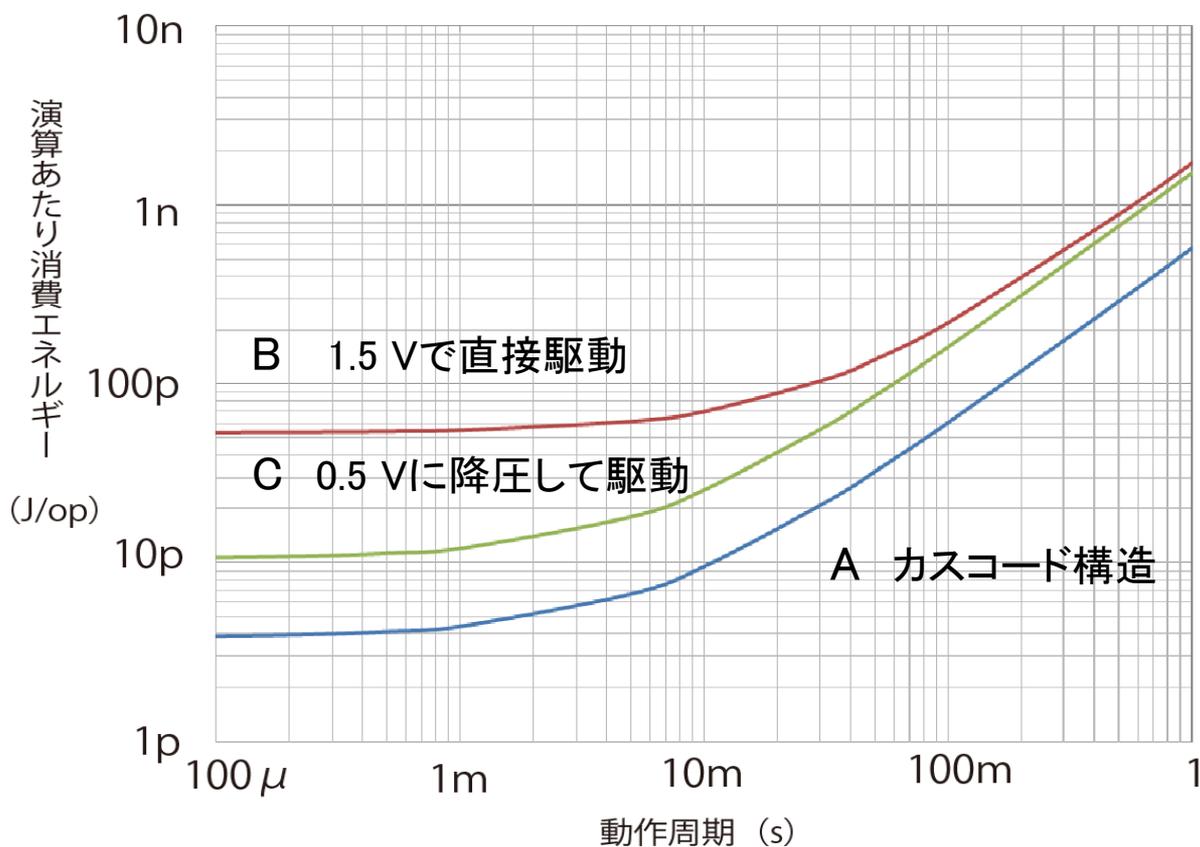


回路 B



回路 C

シミュレーション結果

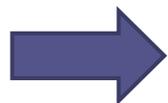


・演算あたり消費エネルギー

→ スイッチングエネルギー +
オフリークエネルギー

・オフリークエネルギー

→ 動作周期に依存



動作周期に関わらず カスコード回路 が低消費エネルギー

まとめ

- ・ 電池エネルギーを有効利用できる低電力CMOS回路を提案
- ・ この回路の基本構成:

電池電圧を多段(N段)に分割

各段でCMOS回路を低電圧動作

上段のスイッチング電荷を下段で再利用

消費エネルギー → 理想的には $1/N^2$ に低減

- ・ シミュレーションにより低エネルギー動作を確認