

プロセッサの低電力化に向けた連鎖型データパスの実装と電力評価

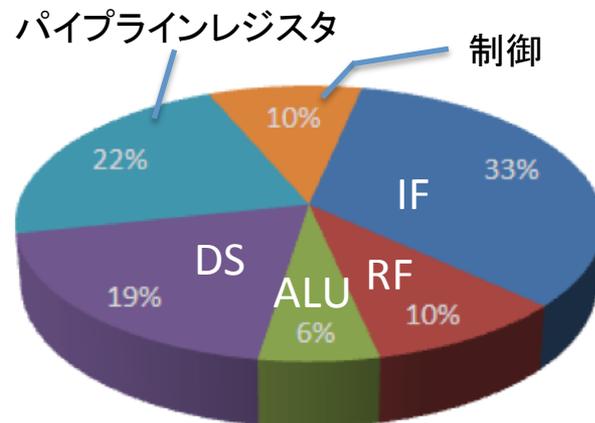
平尾 岳志, 安達 琢, 浅井 哲也, 本村 真人 北海道大学 大学院情報科学研究科

プロセッサ消費エネルギー削減方法

1. 命令フェッチ, デコード頻度を減らす
2. レジスタ・メモリアクセス頻度を減らす
3. クロック供給先(レジスタ類)を減らす
4. 単位クロックあたりの演算量を増やす

連鎖型データパス(CDP)を提案

CDPを用いて連鎖型データパスプロセッサを構成



プロセッサの消費電力内訳の例
(R. Hameed, et al., ISCA, 2010)

実行する命令列

従来のデータパス

提案する連鎖型データパス

実行順

$r0 \leq r0 + r1$
 $r1 \leq r1 + r2$
 $r2 \leq r0 + r1$

r0, 1, 2:レジスタ

