

視覚対象の方位選択を行うアナログハフ変換 LSI の設計

浅井 哲也 雨宮 好仁

北海道大学 工学部 電子工学科

〒 060-8628 札幌市北区北 13 条西 8 丁目

Phone : 011-706-6080, Fax : 011-707-6585

E-mail: {asai, amemiya}@sapiens-ei.eng.hokudai.ac.jp

画像の特徴抽出機構は、高次視覚情報処理システムにとって極めて重要である。近年、ハフ変換にもとづく特徴抽出機構を有するシステムが数多く提案されており、ハフ変換を高速に行う専用プロセッサの需要が高まっている。本稿では、高速かつコンパクトな高次画像処理システムの実現に向けて「ハフ変換を行うアナログ-デジタル混載型 LSI」のアーキテクチャを提案する。

ハフ変換, 機能 LSI, アナログ-デジタル混載 LSI, ビジョンチップ

An Analog-Digital Hybrid LSI for Hough Transformation

Tetsuya Asai and Yoshihito Amemiya

Department of Electrical Engineering, Hokkaido University

Kita 13, Nishi 8, Kita-ku, Sapporo, 060-8628, Japan

Phone : 011-706-6080, Fax : 011-707-6585

E-mail: {asai, amemiya}@sapiens-ei.eng.hokudai.ac.jp

Feature extraction is an important visual modality for higher-order visual processing in both biological and artificial systems. Recently, a number of vision systems utilizing Hough transformation have been proposed for developing the feature extraction systems. This means that high-speed custom co-processors for Hough transformation will be in great demand in the future. In this paper, aiming at the development of co-processors for such vision systems, we propose an analog-digital hybrid LSI that can perform high-speed Hough transformation.

Hough transformation, functional LSI, analog-digital hybrid LSI, vision chip

1 はじめに

近年、ハフ変換にもとづく高次視覚情報処理システムが数多く提案されており [1, 2, 3, 4]、ハフ変換を高速に行う専用プロセッサの需要が高まっている。また、生体の優れた視覚情報処理機能を解明するために、ハフ変換にもとづく視覚神経モデルも多数提案されており、ハフ変換と生体が行う視覚情報処理の間の興味深い関係が次第に明らかになってきた [5, 6, 7, 8, 9]。本稿では、生体の優れた視覚機能を模擬する人工視覚システムの実現に向けて「ハフ変換を行うアナログ-デジタル混載型 LSI」のアーキテクチャを提案し、高速かつコンパクトな画像処理システムの実現可能性を探る。

2 ハフ変換 LSI と計算アルゴリズム

ハフ変換は、二値画像パターンの特徴を検出する方法の一つである [10]。図 1 に、ハフ変換による直線検出の例を示す。図 1(a) のように、離散空間中の直線は L 個の点 $[(x_1, y_1), (x_2, y_2), \dots, (x_L, y_L)]$ で表される。これら全ての点を、ハフ変換式

$$\rho = x_i \cos \theta + y_i \sin \theta \quad (i = 1, 2, \dots, L), \quad (1)$$

へ代入すると、 (ρ, θ) 空間上で (それぞれの点に対応した) L 本の曲線が得られる [図 1(b)]。これらの曲線群の交点の位置 (ρ_0, θ_0) を求めると、それが図 1(a) の直線の垂角 (θ) と原点からの符号付き距離 (ρ) を表す。入力空間 (x, y) 中の直線 (点群) をパラメータ空間 (ρ, θ) 中の一点 (交点) で表すことができるため、「直線の検出」が可能になる。

ハフ変換に必要な演算処理は、i) 入力空間からパラメータ空間へのマッピング [入力空間中の全ての画素に対して (1) を計算] と、ii) パラメータ空間中の交点検出、の二つである。本稿で提案する LSI では、i) の演算をアナログ回路 (マッピング回路) によって行い、ii) の交点計算をアナログ-デジタル混載回路 (交点検出回路) で行う。

2.1 マッピング回路

式 (1) をコンパクトな回路構成で LSI 上に実装するためには、「三角関数型の伝達特性を持つ回路」と「乗算回路」をアナログ方式で構成できればよい。ところが、アナログ方式でこれらの回路をコンパクトに構成することは極めて難しい。本節では、(1) のパラメータ θ を時間的に変化させて ρ を逐次計算する計算アルゴリズムを提案し、全画素に対して (1) を並列計算するコンパクトなアナログ回路を構築する。回路の出力は、図 1(b) の横軸 (θ) を時間で置き換えたものになる。

図 2 に、三角関数と座標の乗算を行う基本回路を示す。

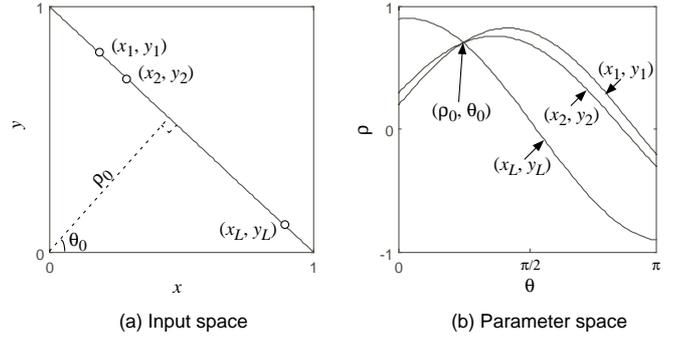


図 1 ハフ変換の概略図。

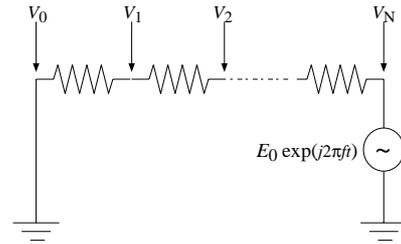


図 2 三角関数と座標の乗算を行う線形回路。

これは、振幅 E_0 、周波数 f の交流電圧源 $[E_0 \exp(j2\pi ft)]$ と、 N 個の抵抗素子から構成される線形回路であり、各節点の電圧は

$$V_i = \frac{E_0 i}{N} \exp(j2\pi ft) \quad (i = 1, 2, \dots, N), \quad (2)$$

で表される。ここで、 $E_0 i/N$ (i が座標成分) を新たに座標として見なせば、図 2 の回路が行う演算はまさに「三角関数と座標の乗算」である。

この考えを拡張して、(1) を計算するアナログ回路を構築した (図 3)。回路は、抵抗回路と $2N \times 2N$ 個のアナログ電圧加算器 ($S_{i,j}$) からなり、外部から交流電圧 ($\pm E_0 \cos 2\pi ft, \pm E_0 \sin 2\pi ft$) を受ける。抵抗回路の各接点の電圧 ($V_{i,0}, V_{0,j}$) は、それぞれ $E_0 i dx \cos 2\pi ft, E_0 j dy \sin 2\pi ft$ (dx, dy は空間の離散ステップ) で表される。各接点の電圧 ($V_{i,0}, V_{0,j}$) をアナログ電圧加算器 ($S_{i,j}$) を用いて加算すれば、(1) と等価な回路を実現できる。

図 3 中のアナログ電圧加算器は、入力画素の数だけ必要である。そのため、回路構成をできるだけコンパクトに設計する必要がある。図 4 に、提案するアナログ電圧加算回路を示す。この回路は、フローティングゲート MOS トランジスタ (M1) を用いた単利得アンプであり、フローティングゲートの電圧が利得 1 で $S_{i,j}$ に出力される。入力端子 ($V_{i,0}, V_{0,j}$) がフローティングゲートと容量結合 (C) しているため、この電圧加算器の出力 ($S_{i,j}$) は

$$\begin{aligned} S_{i,j} &= R(V_{i,0} + V_{0,j}) \\ &= E_0 R(i dx \cos 2\pi ft + j dy \sin 2\pi ft), \quad (3) \\ \left(R \right. &\equiv \left. \frac{1}{2 + C_{ox}/C} \right) \end{aligned}$$

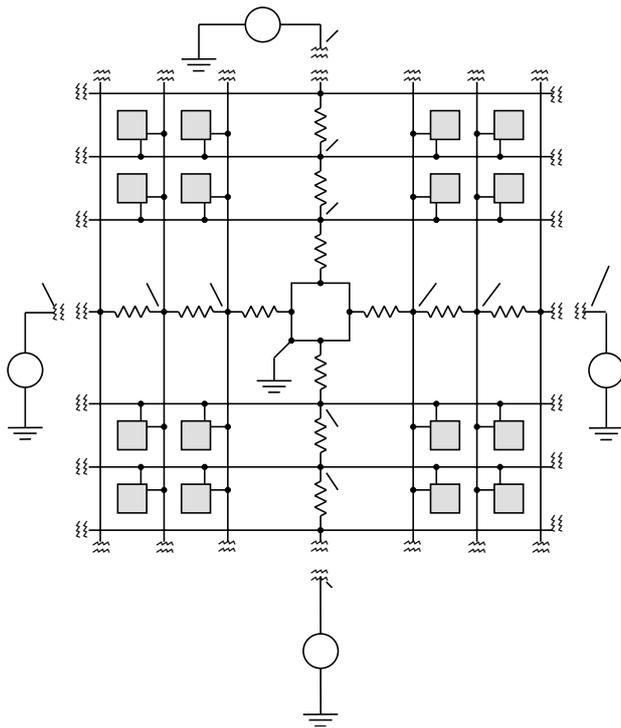


図3 アナログハーフ変換デバイス.

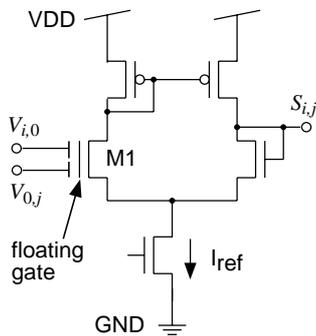


図4 アナログ電圧加算器.

である (C_{ox} は M1 のゲート容量) ここで $S_{i,j}$, $E_0 R i dx$, $E_0 R j dy$ および $2\pi ft$ をそれぞれ ρ , x , y および θ と置きなおせば、(3) はハーフ変換式 (1) そのものである。このようにして、図 3 に示した極めて簡単な「線形回路」が、入力空間の全画素に対する (1) を並列計算する。

2.2 交点検出回路

ハーフ変換の次ステップは、(図 1(b) に示したように) パラメータ空間中の曲線群 (ハーフ曲線) の交点を求めることである。この「交点検出」には、必要な空間分解能に応じてパラメータ空間を離散化した配列 (アナログメモリ) が必要になるため、アナログ実装は容易ではない。本節では、電子回路化を念頭に置いた新しい「簡易交点検出法」

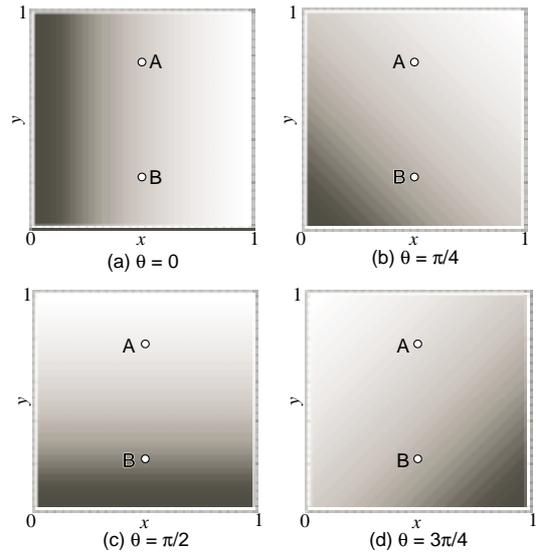


図5 ρ 面の θ (時間) に対する変化.

を提案し、アナログ-デジタル混載型の交点検出回路の構成法を示す。

図 3 のマッピング回路は、入力画像の全ての画素に対して、 $S_{i,j} (\sim \rho)$ を並列計算する。図 5 に、(1) の各 θ 値に対する計算例を示す。縦軸と横軸は $i (x)$ と $j (y)$ 、濃淡は ρ 値 (白: 1, 黒: -1) を表す。これらの図は、各 θ 値における ρ 分布の等高線の集合である。画素間を結ぶ「直線 (図 5 の例では点 A, B を結ぶ直線) の傾き」が「等高線の傾き」と等しくなったときの θ (図 5 の点 A, B の例では $\theta = 0$ のとき) が直線の垂角を表す。また、そのときの画素 (図 5 の例では点 A, または B) の ρ 値が、直線の原点からの距離である。

このように、パラメータ空間中の曲線群の交点を求める問題は、画素間の「直線の傾き」と「等高線の傾き」の一致を検出する問題に帰着する。この「傾き一致検出」をなるべく簡単な電子回路で実現するために、新たな計算アルゴリズムを考案した。

いま例として、入力空間 (x, y) 上に四つの入力点 (A, B, C, D) を仮定する (図 6)。それぞれの点に対応する ρ 値は (1) により計算される。以下では、入力点のない画素の ρ 値は全て等しい値 (任意値) であるとする。図 6 の二点 (A, B) の ρ 値は、 $\theta = \pi/4$ のときに等しくなる ($\rho = 0$)。いま、点 A (B) と同じ列に他点 [D (C)] が存在しなければ、点 A の列の ρ 値の総和と、点 B の列の ρ 値の総和もまた等しい ($\rho_A = \rho_B$)。これらの総和値の一致により、前述の「傾き一致検出」が行われたことになる。一方、点 A (B) と同じ列に他点 [D (C)] が存在した場合、点 A の列の ρ 値の総和と、点 B の列の ρ 値の総和は一致しない ($\rho_A + \rho_D \neq \rho_B$)。そこで、列の総和演算に加えて「行の総和演算」も合わせて行い、行間もしくは列間のどちらか一方の総和演算が一致すれば、直線と等高

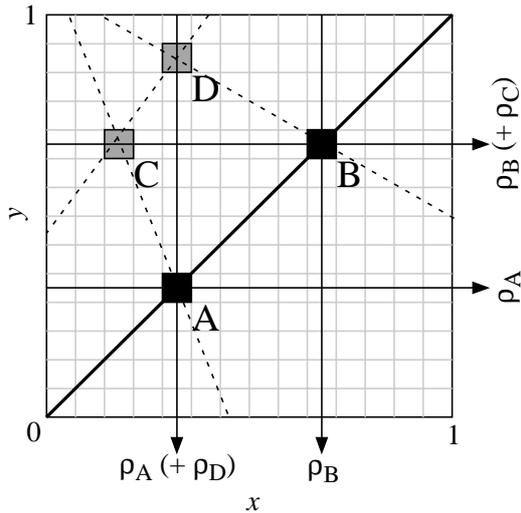


図 6 簡易交点検出アルゴリズムの概略.

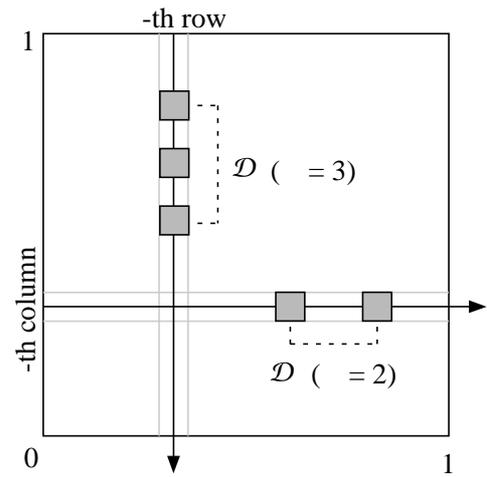


図 7 行 (列) の ρ 値の (条件付き) 平均演算.

線の傾きが一致したと判断することにする。

後のアナログ回路化のために、上記の総和演算を

$$X_j = \frac{1}{d_j} \sum_{i \in \mathcal{D}_j} \rho_{i,j} \quad (4)$$

$$Y_i = \frac{1}{d_i} \sum_{j \in \mathcal{D}_i} \rho_{i,j} \quad (5)$$

のような条件付き平均値演算に置き換える (図 7)。ここで、 $d_{j(i)}$ は j 行 (i 列) に存在する点の数、 $\mathcal{D}_{j(i)}$ は j 行 (i 列) に存在する点の集合を表す。よって、 X_j (Y_i) は、 j 行 (i 列) に存在する点の ρ の平均値である。図 6 の入力空間に A, B, D の三点が存在した場合、点 A (D) 列の平均値と点 B 列の平均値は (点 A と同じ列に点 D が存在するため) 一致しないが、点 A 行の平均値と点 B 行の平均値は等しくなる。同様に、入力空間に A, B, C の三点が存在する場合は、点 A 行の平均値と点 B 行の平均値は (点 B と同じ行に点 C が存在するため) 一致しないが、点 A 列の平均値と点 B 列の平均値は一致する。これらの行平均と列平均の中で、どちらか一方 (または両方) が「平均値の一致」を検出したとき、同じ ρ 値を持つ θ が決定されるとすれば、直線の検出が可能である。

図 6 に示した A, B, C, D の四点の例のように、入力空間中の全ての直線が加算軸に沿う場合、列平均からも行平均からも直線が検出できない。これは、一本の直線が (この例では) 二つだけの点で表されていることに起因する。直線を表す点の数が多ければ、この問題は解決できる。

上述した条件付き平均値の演算は、MOS トランジスタによる擬抵抗回路 [11] により実現できる。図 8 に、光電変換回路 (フォトダイオードとソース接地アンプ) の一例と、条件付き列平均を計算する回路を示す。入力光 (= 点に相当) が与えられた画素の出力 ($S_{i,j}$) は、pMOS トランジスタ ($MP_1 \sim MP_N$) を通して平均値出力線 (Y_i) 上

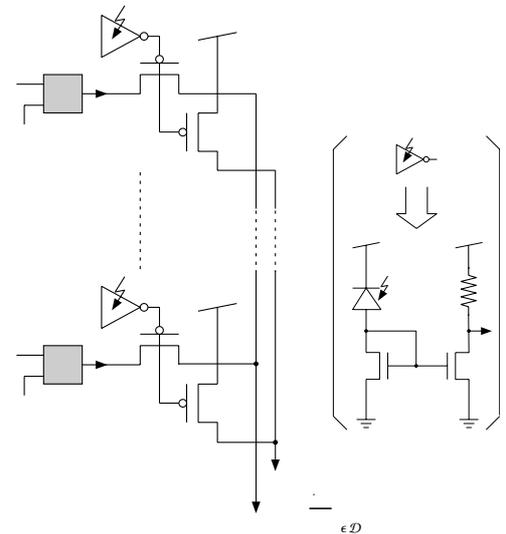


図 8 条件付き平均値回路と光電変換回路例.

に加算される。入力光が与えられていない画素の出力は、その画素の出力に接続された pMOS トランジスタがカットオフとなるため、平均値 (Y_i) に寄与しない。また、入力点が一つ以上存在する行 (列) にフラグ (P_i) をたてるために、pMOS トランジスタ ($MF_1 \sim MF_N$) による論理和回路を設ける。

前述の「列 (行) 間の平均値の一致」を電子回路で検出するために、入力点が一つ以上存在する列 (行) 間の平均値 X_i (Y_i) を、 M 次元の単位位置ベクトル \mathbf{X}_i (\mathbf{Y}_i) に変換する (図 9)、さらに、入力点を一つ以上含む列 (行) の集合を \mathcal{K} 、その要素数を k として、 \mathbf{X}_i (\mathbf{Y}_i) の平均ベクトル和

$$\mathbf{X} \equiv \frac{1}{k} \sum_{i \in \mathcal{K}} \mathbf{X}_i \quad (6)$$

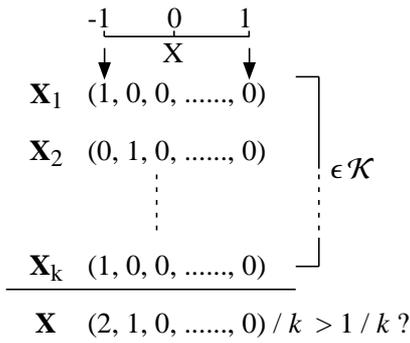


図 9 単位位置ベクトル和による重なり検出.

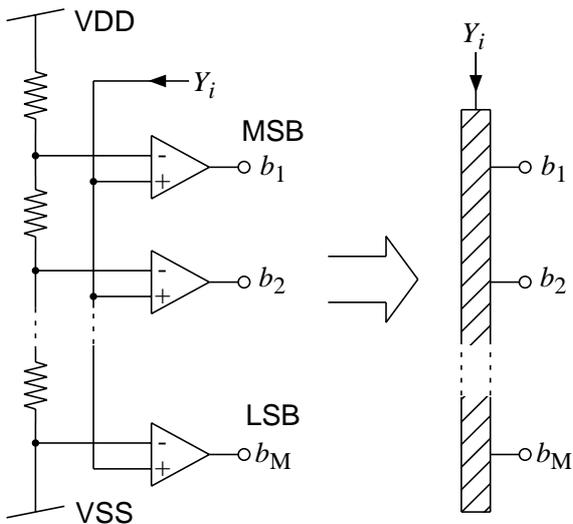


図 10 並列 AD コンバータ.

$$Y \equiv \frac{1}{k} \sum_{i \in K} Y_i \quad (7)$$

を定義する。これらのベクトル (X, Y) の要素値が $1/k$ を越えたとき、同じ X_i (Y_i) が二つ以上存在することになる。つまり、列 (行) 間の平均値が一致したことになり、直線の θ が検出される。また、一致した X_i (Y_i) から、直線の ρ がわかる。

上述した列 (行) 間の平均値の単位位置ベクトル変換は、図 10 に示す並列 AD コンバータにより行う。電源間 (VDD-VSS) により抵抗回路が離散参照電圧を発生させ、コンパレータで列 (行) 平均との比較を行う。

図 11 に、上記の AD コンバータを用いた「ベクトル和演算回路」を示す。図 8 に示した回路が出力する入力行 (列) フラグ (P_i) により、入力点が一つ以上存在する行 (列) から入力を受ける AD コンバータの出力のみが選択され、要素ごとに出力線 ($o_1 \sim o_M$) に加算される。また、nMOS トランジスタ ($MC_1 \sim MC_N$) が、入力点を一つ以上持つ行 (列) の数をカウントする。出力線に加算された AD コンバータの出力と入力点の数をコンパレータにより比較し、コンパレータ出力の論理和をとる。論理和回

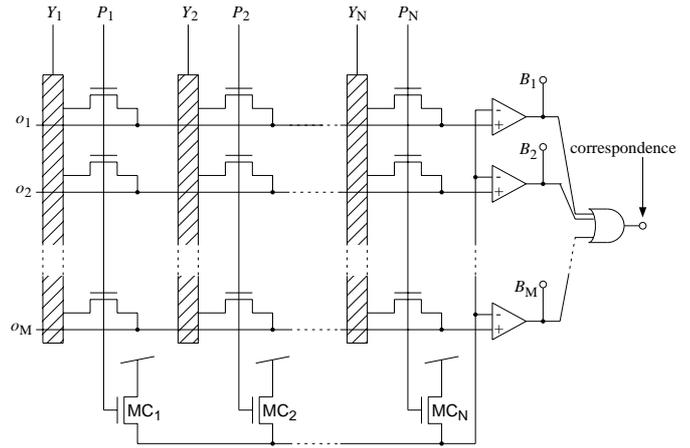


図 11 交点検出回路.

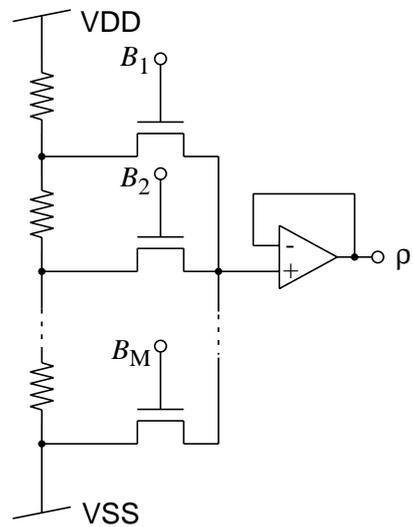


図 12 DA コンバータ.

路の出力 (correspondence) が 1 のとき、直線の θ が検出され、そのときのコンパレータ出力 ($B_1 \sim B_M$) を図 12 に示す DA コンバータに与えることにより、直線の ρ がわかる。

提案した回路は、1 フレームの計算時間中に「傾きの一致信号」を出力し、そのときの ρ を読み出す構成であるため、イベント駆動型のインターフェースを用いれば、容易に既存のデジタル回路と接続可能である。また、この回路を用いた場合、1 フレームのハフ変換にかかる時間は、外部から加える交流電圧の半周期分 $[1/(2f) \text{ s}]$ になる。残りの半周期で外部インターフェースとのデータの受け渡しが行われると仮定すれば、NTSC 信号 (30 frame/s) を変換するために必要な外部交流電圧の周波数は、30 Hz で良い。この周波数は (各画素の並列演算処理により) 入力画像の解像度に依存しないため、より高解像度・高フレームレートのハフ変換処理が十分に期待できる。

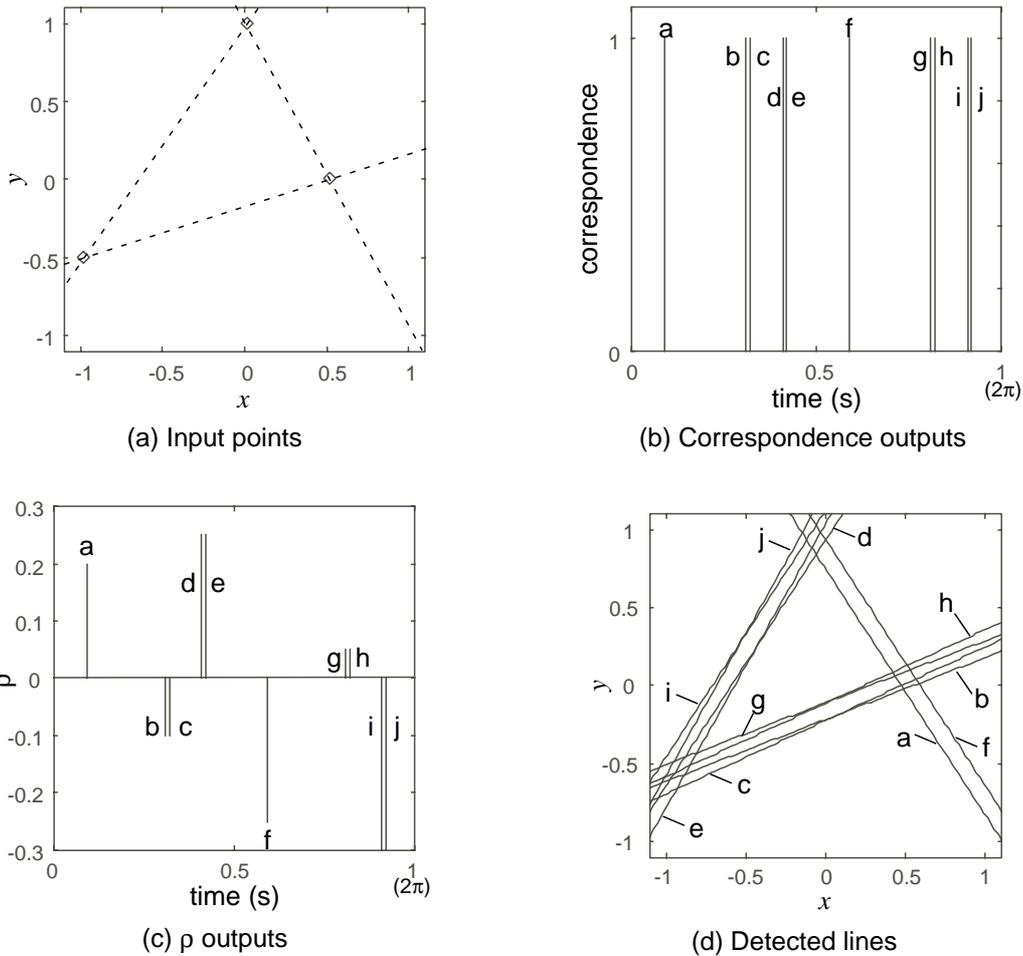


図 13 シミュレーション結果.

3 シミュレーション結果

数値シミュレーションにより、提案した回路の動作確認を行った。図 13 にシミュレーションの入出力データを示す。シミュレーションでは、入力空間を 80×80 に離散分割し、並列 AD コンバータおよび DA コンバータの分解能を約 5.3bit ($\log_2 M$, $M = 40$) とした。また、基本動作確認のため、動作周波数 (f) を 1 Hz, 外部交流電源の電圧振幅 (E_0) を 1 V とした。図 13(a) に、入力画像 (3 点) と、検出されるべき直線 (波線) を示す。

図 13(b) および図 13(c) に、重なり検出信号 (correspondence) の時間変化 (一周期のみ) と、重なりが検出されたときの ρ 値を示す。ハフ変換は外部交流電源の半周期分の時間で完了するため、 $t = 0.5 \sim 1$ s 以降の出力結果は、 $t = 0 \sim 0.5$ s の結果と等価である。また、半周期で検出されるべき直線は図 13(a) からわかるように三本であるが、図 13(b) および図 13(c) に示されるように、実際には a, b, c, d, e の五本が検出された。これは、並列 AD コンバータの精度によるものであり、b と c, d と e がそれぞれ同じ ρ 値で離散化され、 θ に誤差が生じたためである。

図 13(b) と図 13(c) から得られた $\theta (= 2\pi ft)$, ρ を

$$y = -\frac{x}{\tan \theta} + \frac{\rho}{\sin \theta} \quad (8)$$

に代入して逆ハフ変換を行った。交点検出回路における ρ を約 5.3bit で量子化した場合、逆変換して得られる直線の精度は図 13(d) に示す程度であることを確認した。

4 まとめ

提案したアルゴリズムと回路アーキテクチャにより、ハフ変換における ρ の計算を極めて簡単なアナログ電子回路により行うことができた。しかし、後に続く交点検出でアナログ-デジタル混載回路を用いたため、周辺回路の規模が比較的大きい。今後は、アナログ回路による簡潔な交点検出アルゴリズムを再検討し、同時に、コンパクトな逆ハフ変換回路の設計を行う予定である。

近い将来、生体の視覚システムの機能が解明されたとき、それを工学的に応用するための技術が必要になるだろう。さらに、システムの機能・構造が解ってしまうと、より高速かつ効率の良いシステムに置き換えようとする考

えも生まれて当然である。脳の三次元構造を二次元構造のLSIにそのまま実装することは不可能であり、脳内の情報表現をなんらかの形で二次元構造上に展開しなければならない。提案したLSIアーキテクチャは、「二次元構造を保ったまま」脳が行う線分の特徴抽出処理を模擬し、イベント駆動型のインターフェースにより、神経パルスライクな応答をする。このような集積回路化アプローチは、生体様ハードウェア技術とあわせて、将来の「脳型コンピュータ」の実現にむけて役立つものと言える。

参考文献

- [1] O. Y. Suarez and M. R. A. Sadjadi, "Unsupervised clustering in Hough space for identification of partially occluded objects," *IEEE Trans. Pattern Anal. Mach. Intell.*, vol. 21, pp. 946-950, 1999.
- [2] K. Kubo and K. Urahama, "Function regression for image restoration by fuzzy Hough transform," *IEICE Trans. Fundam. Electron. Commun. Comput. Sci.*, vol. E81-A, pp. 1305-1309, 1998.
- [3] J. Y. Goulermas, P. Liatsis, and M. Johnson, "Real-time intelligent vision systems for process control," *Advances in Process Control*, vol. 4, pp. 69-76, 1995.
- [4] D. Casasent and M. Yee, "Multitarget-tracking optical processing system," *Appl. Opt.*, vol. 33, pp. 6860-6872, 1994.
- [5] A. Schultz and H. Wechsler, "A discrete dynamics model for synchronization of pulse-coupled oscillators," *IEEE Trans. Neural Networks.*, vol. 9, pp. 51-57, 1998.
- [6] A. Branca, E. Stella, G. Attolico, and A. Distanto, "Focus of expansion estimation by a backpropagation neural network," *Neural Comput. Appl.*, vol. 6, pp. 142-147, 1997.
- [7] S. Kawakami and H. Okamoto, "A cell model for the detection of local image motion on the magnocellular pathway of the visual cortex," *Vision Res.*, vol. 36, pp. 117-147, 1996.
- [8] T. -H. Hou, L. Lin, and P. D. Scott, "A neural network-based automated inspection system with an application to surface mount devices," *Int. J. Prod. Res.*, vol. 31, pp. 1171-1187, 1993.
- [9] G. L. Dempsey and E. S. McVey, "A Hough transform system based on neural networks," *IEEE Trans. Ind. Electron.*, vol. 39, pp. 522-528, 1992.
- [10] P. V. C. Hough, "Method and means for recognizing complex patterns," *U.S. Patent*, 3069654, 1962.
- [11] E. A. Vittoz, "Pseudo-resistive networks and their applications to analog collective computation," in *Proc. of Microelectronics for Neural Networks, Evolutionary & Fuzzy Systems*, 1997, pp. 163-173.