

減衰シナプスを用いた適応型スパイクニューラルネットのアナログ CMOS 回路化

金澤 雄亮 浅井 哲也 雨宮 好仁

† 北海道大学工学部 電子工学科
〒 060-8628 札幌市北区北 13 条 8 丁目

E-mail: †{kanazawa,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

あらまし シナプスやニューロンはそれらをネットワークとして組んだときに機能的な性質を生む。(既知の、また将来明らかになる)機能的ネットワークの工学的応用には、シナプスやニューロンの特性を模する電子回路の開発・蓄積が重要である。スパイクニューロンやダイナミックシナプスを用いたネットワークは従来の工学ニューロン、シナプスを使ったネットワークと比較して高度な機能(たとえば、高速な処理や周囲の環境に対する適応など)を実現できる可能性がある。ダイナミックシナプスの入力に依存して伝導率を変化させるという性質は(アナログ回路にとって大きな問題である)外界からのノイズに対する安定性をネットワークに与えるかもしれない。そこで本稿では、シナプス前のスパイクニューロンの発火頻度に依存して伝達率が変化するダイナミックシナプスの電子回路化を行なった。電子回路シミュレーションにより提案回路の動的パフォーマンスを示す。また提案回路を用いて、活動パターン認識を行なう適応型スパイクニューラルネットを構成し、そのシミュレーション結果を示す。

キーワード スパイクニューロン、ダイナミックシナプス、シリコンニューロン、パターン認識

Hardware depressing synapses performing contrast-independent pattern recognition with simple CMOS circuits

Yusuke KANAZAWA, Tetsuya ASAI, and Yoshihito AMEMIYA

† Department of Electrical Engineering, Hokkaido University
Kita 13, Nishi 8, Kita-ku, Sapporo, 060-8628, Japan

E-mail: †{kanazawa,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

Abstract In this report, we present a dynamic synapse circuit that can easily be implemented on analog LSIs. The synapse circuit can adapt the synaptic weight to the presynaptic firing rate. By using this circuit, we construct a neural hardware that performs simple pattern recognition where a neuron responds to a specific input pattern independently of the firing frequency of neurons in input layer. The results of experiments and simulations show the characteristic of the synapse circuit and the performance of the neural hardware. The results indicate that the depressing synapse improve the performance of pattern recognition.

Key words spike neuron, dynamic synapse, silicon neuron, pattern recognition

1. はじめに

近年、スパイクニューロンやダイナミックシナプスによるネットワークが生む機能的な性質が研究されている。たとえば、スパイクタイミングに基づく神経競合ネットワーク [1]、外界からネットワークに適度なノイズを加えることで正確な動作(例えば、完全な同期振動)が可能になるネットワーク [2] やシナプス前ニューロンの活動パターン認識を行うネットワーク [3] など

が調べられている。ニューロンとシナプスを大規模集積が可能な形で回路化(アナログ集積回路化)し、それによって大規模ニューラルネットワークを半導体チップ上に構築することで、上記のようなネットワークの機能の工学的な応用を目指す。既知の、または将来明らかになる機能的ネットワークを工学的に応用するためには、シナプスやニューロンの特性を模する電子回路の開発・蓄積が重要である。現在、従来の工学ニューロンに比べて脳に近い特性を持つスパイクニューロン回路の開発が

盛んであるが、スパイクを伝達するシナプスのハードウェア化の例はまだ少ない（減衰シナプスの例では、[4]、時間非対称ヘブ学習のためのシナプスの例では、[5] など）。ダイナミックシナプスの入力に依存して伝導率を変化させるという性質は、外界からのノイズに対する安定性をネットワークに与える可能性がある。したがって、ダイナミックシナプス回路を構成することで、外界からのノイズに対して安定に動作する機能的ネットワーク回路を実現できるかもしれない。

そこで、本稿では、アナログ回路による大規模集積可能なダイナミックシナプス回路を提案する。構成が簡単な、ソース接地アンプを使った減衰シナプス回路と、減衰と増強の二つの性質を合わせ持つダイナミックシナプス回路の構成を示す。シミュレーションにより提案するシナプス回路の動特性を示す。さらに、減衰シナプスを使った機能的ネットワークの例として、提案回路を使ってシナプス前ニューロンの活動パターン認識を行うネットワーク [3] を構成する。ネットワークのシミュレーション結果より、減衰シナプスを使うことでネットワークがシナプス前のニューロンの発火頻度の変化に適応して認識を行うようになることを示す。

2. 減衰シナプスのアナログ CMOS 回路化

シナプス前ニューロンの発火頻度や発火タイミングに応じてシナプス後ニューロンとの結合重みが変化するようなシナプスをダイナミックシナプスと呼ぶ [6], [7]。ダイナミックシナプスにおける結合重みの変化は、ネットワークレベルの学習によるものではなく、シナプス前ニューロンの軸索末端における伝達物質の放出と生成（回収）サイクルの変化により短期的に起こるものである。

最も簡単なダイナミックシナプスの動作は、

$$\tau_e \frac{dE}{dt} = -E + I_{in}^{(e)}, \quad (1)$$

$$\tau_i \frac{dI}{dt} = -I + I_{in}^{(i)}, \quad (2)$$

である。ここで、 E は興奮性シナプス後電位 (excitatory postsynaptic potential: EPSP), I は抑制性シナプス後電位 (inhibitory postsynaptic potential: IPSP), $\tau_{e,i,m}$ は時定数を表す。これらのシナプスは、シナプス前ニューロンの出力 ($I_{in}^{(e,i)}$) を積分して EPSP と IPSP をつくりだす。これらの EPSP と IPSP を介してシナプス後ニューロンへ信号を伝達する。シナプス前ニューロンの発火頻度が増加して EPSP と IPSP の時間変化が入力に追従できなくなると、シナプス後ニューロンへの信号伝達効率が下がる。したがって、このシナプスはローパスフィルタとして機能する。入力頻度の増加に伴ってシナプス前ニューロンの出力が減衰してシナプス後ニューロンに伝わるため、このようなシナプスを減衰シナプスと呼ぶ。また逆の動作をするシナプスを増強シナプスと呼ぶ。

図 1 に減衰シナプス回路の構成を示す。シナプス後ニューロンとの結合の仕方に応じて、興奮性と抑制性の二種類のシナプスに分類できる。興奮（抑制）性シナプス回路はシナプス後ニューロンの膜 (C_m) を充（放）電し、それによって膜電

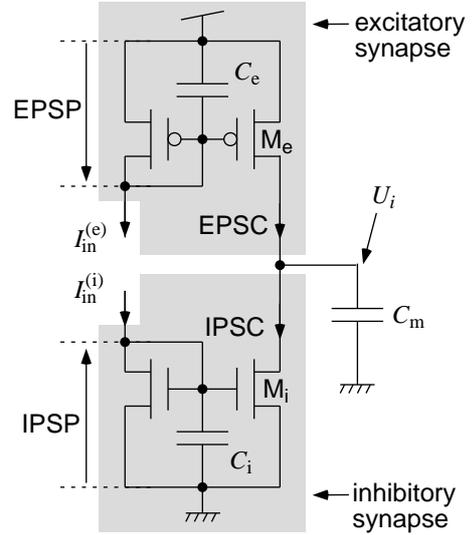


図 1 抑制性 / 興奮性の減衰シナプス回路

位が増加（減少）する。それぞれのシナプス回路は入力電流 $I_{in}^{(e,i)}$ を受けて、EPSP と IPSP を発生する。MOS トランジスタ M_e と M_i により EPSP と IPSP を電流に変換してシナプス後ニューロンの膜 (C_m) を充放電する。MOS トランジスタがサブスレッショルド領域で動作するとき、EPSC (M_e の電流) と IPSC (M_i の電流) は

$$\text{EPSC} = I_0 \exp(\kappa \text{EPSP} / V_T), \quad (3)$$

$$\text{IPSC} = I_0 \exp(\kappa \text{IPSP} / V_T), \quad (4)$$

である。ここで、 I_0 と κ はプロセス依存パラメータ、 $V_T = kT/q$ (k はボルツマン定数、 T は絶対温度、 q は電子の素電荷量; 室温においては、 V_T は約 26 mV) である。標準的な $1.5\text{-}\mu\text{m}$ n -well アナログ CMOS プロセスの典型値は $I_0 = 0.5 \times 10^{-15}$ A, $V_0 = 15$ V, $\kappa = 0.6$ である。興奮性および抑制性シナプスのダイナミクスは

$$C_e \frac{d\text{EPSP}}{dt} = -I_0 \exp(\kappa \text{EPSP} / V_T) + I_{in}^{(e)}, \quad (5)$$

$$C_i \frac{d\text{IPSP}}{dt} = -I_0 \exp(\kappa \text{IPSP} / V_T) + I_{in}^{(i)}, \quad (6)$$

となる。ここで、 C_e (C_i) は興奮性（抑制性）シナプスと細胞体間の容量を表す。式 (5) と (6) は質的には (1) と (2) と等価である。

図 1 に示した減衰シナプス回路は、簡単な回路で構成可能であるがインパルス入力（スパイクのパルス幅が発火頻度に依存しない）を扱う上では大きな問題が生じる。このシナプスはキャパシタの充放電により、入力パルスを積分する回路である。キャパシタの容量が大きくなる（長時間積分することになる）と、出力パルスの最大振幅は小さくなり、パルス幅は広くなる。したがって、出力パルスの最大振幅は減衰するが、スパイク 1 本あたりの効率（ここではスパイク 1 本が持つ電荷の量）はシナプス前とシナプス後で全く変わらない。そこで、パルス幅一定の入力に対しても発火頻度の増加に伴いシナプス 1 本あたりの効率が減衰し、かつ構成が簡単な減衰シナプス回路を提案する。図 2 に、電流ミラーとソース接地アンプを組み合わせる

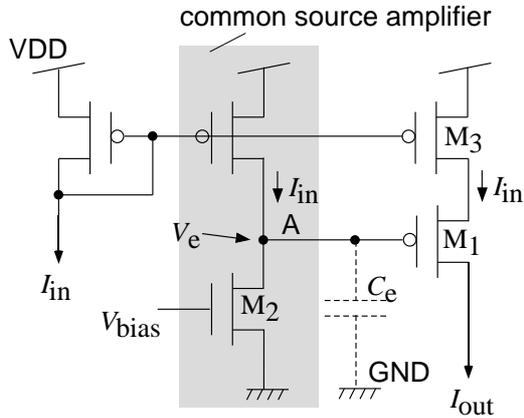
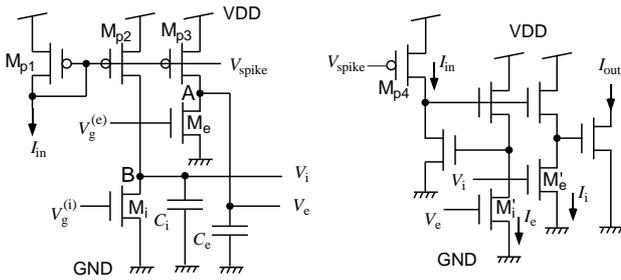


図2 インパルス入力に対応した減衰シナプス回路



(a) current-mode integrator (b) translinear multiplier/divider

図3 減衰と増強の二つの性質を合わせ持つダイナミックシナプス回路

成した減衰シナプス回路をしめす。このシナプス回路に、入力がない場合 ($I_{in} = 0$) 節点 A の電圧 V_e はゼロである。したがって、トランジスタ M_1 は on 状態にある。入力電流を与えると ($I_{in} > 0$) V_e は増加し M_1 は off 状態になる。そのため、トランジスタ M_3 が出力 I_{out} に転写する電流はゼロである。また、節点 A には寄生容量 C_e が存在するため、 V_e の増加はわずかな時間遅れを伴う。したがって、トランジスタ M_1 はわずかな時間だけ on 状態になり、回路はスパイク電流 I_{out} を出力する。入力電流が再びゼロになると、トランジスタ M_2 が寄生容量 C_e の電荷を放電し、 V_e はゼロに戻る。短い間隔でスパイク入力が入った場合、 V_e がゼロに戻る前に次のスパイクが入る。この時点で、 M_1 は完全な on 状態ではないため、出力スパイクの振幅は V_e の大きさに応じて小さくなる (V_e が増加すると出力スパイクの振幅は減少する)。したがって、スパイク 1 本あたりの効率 (ここではスパイク 1 本が持つ電荷量) が減少する。トランジスタ M_2 の電流はゲート電圧 V_{bias} の増加に対して単調に増加するため、 V_{bias} が増加すると V_e がゼロに戻るまでの時間は減少する。すなわち、電圧 V_{bias} を調節することで、減衰の時定数を変えることが可能である。

最後に、減衰と増強の二つの性質を合わせ持つダイナミックシナプス回路の構成を示す。まず、図 3(a) に示すような電流積分器を構成する。シナプス前ニューロンからの入力 I_{in} を電流ミラー (M_{p1} から M_{p3}) により節点 A と B に転写してキャパシタ C_e と C_i を充電し、トランジスタ M_e と M_i がキャパシタ C_e と C_i の電荷を放電する。シナプス前ニューロンの発火周期

がそれぞれの電流積分器の充放電の時定数よりも短くなると、 V_e (または V_i) の時間平均値が増加する。

図 3 の回路の節点 A と B におけるダイナミクスは、

$$C_i \dot{V}_i = I_{in} - I_0 e^{\kappa V_g^{(i)}/V_T} (1 - e^{-V_i/V_T} + V_i/V_0)$$

$$C_e \dot{V}_e = I_{in} - I_0 e^{\kappa V_g^{(e)}/V_T} (1 - e^{-V_e/V_T} + V_e/V_0)$$

に従う。図 3(a) の出力 (V_e , V_i , V_{spike}) を図 3(b) に示すトランスリニア乗除算器 [8] に与える。トランスリニア乗除算器の入出力特性は、

$$I_{out} = \frac{I_e}{I_i} I_{in}$$

であり、トランジスタ M'_e と M'_i が飽和動作する場合は

$$I_{out} = \frac{e^{\kappa V_e/V_T}}{e^{\kappa V_i/V_T}} I_{in}$$

となる。図 3(a) の回路が受けたシナプス前ニューロンからの入力 I_{in} を、 V_{spike} を共有する電流ミラー (M_{p1} と M_{p4}) を介してトランスリニア乗除算器に与え、図 3(a) の V_e および V_i を図 3(b) のトランジスタ M'_e と M'_i のゲートに与える。すると、 $V_e > V_i$ ではトランスリニア乗除算器がシナプス前ニューロンからの入力を増幅し、逆に $V_e < V_i$ の場合は出力を抑制する。ここで、シナプス前ニューロンからの入力スパイク電流の振幅が一定かつ $C_i = C_e$ であれば、節点 A と B における電流の積分量 (電圧) はトランジスタ M_e と M_i の電流のみによって決まる。これらのトランジスタの電流は、 M_e と M_i のゲート電圧 $V_g^{(e)}$ と $V_g^{(i)}$ の増加に対して単調増加するため、ゲート電圧が増加すれば積分回路の時定数は減少する。よって、 $V_g^{(e)} > V_g^{(i)}$ であれば、スパイク入力を与える度に V_i の時間平均値が V_e のそれよりも大きくなって、トランスリニア乗除算器の利得が減少する。すなわち、 I_{in} と I_{out} をそれぞれシナプス前ニューロンの出力とシナプス後ニューロンの入力であると考えれば、この回路は減衰シナプスとして機能する。逆に、 $V_g^{(e)} < V_g^{(i)}$ であれば、スパイク入力を与える度に V_e の時間平均値が V_i のそれよりも大きくなって、トランスリニア乗除算器の利得が増加する。この場合は、この回路は増強シナプスとして機能する。すなわち、提案回路を用いれば、パラメータ $V_g^{(e)}$ と $V_g^{(i)}$ の大きさのバランスによって、減衰と増強の機能を切り替えることができる。

3. シミュレーション結果

提案したダイナミックシナプス回路の動作をシミュレーションにより確認した。以下のシミュレーション結果は、電子回路シミュレータ HSPICE により得られたものであり、トランジスタのパラメータは、米 MOSIS の AMIS 1.5- μm CMOS パラメータおよびそのプロセスの最小サイズトランジスタ (チャネル幅とチャネル長はそれぞれ 2.3 μm と 1.5 μm) を使用した。

図 4 に図 1 に示した減衰シナプス回路についてのシミュレーション結果を示す。ここでは興奮性のシナプス (図 1 中の excitatory synapse) についてシミュレーションを行った。キャパシタ C_e の容量は 10 pF とした。入力 I_{in} として最小値 0 A, 最

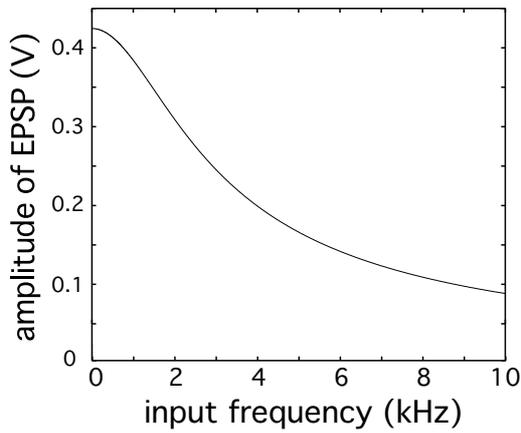


図4 入力周波数に対する EPSP の振幅の変化

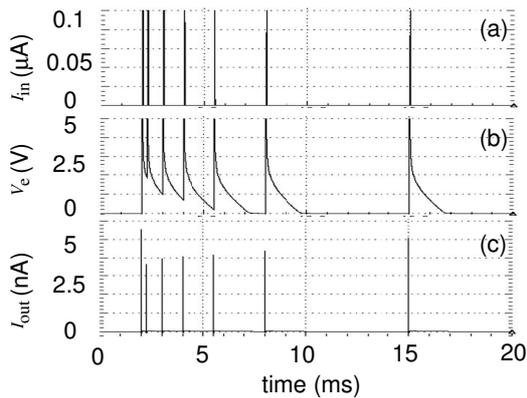


図5 インパルス入力に対応した減衰シナプス回路のシミュレーション結果

大値 $3 \mu\text{A}$ の正弦波の電流を与えた。入力の周波数を 1 Hz から 10 kHz まで変化させた場合の EPSP の振幅を図 4 に示す。入力の周波数が高くなると、EPSP の時間変化が入力に対応できなくなり、EPSP の振幅が小さくなることを確認した。

図 5 にインパルス入力に対応した減衰シナプス回路 (図 2) の動作例を示す ($V_{\text{bias}}=0.3 \text{ V}$, 入力パルス幅: $10 \mu\text{s}$, パルス振幅: $0.1 \mu\text{A}$)。スパイク入力 I_{in} を間隔を変えて入力した [図 5(a): 1 本目: 2 ms , 2 本目: 2.25 ms , 3 本目: 3 ms , 4 本目: 4 ms , 5 本目: 5.5 ms , 6 本目: 8 ms , 7 本目: 15 ms]。短い時間に連続して入力が入った場合 [図 5(a) では 0.25 ms から 1 ms 程度] は、出力パルスの振幅が減衰する [図 5(c)]。間隔を広げていくと、 V_e がゼロに近づき [図 5(b)]、出力パルスの振幅が初期値へ戻ることを確認した。図 6 にスパイク間隔に対する、出力パルスの振幅の変化を示す。横軸はスパイク間隔、縦軸は出力パルス振幅を示す。シミュレーション結果とその近似曲線を示す。スパイク間隔が短くなるにしたがって、出力パルスの振幅が減衰することを確認した。

図 7 に減衰および増強シナプス回路の動作例を示す ($C_e = C_i = 10 \text{ pF}$, 入力パルス周期: 1 ms , パルス幅: $10 \mu\text{s}$, パルス振幅: 1 nA)。 $V_g^{(e)} > V_g^{(i)}$ の時にスパイク入力 I_{in} [図 7(a)] を与えたとき、設計通り V_e と V_i の差が入力スパイク数の増加とともに大きくなり ($V_i < V_e$) I_{out} はスパイク列の入力とともに減衰した [図 7(b); $V_g^{(e)} = 0.3 \text{ V}$, $V_g^{(i)} = 0.2 \text{ V}$ を設定]。一

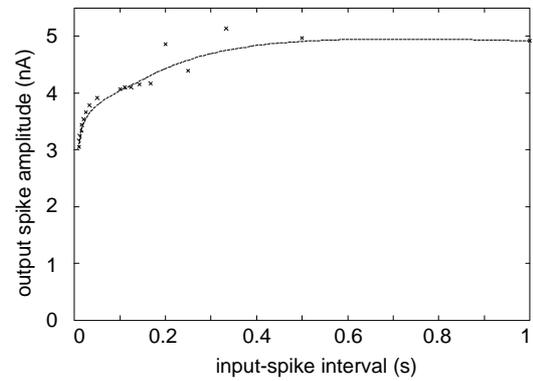


図6 入力スパイク間隔の広がりに対する出力スパイク振幅の減衰

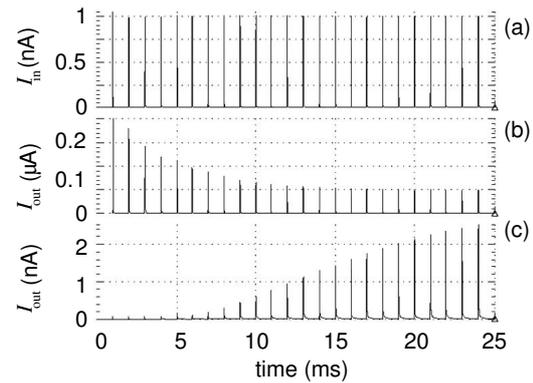


図7 減衰および増強シナプス回路の動作例

方、 $V_g^{(e)} < V_g^{(i)}$ の場合はその逆で、 I_{out} はスパイク列の入力とともに増加した [図 7(c); $V_g^{(e)} = 0.1 \text{ V}$, $V_g^{(i)} = 0.3 \text{ V}$ を設定]。また、入力をカットすると電流利得は徐々に初期値へ戻ることを確認した。

4. 適応型の活動パターン認識ネットワーク

減衰シナプスを使った機能的ネットワークの例として、シナプス前ニューロンの活動パターン認識を行うネットワークを紹介する [3]。このネットワークを提案した減衰シナプス回路を用いて構成する。その動作シミュレーションにより、減衰シナプスを使うことで、ネットワークの識別能力がシナプス前ニューロンの発火頻度の変化に非依存になることを示す。

図 8 のような簡単なネットワークを考える。多数のスパイクニューロンが、シナプス結合を介して後段のニューロンに接続している。活動ニューロンは一定周期でインパルス (スパイク) を出力し、非活動ニューロンは何も出力しない。後段のニューロンは $V_{\text{SOMA}} > V_{\text{TH}}$ となる場合にスパイクを出力し、発火後に V_{SOMA} をリセットする。以下、入力スパイクのパルス振幅、パルス幅、 V_{SOMA} からのリークが一定の場合を考える。この場合、 V_{SOMA} は、シナプス後ニューロンへの入力スパイク数に比例して増加する。そのため、全てのシナプス前の活動ニューロンが同じ頻度で発火している場合、 V_{SOMA} は活動ニューロンの数に比例して増加する。この場合、活動ニューロン数に対応したしきい値 V_{TH} を設定することで、ネットワークはシナプス前の活動ニューロンの数を識別することができる。シナプス前

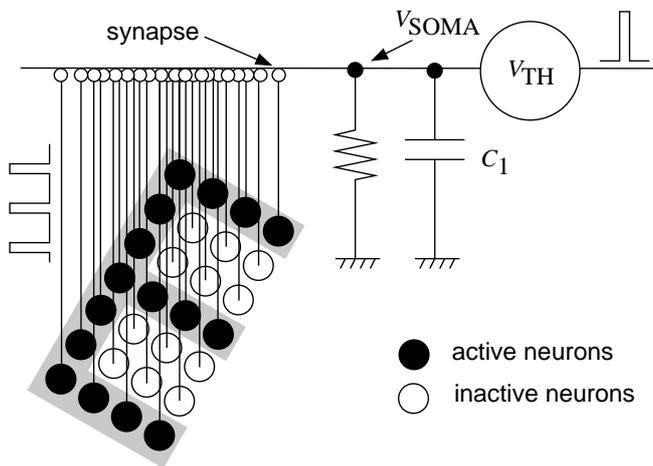


図 8 減衰シナプスとスパイクニューロンを用いたシナプス前の活動パターン認識を行なうネットワーク

のニューロンの発火頻度が一定でない場合、 V_{SOMA} はスパイクニューロンの発火頻度にも比例して増加する。たとえば、活動ニューロン数 50 個で発火頻度が 20 Hz の場合と、活動ニューロン数が 10 個で発火頻度が 100 Hz の場合には、後段のニューロンに入力されるスパイク数が同じであるため、 V_{SOMA} は同じ値を取る。このように、全ての前段のニューロンの発火頻度が一定でない場合、発火頻度の変化によって、図 8 に示したネットワークの識別能力は大きく低下する。ここで、シナプス結合に減衰シナプスを用いると、ネットワークの識別能力が前段のニューロンの発火頻度の変化に非依存になる（発火頻度が変わっても正しい識別ができる）[3]。これは、減衰シナプスがシナプス前のニューロンの発火頻度に応じて結合重みを変化させるためである。短い時間に連続して減衰シナプスにスパイクが入る場合（それぞれのニューロンの発火頻度が高い場合）、スパイク 1 本当たりの効率（ここでは図 6 の C_1 に流れ込む電荷の量）が下がる。したがって、発火頻度の増加により入力スパイクの数が増えても、スパイク 1 本当たりの効率が下がるため V_{SOMA} が大きく変化することはない。そのため、発火頻度が変わっても識別結果が変わることはない。提案した減衰シナプス回路を用いてこのネットワークを構成し、実験とシミュレーションを行う。結果から、シナプス結合に減衰シナプスを用いることで、（減衰シナプスを用いない場合に比べて）ネットワークの識別能力が向上することを示す。

図 8 のネットワークの基本要素はインパルスを出力するスパイクニューロンと減衰シナプスである。インパルス情報を扱う必要があるため、図 2 の示した減衰シナプス回路、または図 3 に示した減衰と増強の二つの性質を合わせ持つダイナミックシナプス回路が必要である。このネットワークは増強シナプスを持たないため、構成の簡単な図 2 の減衰シナプス回路を採用した。ブレッドボード上に、4 個のシナプスが後段のニューロンに接続しているネットワークを構成した [n MOS (NEC 2SK1398) と p MOS (NEC 2SJ184) を使用]。入力として、パルス振幅約 80 μ A、パルス幅 0.5 ms のパルスを与えた。バイアス電圧 V_{bias} は 1 V とした。シナプス後のニューロンの時定数を 0.1 s

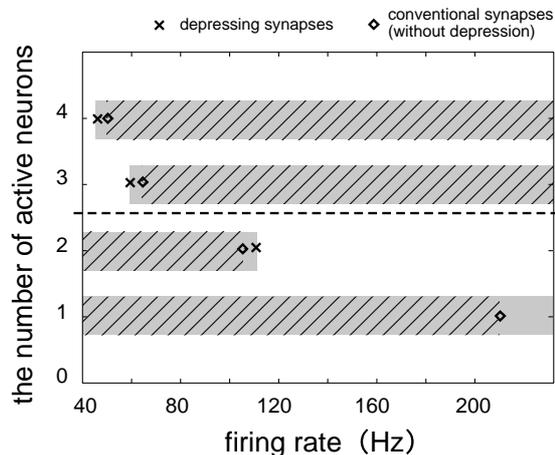


図 9 活動ニューロン数を識別するネットワークの測定結果（シナプス数: 4）

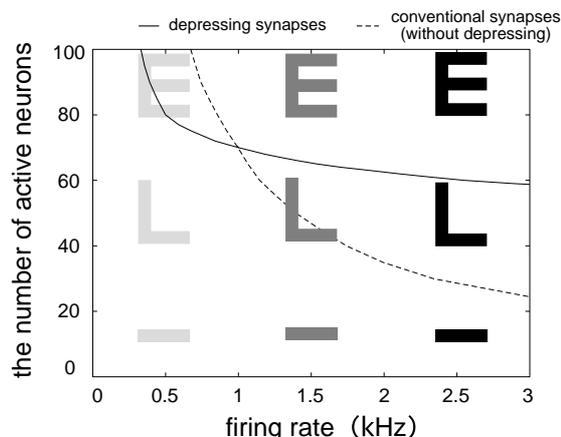


図 10 大規模な活動ニューロン数判定ネットワークのシミュレーション結果（シナプス数: 100）

とした。減衰シナプスを用いた場合と用いない場合それぞれについて測定を行った。しきい値として、発火頻度 80 Hz 時の、活動ニューロン数 2 個の場合の V_{SOMA} と 3 個の場合の V_{SOMA} の中間の電位を設定した（ V_{TH} は、減衰シナプス使用時: 0.24 V、未使用時: 1.99 V）。ネットワークの測定結果を図 9 に示す。活動ニューロン数（縦軸）に対し、初めて V_{SOMA} がしきい値に達したときの発火頻度（横軸）をプロットした。正しく識別できる範囲を併せて示した。灰色で示した範囲は減衰シナプスを用いたネットワークが正しく識別できた範囲、斜線で示した範囲は減衰シナプスを用いない場合に正しく識別できた範囲である。活動ニューロン数が 1 個の場合、発火頻度を上げて V_{SOMA} はしきい値に達することはなかった。すなわち、活動ニューロン数が 1 個の場合、減衰シナプスを使うことで、ネットワークが測定した発火頻度の全ての範囲内で誤りなく識別を行なうことができた。実験により、減衰シナプスを用いることで、ネットワークの識別能力が向上する（正しく識別できる範囲が広がる）ことを確認できた。

さらに、大規模なネットワークにおいて識別能力の向上を確認するため、100 個のシナプス結合を持つネットワークについて HSPICE シミュレーションを行った。減衰シナプスとして、

	EEE	LLL	---
conventional synapses	+ + - fail	+ + - fail	- - - success
depressing synapses	+ + + success	- - - success	- - - success

$+$: $V_{SOMA} > V_{TH}$ $-$: $V_{SOMA} < V_{TH}$

表 1: 減衰シナプス使用/未使用の際の判定回路の識別能力の違い (シミュレーション結果)

図 2 に示した減衰シナプス回路を用いた。シナプス前の活動ニューロンが“E”, “L”, “-”のようなパターンを形成するとし、“E”は活動ニューロン数が 90 個, “L”は 50 個, “-”は 10 個であるとした。入力として、パルス振幅 $0.1 \mu A$, パルス幅 $10 \mu s$ のパルスを与えた。シナプス後のニューロンの時定数を 2 ms とした。減衰シナプスを用いた場合と用いない場合それぞれについて測定を行った。しきい値として、発火頻度 1 kHz 時の、活動ニューロン数 70 個の場合 (“E”と “L”の中間)の V_{SOMA} を設定した (V_{TH} は、減衰シナプス使用時: 0.55 V , 未使用時: 1.43 V)。シミュレーション結果を図 10 に示す。活動ニューロン数に対し、初めて V_{SOMA} がしきい値に達したときの発火頻度をプロットした。シミュレーション結果から得られた識別結果を、表 1 に示す。最も黒に近い画像は 2.5 kHz (1 秒間に 2500 回発火) でそれぞれの活動ニューロンが発火, 最も白に近い画像は 0.5 kHz , 二つの中間色の画像は 1.5 kHz とした。減衰シナプスを用いない場合、“E”, “L”に関して、シナプス前ニューロンの発火頻度が変わると識別結果が変わり、正しい識別を行なうことができなかった。減衰シナプスを用いた場合は、シミュレーションした発火頻度の範囲内で、全てのパターンにおいて正しい識別が行えることを確認した。シミュレーション結果から、大規模なネットワークにおいて、減衰シナプスを用いることでネットワークの識別能力が向上することを確認できた。

5. ま と め

脳の機能に学んだネットワーク回路の基本素子となる、ダイナミックシナプス回路を提案した。これらは従来の工学ニューロンとシナプスのモデルをより脳に近い形で表している。シミュレーションにより、ダイナミックシナプス回路の動的パフォーマンスを示した。提案した回路を用いて、ダイナミックな特性のシナプスとニューロンを持つ機能的ネットワーク (減衰シナプスを使った活動パターン認識を行うネットワーク) を電子回路化した。測定と電子回路シミュレーションによりネットワークの動作を確認した。測定, シミュレーション結果から、減衰シナプスを用いることで、ネットワークの識別能力がシナプス前ニューロンの発火頻度の変化に依存しなくなることを確認した。

文 献

[1] T. Fukai, “Competition in the temporal domain among neural activities phase-locked to subthreshold oscillations,” *Biol. Cybern.*, Vol. 75, pp. 453-461, 1996.

[2] T. Fukai and S. Kanemura, “Noise-tolerant stimulus discrimination by synchronization with depressing synapses,” *Biol. Cybern.*, Vol. 85, pp. 107-116, 2001.

[3] G. Bugmann, “Synaptic depression increases the selectivity of a neuron to its preferred pattern and binarizes the neural code,” *Biosystems*, Vol. 67, pp. 17-25, 2002.

[4] C. Rasche and R.H.R. Hahnloser, “Silicon synaptic depression,” *Biol. Cybern.*, Vol. 84, pp. 57-62, 2001.

[5] A. Bofill, A.F. Murray, D.P. Thompson, “Circuits for VLSI implementation of temporally-asymmetric Hebbian learning,” in *Advances in Neural Information Processing Systems 14*, 2002.

[6] L. F. Abbott, J .A. Varela, K. Sen, and S. B. Nelson, “Synaptic depression and cortical gain control,” *Science*, Vol. 275, pp. 220-224, 1997.

[7] M. Tsodyks, K. Pawelzik, and H. Markram, “Neural networks with dynamic synapses,” *Neural Computation*, Vol. 10, pp. 821-835, 1998.

[8] A.G. Andreou, K.A. Boahen, P.O. Pouliquen, A. Pavasović, R.E. Jenkins and K. Strohhenn, “Current-mode subthreshold MOS circuits for analog VLSI neural systems,” *IEEE Trans. Neural Networks*, Vol. 2, pp. 205-213, 1991.