

エラー補償アーキテクチャを応用した単電子スパイクニューロン回路

大矢 剛嗣[†] Alexandre SCHMID[‡] 浅井 哲也[†] Yusuf LEBLEBICI[‡] 雨宮 好仁[†]

[†]北海道大学 大学院情報科学研究科
〒060-0814 札幌市北区北 14 条西 9 丁目

[‡] Microelectronic Systems Laboratory, Swiss Federal Institute of Technology (EPFL)
Lausanne, CH-1015 Switzerland

E-mail: oya@sapiens-ei.eng.hokudai.ac.jp

あらまし 本研究では、単電子回路による抑制性競合ニューラルネットワークの構成について提案する。近年の単電子回路をはじめとするナノデバイスの研究・開発にはめざましいものがある。しかし、その発展に伴いデバイスエラー対策や各種ノイズ対策が問題となっている。そこで、本稿ではこの問題を打開するものとして二種類の手法を単電子回路に取り入れた。一つはニューラルネットワークを構成することであり、もう一つはエラー補償アーキテクチャの導入である。コンピューターシミュレーションにより、ニューロン回路、ネットワークの動作をそれぞれ確認したのでその結果を示す。シミュレーション結果は、提案回路がデバイスエラーや各種ノイズに対して冗長性があることを示している。

キーワード スパイクニューロン回路, 競合ネットワーク, 単電子回路, エラー補償アーキテクチャ

Spiking Neuron Circuit Using Single-Electron Tunneling Device with Fault-Tolerant Architecture

Takahide OYA[†] Alexandre SCHMID[‡] Tetsuya ASAI[†] Yusuf LEBLEBICI[‡] Yoshihito AMEMIYA[†]

[†] Graduate School of Information Science and Technology, Hokkaido University
Kita 14, Nishi 9, Kita-ku, Sapporo, 060-0814 Japan

[‡] Microelectronic Systems Laboratory, Swiss Federal Institute of Technology (EPFL)
Lausanne, CH-1015 Switzerland

E-mail: oya@sapiens-ei.eng.hokudai.ac.jp

Abstract In this report, we present an inhibitory spiking neural network that uses single-electron circuit devices. Recently, the study of various nanodevices such like single-electron devices is developed furthermore. The device failure or signal noise, however, will be problems, when the nanodevices are fabricated. To solve these problems, we constructed the inhibitory competitive network that consists of a single-electron circuit with the fault-tolerant architecture. We confirmed the operations of the proposed circuits by using computer simulation. These simulation results show the proposed circuit promises to overcome the device failure or the signal noise.

Keyword Spiking Neuron Circuit, Inhibitory Competitive Network, Single-Electron Circuit, Fault-Tolerant Architecture

1. はじめに

近年、ナノエレクトロニクスの分野においてニューラルネットワークを模擬したシステムの開発が注目されている。この分野では、単電子デバイスをはじめとする量子デバイスの開発が盛んに行われており、すでに数多くの回路が提案されている。量子デバイスとは各種の量子効果（例えば、単電子回路におけるクーロンブロック効果）を積極的に利用するデバイスのことである。しかし、量子デバイスはその構造が非常

に微細なものになるため、バックチャージや断線などのデバイスエラー、入力信号や外部からの各種雑音に関する対策や検討を必要とする。冗長性を持つニューラルネットワークとして、ここでは Winner-take-all (WTA) および Winners-share-all (WSA) の解を持つ抑制型ニューラルネットワークに着目する。特に複数の「勝者」を持つ WSA 解の性質を生かしたニューラルネットワークの冗長性に着目する[1]。実際のニューロン単体は非常にノイズに弱い。しかし、いくつものニュー

ロンが集まりネットワークを構成すると全体としてノイズに強い動作を示す。したがって、単位素子がノイズやエラーに弱い量子デバイスであっても、ニューラルネットワークをつくることで問題の改善が見込める。一方、量子デバイスとしてなんらかのネットワークをつくるとき、ネットワークを構成する単位素子についてもエラーやノイズに関して検討を行うことが望ましい。近年、回路に冗長性を持たせることによりエラーやノイズの問題を改善するというアーキテクチャ（エラー補償アーキテクチャ）が提案されている[2]。したがって、ネットワークを構成する各素子に冗長性を持たせても、上述の問題改善が見込めると考える。

そこで本稿では、エラー補償アーキテクチャを導入した単電子ニューロン回路についてエラーに対する冗長性の検討を行う。また、競合ネットワークを単電子回路で構成し、エラーに対する冗長性を検討する。最後に、この2つを組み合わせ、エラー補償ニューロンによる競合ネットワークについて検討を行う。ニューロン、ネットワークの各シミュレーション結果より、提案する回路がデバイスエラーなどに対して冗長性をもつことを示す。

2. スパイクニューロンの回路化

この章では単電子回路によるスパイクニューロン回路の構成方法について述べる。

2.1. 単電子振動子

スパイクニューロン回路を構成するために、本稿では単電子振動子を導入する。この振動子は、量子ドットを中心として、ドットとグラウンド間にトンネル接合(C_j)を、ドットとバイアス電圧 V_{dd} 間に高抵抗(R_i)を直列に連結した構造である(図 1(a))。この単電子振動子は、極低温下でクーロンブロック効果によりドット電位が振動する [3]。動作の例を図 1(b)に示し、その仕組みについて以下に示す。この振動子はあるしきい値を持つ。ここでしきい値とは、その値を越えると単電子のトンネル事象が発生する値をいう。ドットの電位はバイアス電圧により決まる。図 1(b)において、バイアス電圧をしきい値以下になるように設定する。すると、外部からの入力が必要なければドットの電位は安定する(休止状態)。次に、休止状態で十分な大きさの入力信号(電位パルスなど)を与えると、ドットの電位がしきい値を越える。すると、ある待ち時間を経てグラウンドからドットにトンネル接合を通して電子がトンネルする。ドットの電位は、ドットに電子がトンネルすると同時に正から負に転じる(興奮状態)。本稿では、ドット電位の急激な変化をニューロンのスパイク信号と考える。ドットの電位が負に転じると、ドッ

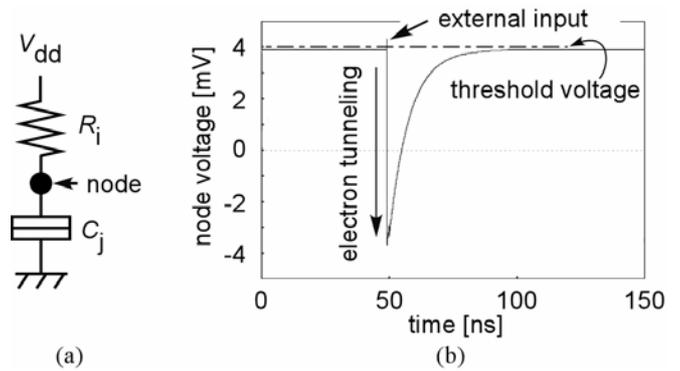


図 1 単電子振動子；(a)回路構成，(b)回路の挙動(シミュレーション)

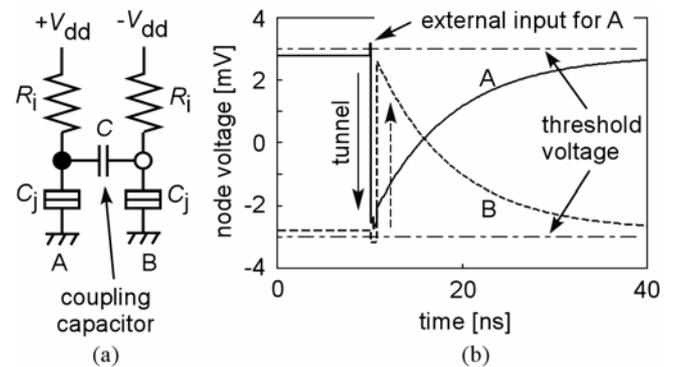


図 2 単電子振動子の連結；(a)連結の例，(b)信号伝播

トとバイアス電源の間に電位差が生じる。このため、バイアス電圧と高抵抗により容量(トンネル接合)の充電が行われる(不応状態)。最終的には充電の効果でドット電位は元の安定状態に戻る。

後述のスパイクニューロン回路を構成するために、この振動子を連結する。その連結の仕方を以下に述べる。本稿では、振動子間の連結としてキャパシタ(C)を用いる(図 2(a))。ここで、スパイク信号を連結振動子に伝えるため、振動子のバイアス電圧は隣り合う振動子間で逆になるように設定する。このようにすることで、スパイクは(たとえば 1 次元配列された鎖状の)振動子を伝わるのが可能となる。図 2(b)では、図 2(a)のような正バイアスの振動子と負バイアスの振動子がそれぞれ 1 個の場合のシミュレーション結果である。ここで、図 2(a)中の振動子 A に外部入力を与えるとすると、前述のようにドット電位がしきい値を越えることによりトンネル事象が発生、電位変化が起こる。この電位変化は結合キャパシタにより、隣の振動子 B に伝わる。この電位変化は振動子 B にとってトンネル事象を誘発するトリガとなる。したがって、振動子 B においても、トンネル事象が発生し電位変化が生じる。複数個の振動子が連結された場合においても同様の現象が次々に起こる。これにより、トンネル事象(スパイク)が後段の振動子に伝搬する。

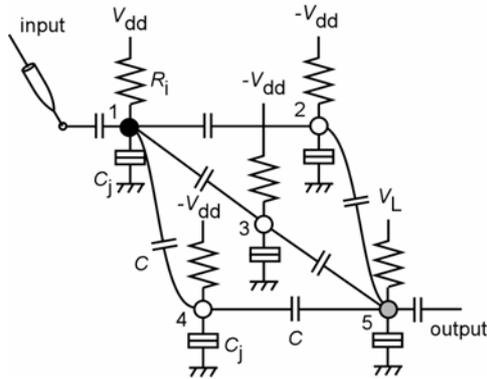


図 3 単電子スパイクニューロン回路

2.2. 単電子スパイクニューロン回路

本稿で用いる単電子スパイクニューロン回路を図 3 に示す。先に述べた単電子振動子（単体）において、入出力端子は共通である。したがって、ニューロン回路の構成において入力と出力を区別するような機構が必要となる。本稿では、入出力を区別するために五個の単電子振動子を用いて構成する。振動子 1 は外部入力を受ける素子、振動子 2,3,4 はバッファ、振動子 5 は他のニューロンへと信号を出力する素子である。ここで V_{dd} は上述の通り、スパイク信号伝搬のため隣り合う振動子と極性が逆になるように設定する。スパイク信号の進む向きを一方向にするために、振動子 5 は発火するのに必要な入力スパイク数が三個となるようにバイアス電圧を V_L とする。この V_L は V_{dd} よりも小さいバイアス電圧とする。これにより、その振動子ではしきい値が高くなる。したがってスパイクの発生に複数個の入力信号が必要となる。このニューロン回路の挙動を以下に示す。入力信号が振動子 1 に与えられるとスパイク（電子トンネル）が発生する。振動子 1 で発生したスパイクは、振動子 2,3,4 にそれぞれ伝わる。これにより振動子 2,3,4 においてそれぞれスパイクが発生し振動子 5 に伝わる。振動子 5 は 2,3,4 からの三入力を受けることによりスパイクを発生し信号を出力する。なお、振動子 5 は外部への出力端子が一本なので、出力端子側に意図しないスパイクが発生しても、そのスパイクは振動子 5 でブロックされ、逆向きにはスパイクが伝搬しない[4]。

3. 冗長性を持つ回路の構成

この章では、デバイスエラーに冗長な単電子スパイクニューロン回路の構成を議論する。3.1 節ではエラー補償アーキテクチャに基づく単電子スパイクニューロン回路について議論し、3.2 節では単電子スパイクニューロン回路を用いた競合ネットワークの構成について議論する。また 3.3 節ではこれら二つを合わせた、ネットワーク回路について議論する。

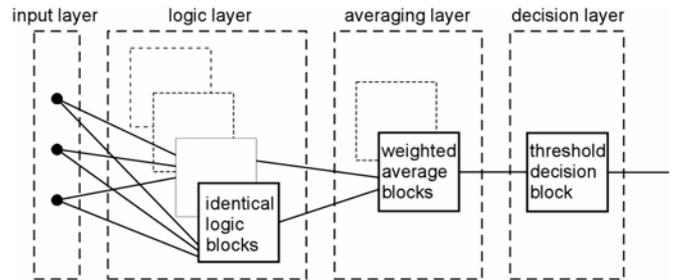


図 4 エラー補償アーキテクチャ[2]

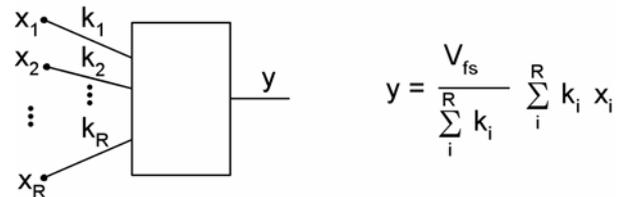


図 5 平均化セルとその動作式

3.1. エラー補償アーキテクチャの適用

この節では、単電子スパイクニューロン回路にエラー補償アーキテクチャを導入することを検討する。

3.1.1. エラー補償アーキテクチャ[2]

エラー補償アーキテクチャは、近年研究・開発が進んでいる微小 CMOS の LSI や、単電子トランジスタといったナノスケールのデバイスを対象として提案されている。図 4 に示すとおり、このアーキテクチャは四つの階層からなり、情報処理はフィードフォワードで行われる。第一層は入力の階層である。この階層は外部入力を後述の第二層にある各セルにそれぞれ供給する。第二層は論理演算を行う階層であり、このアーキテクチャにおける動作の核になっている。この階層には、同一のブール代数論理演算を行うセルを複数個用意する。また各セルへの入力は第一層から等しく同じタイミングで行われるものとする。このように、論理演算セルを複数個用意することによりデバイスエラーに対する冗長性が生まれる。また、この冗長性は第二層に含まれるセルの数が多いほど増加する。冗長性が生まれる理由は、各セルからの出力信号と、それを受ける後述の平均化セル(第三層)としきい値決定セル(第四層)の動作による。第三層には平均化の動作を行うセルを用意する(図 5)。このセルは第二層からの出力信号を受け、図 5 中右の式に従い信号の平均化を行う。図 5 の式において、 x_i は第二層からの入力信号、 k_i は重み係数、 V_{fs} は適当な値の電位を示す。第四層にはしきい判定のセルを用意する。このセルは第三層からの平均化された電位信号を受け、しきい判定を行い、最終的に論理 1 か 0 を決定し出力する。ここでしきい値

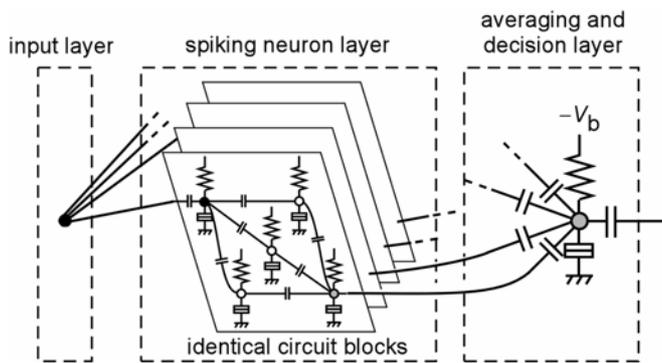


図 6 エラー補償アーキテクチャに基づく単電子ニューロン回路の構成

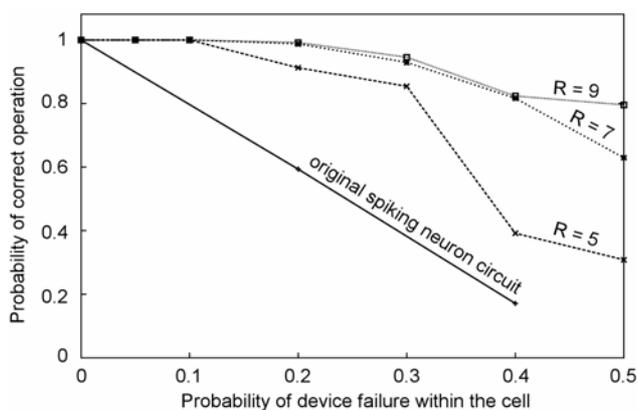


図 7 エラー補償ニューロン回路の特性

は外部から適切な値を設定する。

ここで、第二層において、なんらかのデバイスエラー（断線やバックグラウンドチャージなど）がいくつかの素子で発生したとする。すると、いくつかの論理演算セルにおいて出力信号が正しい値ではなくなる。（つまり、例えば論理 1 を出力しなければならないのに論理 0、または不定を出力してしまうということ。）このような状況で、第三層は第二層の各セルから出力信号を受け平均を取る。正しい出力が 1 である場合、第三層では正しい信号とエラー信号を受け平均化するため、その出力は必ずしも 1 ではない。第四層では第三層からの信号を受け、適当なしきい値より最終的な論理出力を 1 か 0 に決定する。これによりデバイスエラーに冗長な動作を回路全体として行うことができる。

3.1.2. エラー補償を適用した単電子スパイクニューロン回路

本稿で提案するエラー補償を適用した単電子スパイクニューロン回路を図 6 に示す。このニューロン回路は先に述べたエラー補償アーキテクチャに基づいて三層構造の回路として構成する。第一層は入力層であり、入力信号を受け第二層の回路に信号を伝える。

ここで、入力信号は周期的なスパイク信号を用いる。第二層には複数の論理演算素子の代わりに複数のスパイクニューロン回路を用意する。この階層で各ニューロン回路は第一層から入力を受け、それぞれ同じタイミングでスパイクを発生する。第三層は平均化・しきい判定の階層である。これは先に述べたエラー補償アーキテクチャの第三層と第四層で行われる動作一つの回路で実行することを意味する。本稿では第三層の回路として一つの単電子振動子を用いた。なお、この単電子振動子のバイアス電圧は $-V_B$ とする。この振幅の大きさは V_{dd} よりも小さく設定する。

3.1.3. シミュレーション結果

エラー補償ニューロン回路の動作シミュレーションを行った。その結果を図 7 に示す。本稿ではモンテカルロ法に基づく単電子回路のシミュレーション方法を用いる（詳細は文献[5]の Appendix を参照）。図 7 において、 R とは第二層におけるスパイクニューロン回路の数を示す。縦軸は入力信号を受け正しく信号を出力する割合であり、横軸はニューロン回路内に含まれる素子全体に対してデバイスエラーがある素子の割合を示す。ここで、デバイスエラーは第二層のスパイクニューロン回路にだけ存在するものとした。図 7 ではエラー補償を施さなかったニューロン回路（original spiking neuron；図 1 の構成）と R を 5, 7, 9 としてシミュレーションした結果を集計し比較した。シミュレーションの結果から、次のことが言える。エラー補償なしのニューロン回路は、エラーの割合が増すほど線形的に信頼性が低下する。それに対し、エラー補償を施したニューロン回路ではエラーの割合が増加しても正しく動作する。つまり、デバイスエラーに冗長といえる。この冗長性は、 R の値が大きいほど強くなる傾向がある。

3.2. 競合ネットワークの構成

この節では、図 1 の構成のニューロン回路を用いて構成する競合ネットワークについて議論する。

3.2.1. WSA 型単電子ニューラルネットワーク

単電子ニューロン回路を用いて WSA 型ネットワークを構成する。WTA 解をもつ競合ネットワークでは、「勝者」となるニューロンはただ一つである。ここでは、WSA 解をもつ競合ネットワークを構成する。個のネットワークでは、「勝者」のニューロンは複数個存在する。図 8 に WSA 型単電子ニューラルネットワークの構成を示す。これは、図 1 の回路に出力用の回路を追加し、それを複数個配列することでネットワークをつくる。ここで、出力用の回路には図 1 の構成の回路

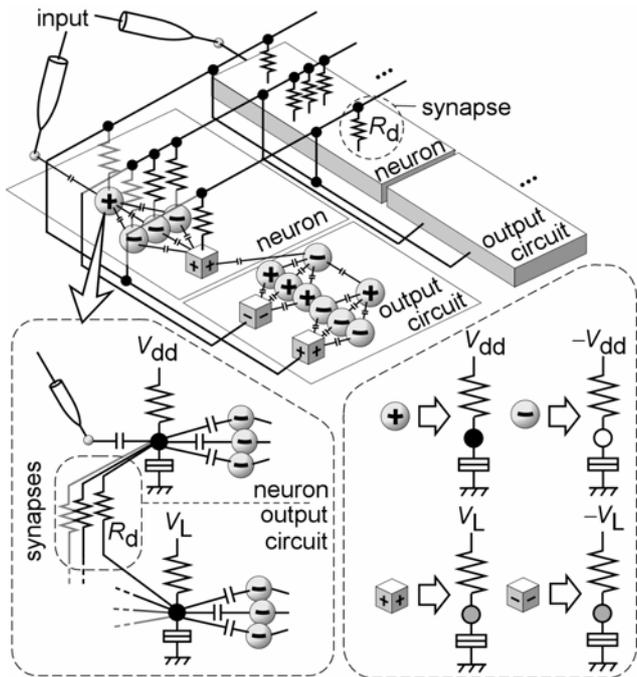


図 8 単電子スパイクニューロンによる競合ネットワークの構成

を二つ用意した。各ニューロンに接続されている出力回路と各ニューロンはシナプス結合として高抵抗を用いる。また、ニューロン回路内にある正バイアスの振動子は出力回路の正バイアスの振動子と高抵抗(R_d)を通して接続する。同様に、ニューロン回路内にある負バイアスの振動子は出力回路の負バイアスの振動子と R_d を通して接続する。このネットワークで R_d は抑制性シナプスのはたらきをする。抵抗接続が抑制性のシナプスとしてはたらく仕組みを以下に示す。はじめに、ニューロン回路は入力信号を受け、出力側にスパイクを伝える。ニューロン回路から出力された信号は、出力回路に伝搬し最終的には R_d が接続された最終段の振動子に到達する。すると、その振動子ではスパイク(電子トンネル)が発生し、ドットの電位が反転する。 R_d で接続された振動子はスパイクがない状態で同じ極性のドット電位を持つ。したがって、一方でスパイクが発生し電位が変化すると R_d の両端に電位差が生まれる。このため生じた電位差によってニューロン内の振動子と出力回路の振動子との間で電流が流れる。出力回路とニューロンとの間で電流が流れると、ニューロン内の振動子は電子トンネルに必要な電荷が奪われる。つまり、その振動子では電子トンネルが発生しにくい状態となる。つまり、ニューロンが抑制される。

3.2.2. シミュレーション結果

前節で述べたネットワークについて動作シミュレーションを行った。そこから得た結果から集計したデ

error rate	評価関数 I		
	$M = 10$	$M = 20$	$M = 30$
0	0.68	0.76	0.74
0.1	0.63	0.51	0.57
0.2	0.54	0.53	0.62

表 1 クラスタサイズとパフォーマンスの関係

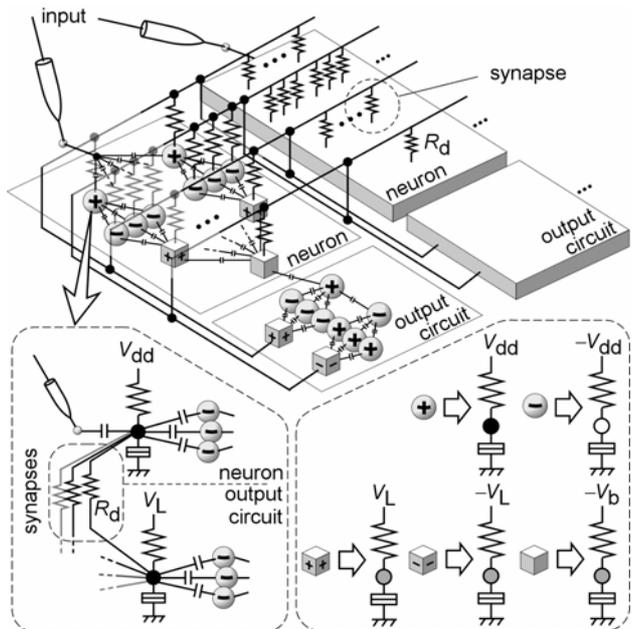


図 9 エラー補償ニューロンによる競合ネットワーク

ータを表 1 に示す。このネットワークを WSA 型[1]のネットワークとするため、ニューロンのクラスタを構成しそれぞれに入力を与えた。ここでクラスタはニューロン数 $M = 10, 20, 30$ 個で構成し、それぞれについてエラーレートを $0, 0.1, 0.2$ としてシミュレーションを行った。入力とは周期的なスパイク信号である。「勝者」のニューロンクラスタには 10.01 MHz の周期で、また「敗者」のニューロンクラスタには 10 MHz の周期でスパイクを入力する。表 1 において、 M はクラスタのニューロン数、 I は評価関数を表す。ここで評価関数とはそのネットワークで「勝者」と「敗者」の差がどれくらいかを表すものである。ここで評価関数 I を次の式で与える。

$$I = \frac{f_w}{f_w + f_L}$$

ここで、 f_w は「勝者」の平均発火周波数であり、 f_L は「敗者」の平均発火周波数である。この式から求まる値が 1 に近いほど、WSA の度合いが強いといえる。表 1 より、エラーレートが 0 のときクラスタのニューロン数 M が増加すると I の値が増加することがわかる。この結果から、WSA 型のネットワークを構成はクラスタのニューロン数を大きくすれば WSA としてのパフォーマンスは増加することがわかる。エラーが存在す

る場合、パフォーマンスの向上があまりない。これは単電子回路のもつ確率性などが表れた結果と考える。

3.3. エラー補償ニューロンを用いた WSA ネットワーク

3.1 節と 3.2 節の結果から、エラー補償ニューロンを用いて WSA ネットワークを構成する。その構成を図 9 に示す。これは図 8 のネットワーク構成で用いた単電子ニューロン回路をエラー補償が施されたニューロン回路に置き換えたものである。このネットワークに関して、動作シミュレーションを行った。シミュレーション結果から集計したデータを表 2, 3 に示す。表 2 はエラーレートが 0, 0.1, 0.2、クラスタのニューロン数 $M=10$ 、エラー補償ニューロン内のスパイクニューロン数 $R=5$ の時のデータである。エラーレートが 0 の時「勝者」の平均発火周波数が約 8.55 MHz となっているのに対して、「敗者」の平均発火周波数が 2.37 MHz となっていることから、このネットワークも前節同様に競合ネットワークとして動作したといえる。また、エラーレートが上昇すると「敗者」の出力周波数が増加するが、それでもなお競合ネットワークとして動作することがわかる。表 3 は、クラスタ数 M における評価関数 I の比較である。表 3 から、このネットワークではクラスタの大きさが大きいほど、パフォーマンスがよいといえる。

4. まとめ

本稿では、次世代電子デバイスの候補である単電子回路におけるデバイスエラーや各種ノイズの問題を解消する方法として、WSA 型ニューラルネットワークの構成とエラー補償アーキテクチャの導入という二つのアプローチと、それらを組み合わせることについて提案した。エラー補償アーキテクチャは、微細 CMOS やナノデバイスでつくるデジタル回路向けのアーキテクチャである。このアーキテクチャの導入により、バックグラウンドチャージなどのデバイスエラーに対して回路は冗長性を持つ。本稿では、このアーキテクチャをスパイクニューロン回路の構成に応用した。スパイクニューロン回路は単電子振動子回路で構成する。エラー補償を施すニューロン回路の構成は、入力部、スパイクニューロン回路の部、平均化・しきい判定部の三層構造である。スパイクニューロン回路の部では、同じ構成の単電子スパイクニューロンが複数個存在し、これにより各種エラーに対して冗長性を持つ。また、単電子スパイクニューロンを用いて競合ネットワークを構成した。この競合ネットワークは、WSA 型のネットワークであり、「勝者」のニューロンクラスタと「敗者」のニューロンクラスタから成る。「勝者」は入力され

error rate	Winner の平均発火周波数	Loser の平均発火周波数	I
0	8.55 (MHz)	2.37	0.78
0.1	11.17	4.12	0.73
0.2	10.78	6.34	0.63

表 2 各エラーレートにおける平均周波数の比較 ($R=5, M=10$)

M	I
10	0.78
20	0.85
30	0.86

表 3 クラスタのニューロン数 M における評価関数の比較 (error rate = 0, $R=5$)

た信号の周波数に近い値の発火周波数を出力として示す。一方、「敗者」は抑制の効果で出力の発火周波数はかなり低いものとなる。WSA の効果が大きいほどこの傾向は強くなる。本稿ではシミュレーションにより、クラスタのニューロン数が多いほど、WSA の効果が大きくなることを確認した。このニューロン回路の検討とネットワークの検討をふまえ、二つを組み合わせたものについても検討を行った。シミュレーション結果から、エラー補償アーキテクチャの導入と、競合ネットワークの導入によりデバイスエラーに対する冗長性が得られると考える。

今後の検討課題として、熱雑音に関する問題があげられる。本稿ではデバイスエラーに関することを検討した。量子デバイスの開発において、デバイスエラーと同様に熱雑音に関する検討も必要となる。現在熱雑音に関しては、本稿で提案したエラー補償アーキテクチャの導入や WSA 型ネットワークの構成を基に、熱雑音に冗長な単電子回路が構成できるか調査中である。

文 献

- [1] T. Asai, M. Ohtani and H. Yonezu, "Analog integrated circuits for the Lotka-Volterra competitive neural networks," IEEE Trans. Neural Networks, Vol. 10, No. 5, pp. 1222-1231, 1999.
- [2] A. Schmid and Y. Leblebici, "Robust Circuit and System Design Methodologies for Nanometer-Scale Devices and Single-Electron Transistors," Proc. IEEE-NANO03, Vol. 2, pp.516-519, 2003.
- [3] T. Oya, T. Asai, T. Fukui, and Y. Amemiya, "Reaction-Diffusion Systems Consisting of Single-Electron Oscillators," International Journal of Unconventional Computing, in press.
- [4] 加賀谷 亮, 大矢 剛嗣, 浅井 哲也, 廣瀬 哲也, 雨宮 好仁, "単電子スパイクニューロンによる抑制性相互結合ニューラルネットの温度特性," 日本神経回路学会第十四回全国大会, P1-26, pp. 76-77, Sept. 2004.
- [5] T. Yamada, M. Akazawa, T. Asai, and Y. Amemiya, "Boltzmann machine neural network devices using single-electron tunneling," Nanotechnology, Vol. 12, No. 1, pp. 60-67, 2001.