

# シリコン神経回路網におけるスパイクニューロン回路の高精度同期 - 積分発火型ニューロンと減衰シナプス、STDP 学習回路の回路実装 -

廣瀬 哲也<sup>†</sup> Alexandre Schmid<sup>‡</sup> 浅井 哲也<sup>†</sup> Yusuf Leblebici<sup>‡</sup> 雨宮 好仁<sup>†</sup>

<sup>†</sup>北海道大学大学院情報科学研究科 〒060-0814 北海道札幌市北区北 14 条西 9 丁目

<sup>‡</sup>Microelectronic Systems Laboratory, Swiss Federal Institute of Technology (EPFL)

Lausanne, CH-1015 Switzerland

E-mail: hirose@sapiens-ei.eng.hokudai.ac.jp

**あらまし** 減衰シナプスを用いることで、ノイズ環境下でも高い精度で同期する神経ネットワークモデルが提案されている[4]。本稿では、これまで著者らが開発を行っていたシリコンニューロン回路[5]とアナログ減衰シナプス[6]を用いてリカレントネットワークを構成し、ニューロン回路間の同期精度について数値的に調べた。減衰シナプス回路を用いた場合、通常のシナプス回路を用いた場合と比べて、同期精度が大幅に向上することが分かった。また、外界のノイズに対してロバストな高精度同期ネットワークを構成するために、シンプルなアナログ STDP 回路を新たに開発した。シミュレーションにより、提案回路が正しく動作することを確認した。

**キーワード** 生体様 LSI、減衰シナプス、スパイクニューロンデバイス、リカレントニューラルネットワーク、STDP

## Precisely-timed synchronization among spiking neuron circuits

### on silicon neural networks

- Analog implementation of integrate-and-fire neurons,  
depressing synapses, and STDP learning units -

Tetsuya HIROSE<sup>†</sup> Alexandre SCHMID<sup>‡</sup> Tetsuya ASAI<sup>†</sup> Yusuf Leblebici<sup>‡</sup> and Yoshihito AMEMIYA<sup>†</sup>

<sup>†</sup> Graduate School of Information Science and Technology, Hokkaido University

Kita 14, Nishi 9, Kita-ku, Sapporo, 060-0814 JAPAN

<sup>‡</sup> Microelectronic Systems Laboratory, Swiss Federal Institute of Technology (EPFL)

E-mail: hirose@saiens-ei.eng.hokudai.ac.jp

**Abstract** A neural network exhibiting precisely-timed synchronization under noisy environment with depressing synapses has been proposed in the literature [4]. In this report, we construct a recurrent neural network by using silicon neuron circuits [5] and depressing synapse circuits [6] that have already been developed by the authors, and examine that timing precision among silicon neurons by numerical simulations. Consequently, timing jitter among the neurons was significantly improved by depressing synapse circuits, as compared with non-depressed one. Moreover, a simple analog STDP circuit is designed for constructing a neural network that exhibits robust synchronization under noisy environment. We confirmed its desired operations by numerical simulations.

**Keyword** neuromorphic VLSI, depressing synapse, spiking neurons, recurrent neural network, STDP

## 1. はじめに

大脳皮質の神経細胞のスパイク列を解析すると、細胞毎に非常に大きな発火タイミングのばらつきが見られるが、それらはしばしば高い精度で同期する[1]-[3]。この同期発火現象の発見とほぼ時を同じくして、デジタル大規模集積回路(LSI)において、クロックの伝

搬遅延時間の差、配線容量などの理由により発生するタイミングずれ(クロックスキュー)が問題となりはじめた。近年、半導体プロセスの微細化が進んで、製造ばらつきの問題が顕著になっている。現在では、これまでのマージン設計の手法では必要なタイミングマージンを確保することは困難であり、主要半導体メー

力等では遺伝的アルゴリズム等を取り入れた高度な製造後調整も行われている。

このような背景の下で、半導体デバイスよりも格段にはらつきの大きい神経細胞の集団が、高い精度で同期するという報告は極めて魅力的であった。そのしくみに学んで、LSI のクロックスキュー問題を解決する新しい方法の糸口をつかみたい。近年、減衰シナプスを用いることで、ノイズ環境下でも高い精度で同期する神経ネットワークモデルが提案された[4]。そこで本稿では、これまで著者等が開発を行ってきたシリコンニューロン[5]とアナログ減衰シナプス[6]を用いて上記のネットワークモデルを構成し、ニューロン回路間の同期精度について数値的に調べる。また、文献[4]において、STDP 学習を組み込むことでノイズに対する冗長性が改善されるとの報告があることから、STDP 学習のための新たな基本アナログ回路を開発した。

## 2. 高精度パルス同期ネットワーク

本章では、先に提案されたネットワークモデル[4]について概観し、そのネットワーク特性について簡単に述べる。そして、ネットワークから得られる特性を CMOS 回路により実現するために、使用した CMOS ニューロン要素回路の動作原理を述べる。

### 2.1. パルス同期ネットワークモデル

減衰シナプスを用いた、ノイズ環境下でも高い精度で同期する神経ネットワークモデルのダイナミクスの動作は、

$$\tau_m \frac{dV_i}{dt} = -(V_i - V_{rest}) - \frac{1}{NR} \sum_{j \neq i} c_{ij} g_{ij}^{ee} (V_i - V_{syn}) - g^{ei} (V_i - V_{cl}) + E_i \quad (1)$$

$$\tau_e \frac{dE_i}{dt} = -E_i + E_0 \delta(t - t_i^{inp}), \quad i = 1, \dots, N \quad (2)$$

$$\tau_m \frac{dV}{dt} = -(V - V_{rest}) - g^{ie} (V - V_{syn}) \quad (3)$$

で表される[4]。ここで、 $V_i$  および  $V$  はそれぞれ錐体ニューロンおよび介在ニューロンの膜電位を、 $E_i$  は興奮シナプス後電位を表している。 $\tau_m$ 、 $\tau_e$ 、 $\tau_m$  はそれぞれ錐体ニューロン、興奮性シナプス、介在ニューロンの時定数を表している。 $N$  は錐体ニューロンの個数、 $R$  は錐体ニューロンがフィードバックにより結合する際の結合の割合を表す結合度、そして  $c_{ij}$  は結合の有無を表している。 $g_{ij}^{ee}$ 、 $g^{ei}$ 、 $g^{ie}$  はシナプス結合の伝達効率を表している。

上記のダイナミクスに基づいたネットワーク構成を図 1 に示す。錐体ニューロンの個数を 4 個として示している。全ての錐体ニューロンの出力は、興奮性シ

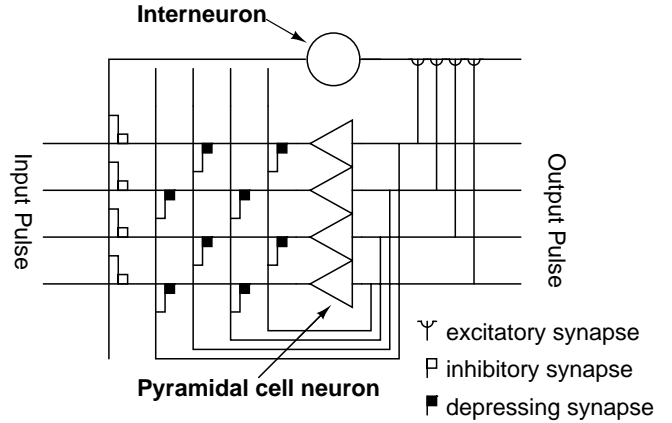


図 1: パルス同期検出のためのニューラルネットワーク構成[4]。

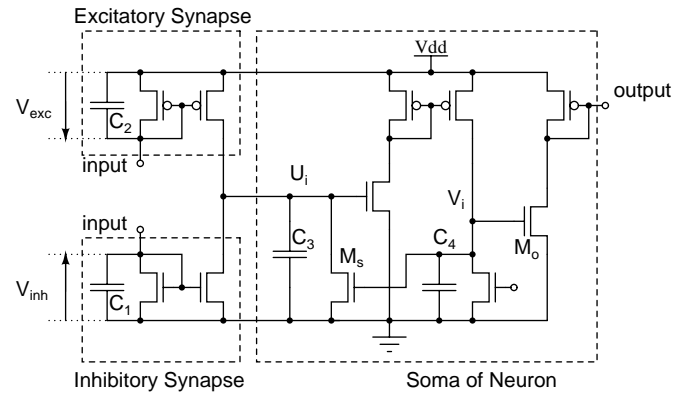


図 2: CMOS ニューロン回路。

ナプスを介して介在ニューロンに結合する。そして、介在ニューロンは全ての錐体ニューロンの入力に抑制性シナプスを介して結合する。錐体ニューロンの出力から入力へのフィードバック結合は、自身以外の錐体ニューロンと減衰シナプスを介してランダムな割合  $R$  で結合している。

このネットワーク構成では、錐体ニューロンの出力から他の錐体ニューロンの入力へのフィードバック結合は、ポジティブフィードバック構成となる。したがって、錐体ニューロンが発火することは、他の錐体ニューロンの発火を促進する効果を有している。これより、錐体ニューロンの発火により、フィードバック結合をしているニューロンは発火が促進され、両者の錐体ニューロンは同期して発火するようになる。

### 2.2. CMOS 回路による実装

文献[5][6]にて、著者らは CMOS アナログ回路による大規模集積可能なスパイクニューロン回路、およびダイナミックシナプス回路を提案している。本節では、2.1 節で説明したパルス同期ネットワークモデルを

CMOS回路により実装するために使用した CMOS ニューロン回路、および減衰シナプス回路の構成、および動作原理について説明する。

### 2.2.1. CMOS ニューロン回路

図 2 に、CMOS ニューロン回路、興奮性シナプス回路、抑制性シナプス回路を示す。興奮性シナプス回路は、入力パルス電流を p 型 MOSFET で構成されたカレントミラー回路により受け取り、膜容量  $C_3$  へと出力する。これにより、細胞体の膜受電位を上昇させる。抑制性シナプス回路は、入力パルス電流を n 型 MOSFET で構成されたカレントミラー回路により受け取り、膜容量  $C_3$  の電荷を引き抜き、膜電位を減少させる。興奮性、および抑制性シナプスの出力電流を受けるニューロン回路は、膜電位  $U_i$  が n 型 MOSFET のしきい値電圧以下の場合には動作しない。膜電位  $U_i$  が、しきい値電圧以上に上昇すると、n 型 MOSFET が動作して、電位  $V_i$  を上昇させる。これにより n 型 MOSFET ( $M_0$ ) は発火パルスを出力する。そして同時に、n 型 MOSFET ( $M_s$ ) は、膜電位  $U_i$  の電荷を引き抜き、リセット動作する。

図 3 に減衰シナプス回路を示す。興奮性シナプス回路のカレントミラー出力部分をカスコード接続に変更した回路構成である。電流源負荷のソース接地増幅器と負荷容量  $C_{dep}$  によって、カスコード素子のゲート電圧を生成している。入力パルスは増幅器によって増幅され、負荷容量  $C_{dep}$  の電圧を上昇させる。この電圧は nMOS 電流源によって放電され、次第にグランドレベルまで降下する。ここで、連続した入力パルスが印加された場合には、負荷容量  $C_{dep}$  の放電が終了しない。このとき、カスコード素子のゲート・ソース間電圧が、十分に確保できないため、シナプス回路は電流を出力することが出来なくなる。したがって、連続入力パルスに対して、減衰シナプスとして動作する。

### 2.2.2. パルス同期ネットワークの構築

図 2, 3 に示す CMOS ニューロン要素回路を用いて、パルス同期検出回路を構成した。図 4 に CMOS 回路による実装ネットワーク構成を示す。回路のネットワーク動作の検討を行うため、小規模な 2 つの錐体ニューロンと介在ニューロンからなるネットワーク構成とした。錐体ニューロンの出力から他の錐体ニューロンへのフィードバック結合シナプスとして、(i)興奮シナプス(NDS)の場合と(ii)減衰シナプス(DS)の場合の 2 通りについて検討を行った。

## 3. シミュレーション結果

本章では、構築したパルス同期ネットワーク回路の動作検討を行うために電子回路シミュレータ HSPICE

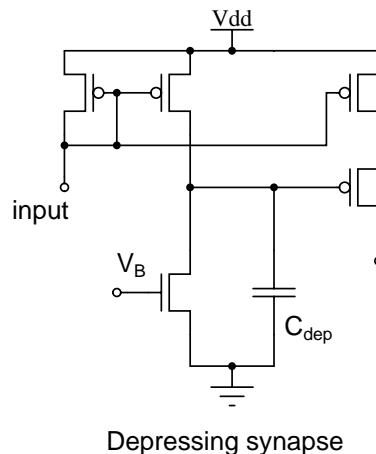


図 3：減衰シナプス回路。

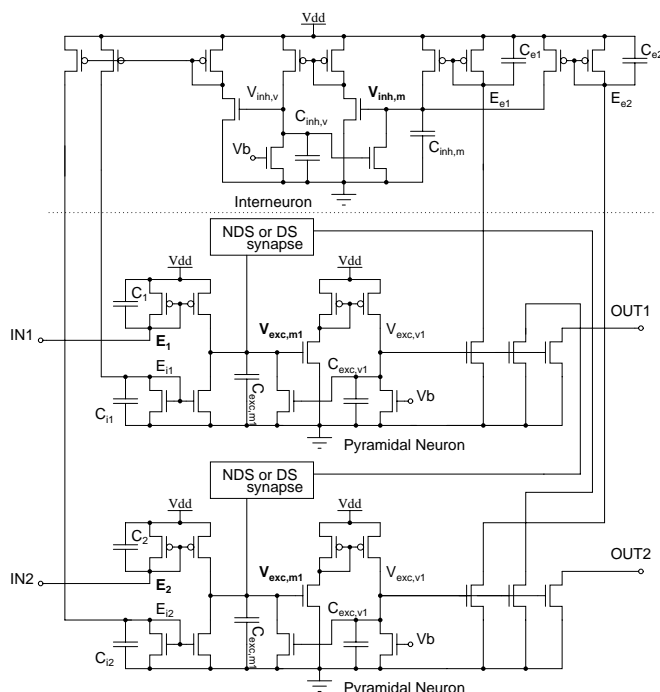


図 4：CMOS ニューロン回路による高精度同期検出回路。2 つの錐体ニューロンと介在ニューロンによるネットワーク構成。フィードバック結合シナプスとして、(i)興奮性シナプス(NDS)、および(ii)減衰シナプス(DS)の 2 通りのネットワーク構成を構築した。

による検討を行った。使用したプロセスは、米 MOSIS の AMIS 1.5  $\mu\text{m}$ -CMOS パラメータ、およびそのプロセスの最小サイズパラメータ(チャンネル長  $L=1.5 \mu\text{m}$ 、チャンネル幅  $W=2.3 \mu\text{m}$ )を使用した。比較検討を行うために、フィードバック結合シナプスとして、興奮性シナプス(NDS)、および減衰シナプス(DS)による検討を行った。

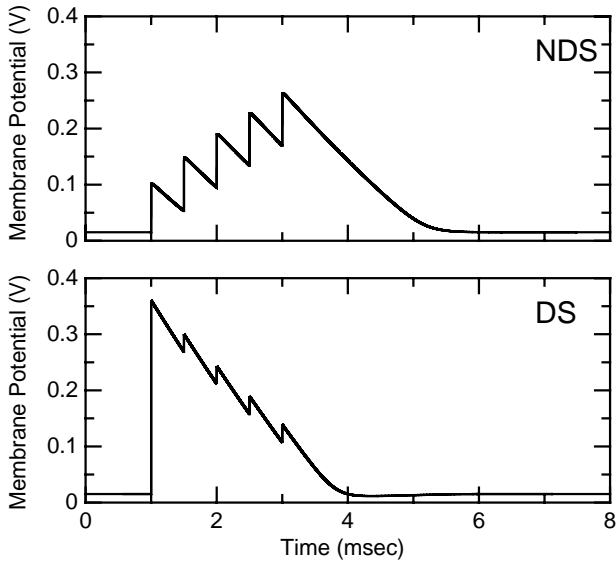


図 5 : 興奮性シナプス(NDS)、および減衰シナプス(DS)による錐体ニューロンの膜電位の応答。

フィードバック結合シナプスによる錐体ニューロンの発火効率が、ほぼ同一となるように NDS と DS の回路シミュレーションを行った。シミュレーション結果を図 5 に示す。500  $\mu\text{sec}$  の連続した入力パルス電流(振幅 10 nA)に対して、ニューロン回路の膜容量の電流積分量が同一となるように設計している。NDS では、パルス入力に対する上昇度は低いが、緩やかに減衰していることが分かる。それに対して、DS では、パルス入力に対する膜電位の上昇率は高いが、連続したパルスに対しては出力電流量が減少するため、膜電位の上昇率が低くなることが分かる。

図 5 のシミュレーションで構築した NDS、および DS を用いてパルス同期検出ネットワーク回路のシミュレーションを行った。入力パルス電流として、2 つの錐体ニューロンに、それぞれ入力電流振幅 5 nA, 周期 500  $\mu\text{sec}$ 、および電流振幅 2.5 nA, 周期 500  $\mu\text{sec}$  の入力パルス電流を印加し、その特性を検証した。

図 5 に NDS を使用した場合の錐体ニューロンの出力発火パルスのシミュレーション結果を、図 6 に DS を用いた場合の出力発火パルスのシミュレーション結果を示す。NDS の場合、DS の場合の両者とも、出力発火パルスが同期していることが分かる。これは、フィードバック結合シナプスが、ポジティブフィードバックを構成しているためである。錐体ニューロンの発火出力パルスがフィードバックによって他方の発火を促進するため発火パルスが同期することになる。

さらに、図 6、図 7 の結果より、2 つの錐体ニューロンの発火パルスのジッタを測定した。測定結果を表 1 に示す。この結果より、NDS の場合、および DS の場合の平均ジッタ間隔はそれぞれ 924 nsec、821 nsec

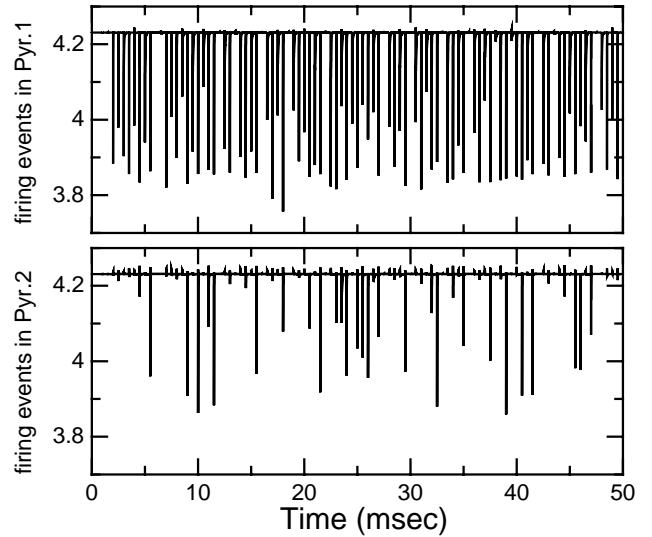


図 6 : NDS シナプスを介した場合のニューロンの発火イベントパルス応答。

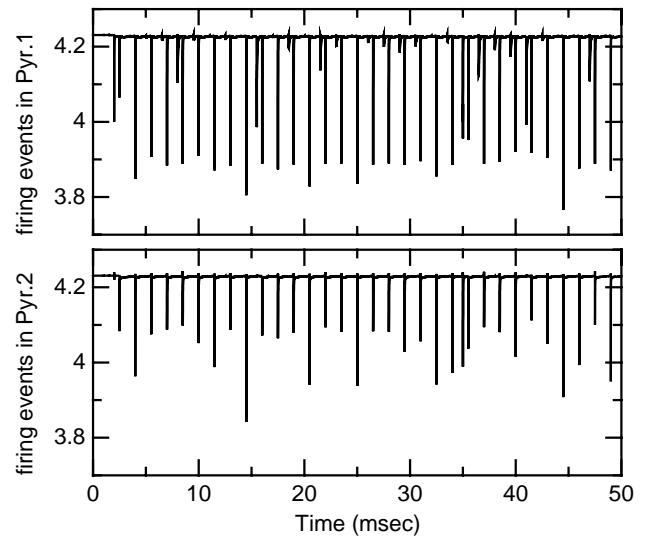


図 7 : DS シナプスを介した場合のニューロンの発火イベントのパルス応答。

表 1 : 出力発火パルスジッタの評価結果

|             | 興奮性シナプス | 減衰シナプス |
|-------------|---------|--------|
| 平均 [nsec]   | 924     | 821    |
| 標準偏差 [nsec] | 356     | 207    |

と高精度に同期していることが分かる。さらに、出力発火パルスジッタ分布の標準偏差は、NDS の場合と DS の場合と比較すると、DS の場合において約 60% の向上が確認できた。これは、図 5 の結果からも分かる通り、DS の場合には、1 発の出力発火パルスによる積分上昇効率が格段に高いため、同期発火効率も高くなるためである。

## 4. STDP 回路構成

上記のパルス同期検出ネットワークにおいて、DS に、STDP 学習を組み込むことでノイズに対する冗長性が改善されると報告されている[4]。そこで、本章では、STDP 学習のための新たな基本アナログ回路を提案する。この STDP 学習回路を組み込むことで、更なる高精度同期検出が期待できる。

### 4.1. 回路構成

出力発火パルスのタイミングに応じた学習を実現するために STDP 回路を構築した。本要素回路は、スパイクタイミング検出回路、およびメモリ回路から構成される。

図 7 にスパイクタイミング検出回路を示す。スパイクタイミング検出回路は、遅延回路(ソース接地増幅器と容量 C)、相関検出回路(ユニティゲイン構成差動増幅器)、そして電流変換回路(ダイオード接続 MOSFET) から構成される。スパイクタイミングが正の場合の検出回路を図 7(a), (b)に、負の場合を図 7(c), (d)に示す。

pre パルスと post パルスの間隔が正の場合 ( $t_{post} - t_{pre} > 0$ ) について説明する。図 7(a), (b) に示すとおり、遅延回路に pre パルスが入力されると、ソース接地増幅器によって増幅される。ここで増幅された信号は、定常電流、および容量 C で決まる時定数で減衰する。一方、post パルスはユニティゲイン増幅器のテール電流源に印加している。したがって、post パルスはユニティゲイン増幅器の動作スイッチとして動作することになる。つまり、post パルスとの遅延時間に応じた pre パルスの電圧は、post パルスのタイミングによってユニティゲイン増幅器の出力へと伝達されることになる。伝達された電圧は、ダイオード接続 MOSFET に印加されている。したがって、遅延時間に応じて出力された電圧は、ダイオード接続 MOSFET によって電流値へと変換される。つまり、遅延時間に応じた電流出力を得ることが出来る。同様に、pre パルスと post パルスの間隔が負の場合についても同様の動作を行いパルス間隔に応じた出力電流を生成している。

図 8 にメモリ回路の構成を示す。メモリ回路は、スパイクタイミングに依存した電流値を受け取るカレントミラー回路、差動対、そして容量から構成されている。スパイクタイミングに依存した電流値を用いて、メモリ容量に記憶された電圧を充放電し、差動対の入力電圧値を変更する。これによって、パルスタイミング依存した結合重みを学習(変更)する回路構成である。スパイクタイミングが正の場合、 $V_{pot}$  が動作しメモリ容量の電圧値を減少させる。差動対の電圧が減少するため、差動対を構成するトランジスタの出力トランジスタのゲート・ソース間電圧は大きくなり、結合を強

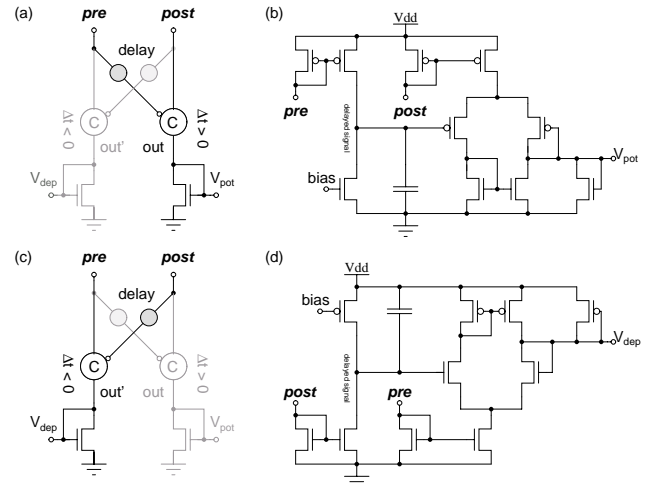


図 7: スパイクタイミング検出回路、および詳細回路構成図。

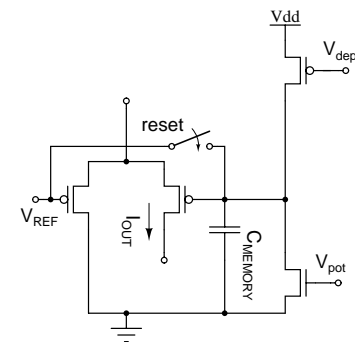


図 8: スパイクタイミングに応じたシリコンシナプス結合強度の初期化、更新、記憶回路の構成。

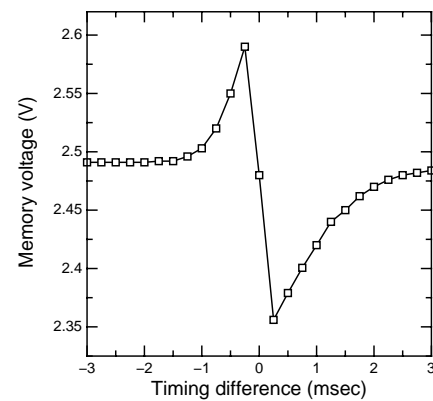


図 9: STDP 回路のシミュレーション結果。

める構成となっている。

### 4.2. シミュレーション結果

提案した STDP 回路の動作を検証するために、SPICE シミュレーションを行った。シミュレーション結果を図 9 に示す。メモリ容量 C の電圧値の変化をスパイクタイミングに応じてプロットしている。参照電圧は

2.5V としている。スパイクタイミングに応じたメモリ電圧変化が確認できる。

## 5. まとめ

高精度パルス同期検出ネットワークモデルに基づく CMOS ニューラルネットワーク回路を提案した。大規模集積可能な CMOS 回路によってネットワークモデルを実装し、発火パルスの同期機能を確認した。さらにフィードバック結合シナプスとして、減衰シナプスを用いることで、興奮性シナプスと比較して約 60% のジッタの高精度化が実現できることを確認した。また、更なる高精度化に向け、STDP 回路を新たに構築し、シミュレーションによりその動作を確認した。今後の課題として、錐体ニューロン数の増加、さらに STDP 回路を組み込んだパルス同期ネットワークの構築の検討を現在行っている。

## 文 献

- [1] P. Fries, P.R. Roelfsema, A.K. Engle, P. Konig, W. Singer, "Synchronization of oscillatory responses in visual cortex correlates with perception in interocular rivalry", Proc. Natl Acad Sci USA94, pp.12699-12704, 1997.
- [2] A. Riehle, S. Grun, M. Diesmann, A. Aersen, "Spike synchronization and rate modulation differentially involved in motor cortical function", Science 278, pp.1950-1953, 1997.
- [3] Y. Dan, J-M. Alonso, W.M. Usrey, R.C. Reid, "Coding of visual information by precisely correlated spikes in the lateral geniculate nucleus", Nature Neurosci 1, pp.501-507, 1998.
- [4] T. Fukai, S. Kanemura, "Noise-tolerant stimulus discrimination by synchronization with depressing synapses", Biol. Cybern. 85, pp.107-116, 2001.
- [5] T. Asai, Y. Kanazawa, Y. Amemiya, "A subthreshold MOS neuron circuit based on the Volterra system", IEEE Trans. on Neural Network, vol. 14, no.5, pp.1308-1312, 2003.
- [6] Y. Kanazawa, T. Asai, Y. Amemiyan, "Basic circuit design of a neural processor: analog CMOS implementation of spiking neurons and dynamic synapses", J. of Rob. And Mech., vol.15, no.2, pp.208-219, 2003.