

Resonate-and-Fire Neuron モデルのアナログ CMOS 集積回路化

中田 一紀[†] 浅井 哲也^{††} 林 初男[†]

[†]九州工業大学大学院生命体工学研究科 〒808-0196 福岡県北九州市若松区ひびきの2-4

^{††}北海道大学大学院情報科学研究科 〒060-8628 北海道札幌市北区北18条西2丁目

E-mail: [†]{nakada,hayashi}@brain.kyutech.ac.jp, ^{††}asai@sapiens-ei.eng.hokudai.ac.jp

あらまし 本研究では、共振-発火型ニューロン (Resonate-and-Fire Neuron: RFN) モデルのアナログ集積回路化について提案する。RFN モデルは、膜電位が2次のダイナミクスを持つスパイクングニューロンモデルのひとつであり、閾値下の膜電位振動を示し、入力に対する同期検出特性や周波数選択特性を持つ。提案回路は、RFN モデルの閾値下の膜電位の動的特性を模擬するために、Lotka-Volterra モデルより導出した。SPICE による回路シミュレーションにより、提案回路が、同期検出器や帯域通過フィルタとして回路単体で機能することを示す。また、それらの信号検出機能に雑音を与える効果について示す。以上の結果から、提案回路がスパイクングニューラルネットワークの大規模集積回路化に適していることを示す。

キーワード スパイクングニューロン, resonate-and-fire neuron (RFN) モデル, アナログ集積回路化, 同期検出特性, 周波数選択特性

Analog VLSI Implementation of a Resonate-and-Fire Neuron Model

Kazuki NAKADA[†], Tetsuya ASAI^{††}, and Hatsuo HAYASHI[†]

[†] Graduate School of Life Science and Systems Engineering, Kyushu Institute of Technology
Hibikino 2-4, Wakamastu-ku, Kitakyushu, Fukuoka, 808-0196 Japan

^{††} Graduate School of Information Science and Technology
Kita 13 Nishi 8, Sapporo, Hokkaido, 060-8628 Japan

E-mail: [†]{nakada,hayashi}@brain.kyutech.ac.jp, ^{††}asai@sapiens-ei.eng.hokudai.ac.jp

Abstract In this report, we propose analog VLSI implementation of a resonate-and-fire neuron (RFN) model. RFN model is a spiking neuron model that has second-order membrane dynamics, and thus exhibits fast damped subthreshold oscillation, resulting in the coincidence detection and frequency preference. The RFN circuit was derived from the Lotka-Volterra model to mimic the subthreshold membrane dynamics of RFN model. Through SPICE simulations, we will show that the RFN circuit can act as a coincidence detector and a band-pass filter at circuit level. Furthermore, we will also show the noise effects of the performance of the signal detection in the RFN circuit. These results show that the RFN circuit are expected to be useful for large-scale integrated circuit implementation of silicon spiking neural networks.

Key words Spiking neuron, resonate-and-fire neuron (RFN) model, analog VLSI implementation, coincidence detection, frequency preference

1. まえがき

近年、スパイクングニューラルネットワークの集積回路化に関する研究が進展している [1]-[23]。これまでのアナログ集積回路技術を利用したニューロハードウェアの研究は、たとえば視覚や聴覚機能を模擬するセンサに関連したものを中心として発展してきた [1]-[3], [19]。これらの研究では、電流や電圧など

の物理量によってアナログ的に状態量を表現/処理しているのに対し、最近の研究では、パルス頻度により状態量を表現する、いわゆるレートコーディングによる視覚センサ [4]-[6] や聴覚センサ [7] が開発されている。ニューロハードウェアにおいてパルス頻度で状態量を表現する利点にはさまざまなものがあるが、特に、Address-Event Representation (AER) Protocol [2] などのチップ間通信技術を利用したマルチチップ構成の実現に

よる性能向上は大きな利点のひとつである。チップ間通信技術の進展を受けて、パルスタイミングによって情報を表現する、いわゆるテンポラルコーディングによるニューロハードウェアの研究も進展している [8]-[12], [21]-[23]。パルスタイミングを情報表現に利用することで、アナログ集積回路において重要な問題となる、素子のばらつきや雑音の影響を軽減できることが示されている [12], [17], [21]。

スパイクングニューラルネットワークの集積回路化において実現すべき重要な機能のひとつは、入力に対する選択的応答である。特にテンポラルコーディングにおいて、パルスの時空間構造に情報が埋め込まれているので、必要な情報を同期検出やフィルタリングの機能によって抽出する必要がある。しかし、ネットワークを構成する要素回路の機能が限定されている場合、それを実現することは容易ではない。たとえば、古典的な積分-発火型ニューロンをモデルとした Axon-Hillock 回路 [1] には、ハイパスフィルタとしての機能しかない。そこで、これまでにさまざまなスパイクングニューロン回路 (たとえば [17]-[23]) が提案されてきた。また、ネットワークレベルで入力に対する選択的応答を実現するために、さまざまなシナプス回路が提案されており、その有用性が示されている [12]-[17]。

本研究では、スパイクングニューロンモデルのひとつである共振-発火型ニューロン (Resonate-and-Fire Neuron: RFN) モデル [24] に着目し、そのアナログ集積回路化を行った。RFN モデルは、入力に対する同期検出特性や周波数選択特性を示し、回路化することによって、回路単体で同期検出器あるいは帯域通過フィルタとして機能することが期待できる。したがって、スパイクングニューラルネットワークの大規模な集積回路化に適している。提案回路は、RFN モデルの動的特性を模擬するために、Lotka-Volterra モデルより導出した。SPICE による回路シミュレーションにより、提案回路の入力に対する選択的応答特性を示し、さらにそれらの応答特性に対する雑音の影響について考察し、それらの結果より提案回路の有用性を示す。

2. Resonate-and-Fire Neuron モデル

共振-発火型ニューロン (Resonate-and-Fire Neuron: RFN) モデル [24] は、スパイクングニューロンモデルのひとつであり、次の微分方程式：

$$\dot{x} = bx - wy + I \quad (1)$$

$$\dot{y} = wx + by \quad (2)$$

あるいは

$$\dot{z} = (b + iw)z + I \quad (3)$$

によって与えられる。ここで、 $z = x + iy \in \mathbf{C}$ は RFN モデルの状態変数を表し、実数部 x および虚数部 y はそれぞれ膜電流および膜電位に相当する。また、 I は入力電流、 b および w はパラメータである。このモデルは $\text{Im}(z)$ があるしきい値 a_{th} を越えると発火し、それと同時に状態変数が $z \leftarrow z_0$ にリセットされる。積分-発火型ニューロン (Integrate-and-Fire Neuron: IFN) モデルが一次の膜電位のダイナミクスを持つのに対し、RFN モデルは二次の膜電位のダイナミクスを持ち、閾値下の

膜電位振動を示す。そのため、入力に対して共振発火や抑制後反跳など実際の神経細胞において観測される応答を示す [24]。

3. 回路構成

ここでは、RFN モデルのアナログ集積回路化について提案する。提案回路は、Membrane 回路、Threshold-and-Fire 回路および Synapse 回路 [19] により構成した (図 1)。

3.1 Membrane 回路

Membrane 回路は、RFN モデルの閾値下膜電位振動を模擬するために、Lotka-Volterra (LV) モデル [25] より導出した。

3.1.1 Lotka-Volterra モデル

LV モデルは、捕食者-被食者から成る生態系の個体数変動を表す数理モデルであり、次式：

$$\dot{z}_i = z_i(r_i + \sum_j^N a_{ij}z_j), \quad (i, j = 1, 2, \dots, N) \quad (4)$$

により与えられる。ここで、 z_i は i 番目の種の個体数、 r_i は i 番目の種の内的自然増加率、 b_{ij} は種間の相互作用、および N は種の数を表している。LV モデルは、非線形変数変換：

$$z_i = b_i \exp x_i, \quad b_i = \text{const.} \quad (5)$$

により、次式：

$$\dot{x}_i = r_i + \sum_j^N c_{ij} \exp x_j, \quad c_{ij} = a_{ij} b_j, \quad c_{ii} = c_i \quad (6)$$

に変換することができる。上式は、弱反転領域で動作する MOS トランジスタの指数関数的電圧-電流特性を利用して、アナログ集積回路化することができる [21]。

3.1.2 MOS トランジスタの弱反転電流

弱反転領域で動作する nMOS および pMOS トランジスタのドレイン-ソース電流は、それぞれ次式：

$$I = SI_{n_0} \exp\left(\frac{\kappa V_g - V_s}{V_T}\right) \left(1 - \exp\left(-\frac{V_d - V_s}{V_T}\right) + \frac{V_d - V_s}{V_E}\right) \quad (7)$$

$$I = SI_{p_0} \exp\left(\frac{-\kappa V_g + V_s}{V_T}\right) \left(1 - \exp\left(\frac{V_d - V_s}{V_T}\right) + \frac{V_s - V_d}{V_E}\right) \quad (8)$$

によって与えられる [3]。ここで、 V_g 、 V_d 、および V_s は基板を接地したときのゲート電位、ドレイン電位、およびソース電位をそれぞれ表している。また、 V_T は熱電圧、 V_E は Early 電位でトランジスタのチャネル長に比例するパラメータ、 I_{n_0} 、 I_{p_0} 、および κ はプロセス依存の物理パラメータ、および $S=W/L$ はトランジスタのアスペクト比 (W : チャネル幅、 L : チャネル長) を表している。MOS トランジスタが飽和領域 ($V_d - V_s > 4V_T$) で動作しており、 L が長く、 V_E が十分に大きい場合、(7)、(8) は次式：

$$I = SI_{n_0} \exp\left(\frac{\kappa V_g - V_s}{V_T}\right) \quad (9)$$

$$I = SI_{p_0} \exp\left(\frac{-\kappa V_g + V_s}{V_T}\right) \quad (10)$$

によってそれぞれ近似することができる。

3.1.3 Lotka-Volterra 振動子回路

1 捕食者-1 被食者の競合系の LV モデルは、次式：

$$\dot{z}_1 = z_1(r - z_1), \quad r > 0 \quad (11)$$

$$\dot{z}_2 = z_2(z_2 - 1) \quad (12)$$

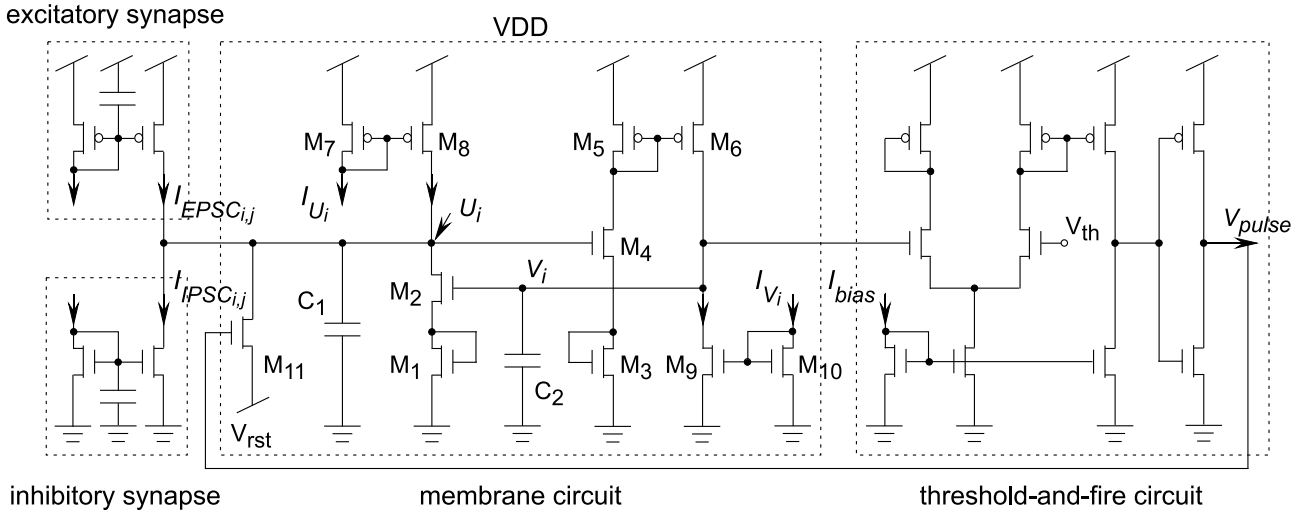


図1 Resonate-and-Fire Neuron (RFN) 回路.

によって与えられる. この系は, 次式:

$$z_1 + z_2 - \ln z_1 - r \ln z_2 = \text{const.} \quad (13)$$

が成り立つことから保存系であり, 初期値に依存した振動解を持つ. ここで, (5), (6) より (11), (12) は次式:

$$\dot{x}_1 = r_1 - c_1 \exp x_1 \quad (14)$$

$$\dot{x}_2 = c_2 \exp x_2 - 1 \quad (15)$$

に変換することができる. さらに, (9), (10), (14) および (15) より, 図2に示す Lotka-Volterra 振動子回路の動作式:

$$C_1 \frac{dU_i}{dt} = I_{U_i} - S I_{n_o} \exp(\kappa V_i / V_T) \quad (16)$$

$$C_2 \frac{dV_i}{dt} = S I_{n_o} \exp(\kappa U_i / V_T) - I_{V_i} \quad (17)$$

が得られる [21]. ここで, U_i , V_i は回路の内部状態を表す電位, C_1 , C_2 は容量, および I_{U_i} , I_{V_i} はバイアス電流である. この回路は, 回路を構成するトランジスタが弱反転飽和領域で動作している場合, もとのモデルと同様, 初期値に依存した振動をする保存系である. 従って, この回路は減衰振動を生じない.

3.1.4 Membrane 回路の導出

LV 振動子回路に散逸項を導入することによって, Membrane 回路を導出した. 回路の動作は, 次式:

$$C_1 \frac{dU_i}{dt} = -g U_i + I_{in} + I'_{U_i} - S I_{n_o} \exp\left(\frac{\kappa^2}{\kappa+1} \frac{V_i}{V_T}\right) \quad (18)$$

$$C_2 \frac{dV_i}{dt} = S I_{n_o} \exp\left(\frac{\kappa^2}{\kappa+1} \frac{U_i}{V_T}\right) - I'_{V_i} \quad (19)$$

に従う. ここで, g はトランジスタ M_{11} のコンダクタンス, I_{in} は入力電流を表している. また, I'_{U_i} , I'_{V_i} はカレントミラーを介して与えられるバイアス電流であり, 次式:

$$I'_{U_i} = \alpha I_{U_i} \left(1 + \frac{V_{DD} - U_i}{V_{E,p}}\right) \quad (20)$$

$$I'_{V_i} = \beta I_{V_i} \left(1 + \frac{V_i}{V_{E,n}}\right) \quad (21)$$

に従う. ここで, $V_{E,n}$, $V_{E,p}$ はそれぞれ nMOS および pMOS

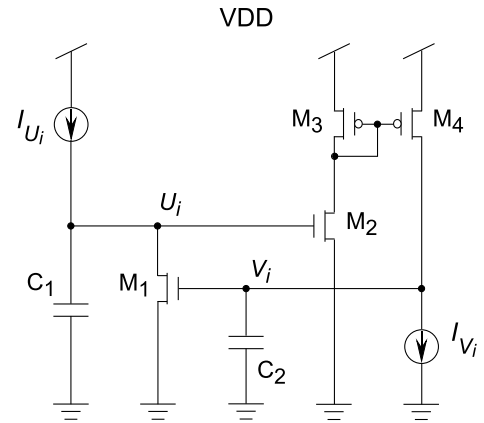


図2 Lotka-Volterra (LV) 振動子回路.

トランジスタの Early 電圧, α , β はバイアス電流 I_{U_i} , I_{V_i} に依存して決まる比例定数である. (20), (21) の散逸項により, この回路は散逸系となり, 減衰振動を生じる. また, この回路の安定性は, 回路の平衡点 (U_o , V_o) の近傍で線形化することによって得られるヤコビアン行列:

$$J = \begin{bmatrix} -\frac{\alpha I_{U_i}}{V_{E,p}} & -\frac{\kappa^2}{\kappa+1} \frac{I_{V_o}}{V_T} \\ \frac{\kappa^2}{\kappa+1} \frac{I_{U_o}}{V_T} & -\frac{\beta I_{V_i}}{V_{E,n}} \end{bmatrix} \quad (22)$$

から求められる. ここで, I_{U_o} , I_{V_o} は回路の平衡電流である. M_1 , M_3 をダイオード接続して, M_2 , M_4 のソースを縮退させ, M_7 - M_{10} を短チャネルトランジスタとし, $V_{E,n}$, $V_{E,p}$ を小さくすることによって, 回路の平衡点を安定化し, 減衰時定数を大きくしている.

3.2 Threshold-and-Fire 回路

Threshold-and-Fire 回路は, コンパレータおよびインバータから構成した. 回路の出力電圧 V_{pulse} は, 次式:

$$V_{pulse} = \begin{cases} V_{DD} & V_i > V_{th}, \\ GND & \text{otherwise,} \end{cases} \quad (23)$$

に従う. ここで, V_{DD} は電源電圧, GND は接地, および V_{th} は閾値電圧を表している. また, I_{bias} バイアス電流である.

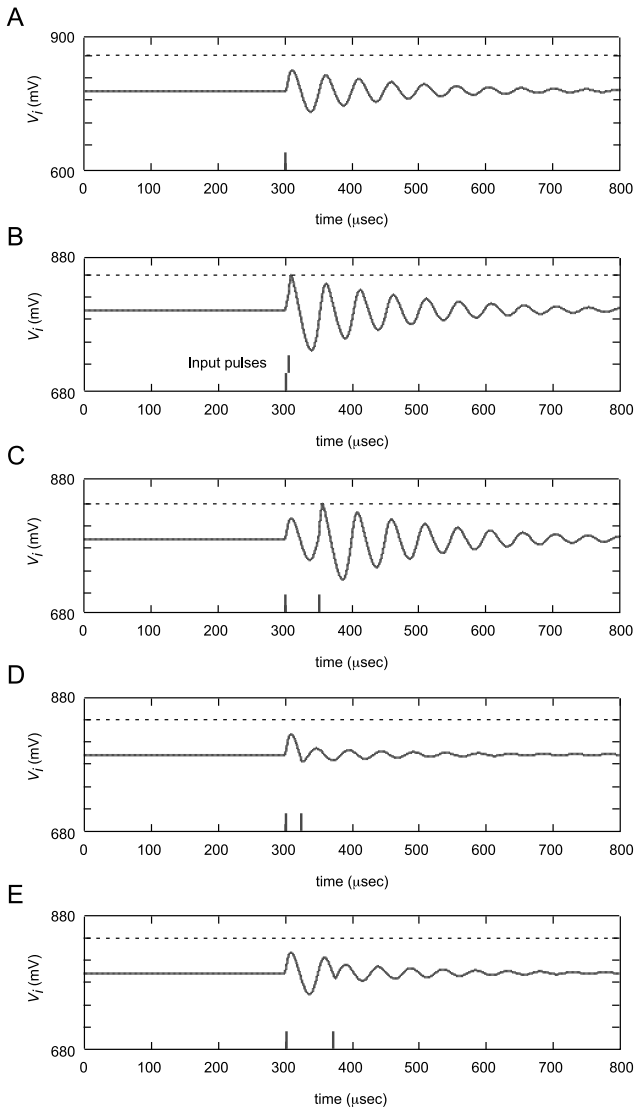


図3 RFN回路の興奮性入力に対する応答.

3.3 RFN回路

ここで、RFN回路の動作について説明する。入力電流 I_{in} により、Membrane回路の電位 U_i が上昇すると、それにつれて膜電位 V_i が上昇する (EPSP)。また、 I_{in} により、 U_i が下降すると、それにつれて V_i も下降する (IPSP)。EPSPにより V_i が閾値 V_{th} を越えると、Threshold-and-fire回路の出力電圧 V_{pulse} がVDDに上昇する。それによって、トランジスタ M_{11} がオンになり、 U_i は急速にリセット電位 V_{rst} に下降し、それにつれて U_i も下降するため、 V_{pulse} はGNDになる。 V_{pulse} がVDDに上昇している時間は、EPSPが生じる時間に比べ十分短いため、パルスと見なせる (発火)。また、EPSPによって V_i が V_{th} を越えなければ、減衰振動を生じる。同様に、IPSPはRFN回路に減衰振動を生じさせ、それによって V_i が V_{th} を越えると発火を生じる。

4. シミュレーション結果

SPICEによる回路シミュレーションにより提案回路の動作特性を確認した。以下のシミュレーションでは、MOSIS AMI BSIM 3v3 LEVEL 49 0.35- μm CMOS デバイスパラメータ、

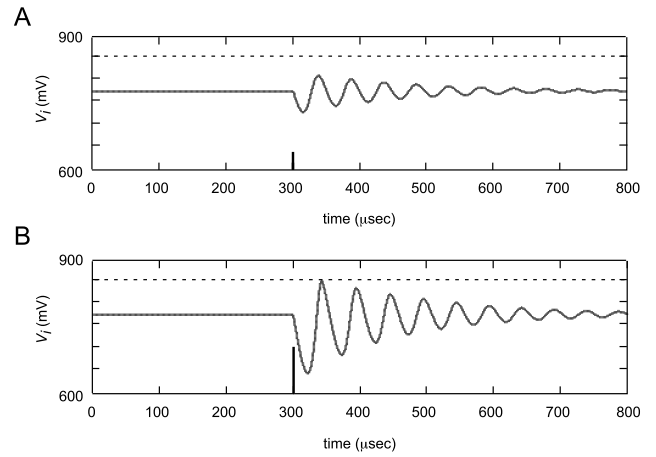


図4 RFN回路の抑制性入力に対する応答.

T-Spice Proを使用した。また、回路パラメータは $V_{DD}=1.5\text{ V}$ 、 $V_{th}=830\text{ mV}$ 、 $V_{rst}=750\text{ mV}$ 、 $I_{U_i}=I_{V_i}=10\text{ nA}$ 、 $I_{bias}=250\text{ nA}$ 、および $C_1=C_2=1.2\text{ pF}$ にそれぞれ設定した。

4.1 RFN回路の基本動作

RFN回路にパルス入力を与えたときの応答を示す。以下では、パルス入力としてパルス幅 $1\text{ }\mu\text{s}$ の電流を与えた。

4.1.1 興奮性入力に対する応答

図3に、興奮性入力に対するRFN回路の応答を示す。興奮性入力として振幅 55 nA のパルス電流を与えると、EPSPによって膜電位 V_i は上昇するが、閾値 V_{th} に到達しないため、発火せずに減衰振動を生じる (図3 A)。2つの興奮性パルス入力を時間間隔 $5\text{ }\mu\text{s}$ で続けて与えると、EPSPによって V_i は十分に上昇し V_{th} に到達するため、発火する (図3 B)。また、2つのパルス入力の時間間隔がRFN回路の減衰振動の固有周期 ($50\text{ }\mu\text{s}$) に近い場合、減衰振動に共振するように発火を生じる (図3 C)。それに対して、2つのパルス入力の時間間隔がRFN回路の減衰振動の固有周期あるいはその整数倍と大きく異なる場合、2つのパルス入力の効果が互いに打ち消し合うため、発火を生じることができない (図3 Dおよび E)。以上の結果は、RFN回路の入力に対する同期検出特性 (Coincidence detection) および周波数選択特性 (Frequency preference) を示している。

4.1.2 抑制性入力に対する応答

図4に、抑制性入力に対するRFN回路の応答を示す。抑制性入力として振幅 -55 nA のパルス電流を与えると、IPSPによって膜電位に減衰振動が生じる (図4 A)。抑制性の入力を強くすると (振幅 -110 nA)、IPSPによるリバウンドの効果によって V_i が V_{th} に到達するため、発火する (図4 B)。以上の結果は、RFN回路の抑制後反跳特性 (Post-inhibitory rebound) を示している。

これらのRFN回路の入力に対する選択的応答特性は、RFN回路が同期検出器および帯域通過フィルタとして機能することを示している。

4.2 RFN回路の動作特性に対する背景入力の効果

ここでは、RFN回路の動作に対する背景入力の効果について示す。以下では、背景入力としてパルス間隔がガウス分布に

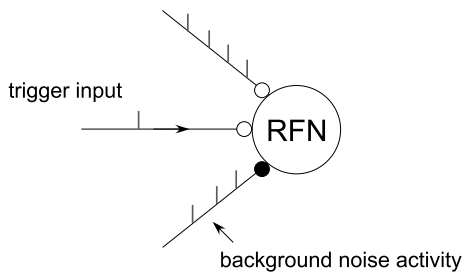


図5 興奮性および抑制性の背景入力を受ける RFN 回路。○：興奮性入力，●：抑制性入力。

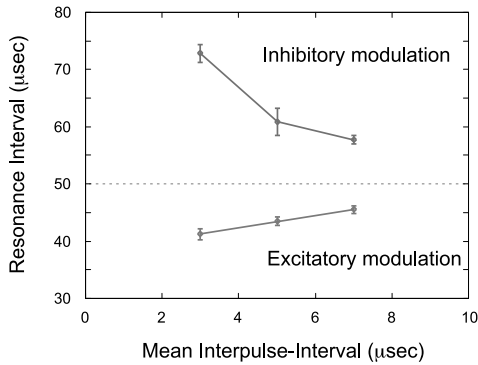


図6 背景入力による RFN 回路の固有振動周期の変化。

従うランダムパルス列を考え、ランダムパルス列の平均パルス間隔に対する分散の比は 0.1 とした。また、興奮性および抑制性のランダムパルス列の振幅はそれぞれ 20 nA および -20 nA とした。

4.2.1 背景入力による周波数選択特性の変化

図5に示すように、興奮性あるいは抑制性の背景入力を受ける RFN 回路にトリガ入力として興奮性のパルス電流（振幅 55 nA）を与え、減衰振動の固有周期の変化を調べた。図6に、背景入力の平均周期と RFN 回路の固有振動周期の関係を示す。興奮性の背景入力に対して平均振動周期は短くなり、抑制性の背景入力に対して平均振動周期が長くなること分る。図7は、興奮性の背景入力（平均パルス間隔 3 μs）を受けている RFN 回路にトリガ入力（時刻 200 μs）を与えたときの応答を示している。背景入力によって膜電位 V_i が脱分極し、回路の平衡点に変化していること分る。(22) で与えられるヤコビアン行列から分るように、RFN 回路の平衡点 (U_o, V_o) が変化すると、平衡電流 (I_{U_o}, I_{V_o}) も変化し、その結果、RFN 回路の安定性が変化する。従って、RFN 回路の減衰振動の固有周期および減衰時定数もまた変化する。これらの性質はもとのモデルにはないものであるが、実際の神経細胞において背景入力によって平衡電位が脱分極あるいは過分極し、その結果として電位依存性のチャネルコンダクタンスが変化し、平衡電位付近での安定性が変化することを考えるとむしろ妥当な性質であるといえる。

4.2.2 背景入力の同期検出特性に対する影響

次に、RFN 回路の同期検出特性に対する背景入力の影響について調べた。RFN 回路および5つの興奮性の Synapse 回路から構成したネットワーク回路（図8）を考えた。RFN 回路

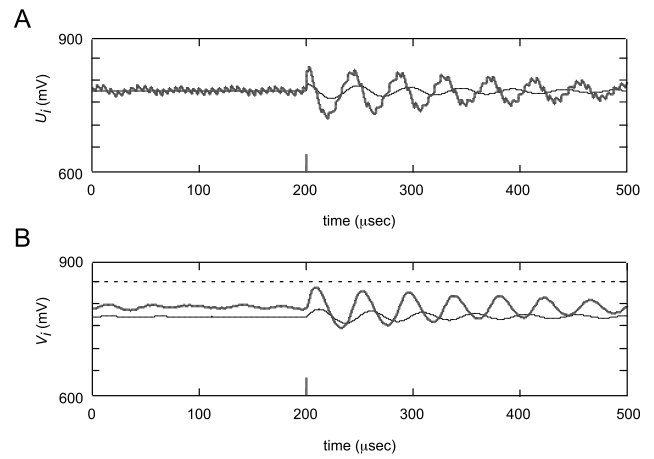


図7 興奮性の背景入力下でのトリガ入力に対する RFN 回路の応答。太線は背景入力を受けているときの応答。細線は受けていないときの応答。

は、平均パルス間隔 7 μs のランダムパルス列を興奮性の背景入力として各 Synapse 回路から受ける。このとき、RFN 回路が同期した入力を検出することができるか確認した。図9は、興奮性のパルス電流（振幅 20 nA）を、各 Synapse 回路を介して時刻 300 μs に同期させて RFN 回路に与えたときの応答を示している。背景入力が存在するにも関わらず、同期した入力に対して選択的に発火していること分る。RFN 回路が背景入力として受けるランダムパルス列全体の平均パルス間隔に対して、RFN 回路の固有振動周期が十分に長いとき、背景入力は RFN 回路の周波数選択特性によって発火に必要な EPSP を生じることができない。一方、同期入力によって生じた EPSP は、膜電位 V_i を閾値 V_{th} に到達させるため発火を生じることができる。

以上のシミュレーションにより、RFN 回路の入力に対する選択的応答特性として、同期検出特性、周波数選択特性および抑制後反跳特性について示した。また、それらの入力に対する選択的応答特性に対して、背景入力としてランダムパルス列を与えたときの効果について示した。

5. ま と め

本研究では、シリコンスパイクニューロンとして、RFN モデルのアナログ集積回路化について提案した。提案回路は、RFN モデルの閾値下の膜電位の動的特性を模擬するために、Lotka-Volterra モデルより導出した。その結果、RFN モデルと同様、同期検出特性や周波数選択特性といった入力に対する選択的応答特性を示し、同期検出器や帯域通過フィルタとして回路単体で機能することを確認した。また、それらの信号検出機能に対する雑音としての背景入力の効果について調べ、背景入力によって周波数選択特性が変化すること、および同期検出における雑音耐性について示した。以上の結果は、提案回路がスパイクニューラルネットワークの大規模回路化に適していることを示している。今後の研究として、提案回路の試作を行う予定である。

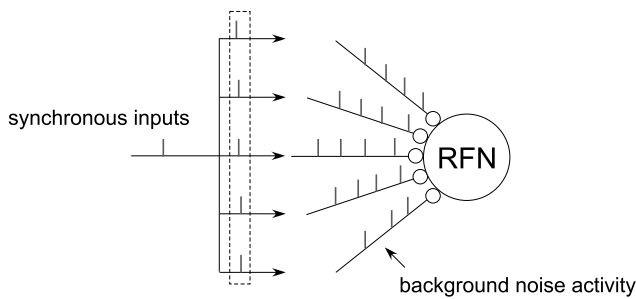


図 8 背景入力下での RFN 回路の同期検出。

文 献

[1] C. A. Mead, *Analog VLSI and neural systems*, Addison-Wesley, Reading, 1989.

[2] M. Mahowald, *An analog VLSI system for stereoscopic vision*. Boston, MA: Kluwer Academic Publishers, 1994.

[3] S.-C. Liu, J. Kramer, G. Indiveri, T. Delbruck, and R. Douglas, *Analog VLSI: Circuits and Principles*, MIT Press, 2002.

[4] E. Culurciello, R. Etienne-Cummings, and K. Boahen, "A biomorphic digital image sensor," *IEEE Journal of Solid-State Circuits*, vol. 8 no. 2, pp. 281-294, 2003.

[5] David C. Ng, K. Isakari, A. Uehara, K. Kagawa, T. Tokuda, J. Ohta, and M. Nunoshita, "A study of bending effect on pulsed frequency modulation based photosensor for retinal prosthesis," *Jpn. J. Appl. Phys.*, vol. 42, no. 12, pp.7621-7624, 2003.

[6] T. Y. W. Choi, B. E. Shi, and K. A. Boahen, "An ON-OFF orientation selective address event representation image transceiver chip," *IEEE Trans. Circ. Sys.-I*, vol. 51, no. 2, pp. 342-353, 2004.

[7] N. Kumer, W. Himmelbauer, G. Cauwenberghs, and A. Andreou, "An analog VLSI chip with asynchronous interface for auditory feature extraction," *IEEE Trans. Circ. Sys.-II*, vol. 45, no. 5, pp. 600-606, 1998.

[8] S.-C. Liu, J. Kramer, G. Indiveri, T. Delbruck, T. Burg, and R. J. Douglas, "Orientation-selective aVLSI spiking neurons," *Neural Networks*, vol. 14, no. 6-7, pp. 629-643, 2001.

[9] M. Cheely and T. Horiuchi, "Analog VLSI models of range-tuned neurons in the bat echolocation system," *EURASIP J. Appl. Signal Proc.*, vol. 7, pp. 649-658, 2003.

[10] S.-C. Liu and R. J. Douglas, "Temporal coding in a network of silicon integrate-and-fire neurons," *IEEE Trans. Neural Networks*, Vol. 15, NO.5, pp. 1305-1314, 2004.

[11] H. Tanaka, T. Morie, K. Aihara, "Associative memory operation in a Hopfield-type spiking neural network with modulation of resting membrane potential," presented at *Int. Symp. on Nonlinear Theory and its Applications*, Bruges, Belgium, 2005.

[12] Y. Kanazawa, T. Asai, M. Ikebe, and Y. Amemiya, "A novel CMOS circuit for depressing synapse and its application to contrast-invariant pattern classification and synchrony detection," *Int. J. Robotics and Automation*, vol. 19, no. 4, pp. 206-212, 2004.

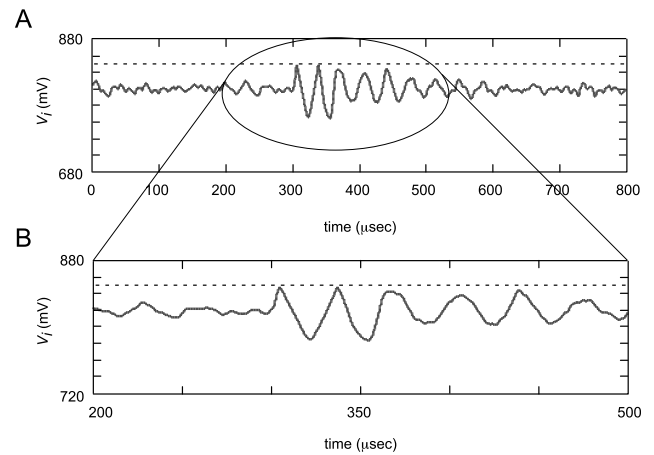


図 9 背景入力下での同期入力に対する RFN 回路の応答。

[13] C. Rasche and R. H. R. Hahnloser, "Silicon synaptic depression," *Biol. Cybern.*, vol. 84, pp. 57-62, 2001.

[14] S.-C. Liu, "Analog VLSI circuits for short-term dynamic synapses," *EURASIP J. Appl. Signal Proc.*, vol. 7, pp 620-628, 2003.

[15] R. J. Vogelstein, F. Tenore, R. Philip, M. S. Adlerstein, D. H. Goldberg, and G. Cauwenberghs, "Spike timing-dependent plasticity in the address domain," *Adv. Neural Info. Proc. Syst.*, vol. 15, 2003.

[16] A. Bofill-i-Petit and A. F. Murray, "Synchrony detection and amplification by silicon neurons with STDP synapses," *IEEE Trans. Neural Networks*, Vol. 15, NO.5, pp. 1296-1304, 2004.

[17] G. Indiveri, E. Chicca and R. J. Douglas, "A VLSI array of low-power spiking neurons and bistable synapse with spike-timing dependent plasticity," *IEEE Trans. Neural Networks*, to be appeared.

[18] S. R. Schultz and M. A. Jabri, "Analogue VLSI integrate-and-fire neuron with frequency adaptation," *Electronic Letters*, vol. 31, no. 16, pp. 1357-1358, 1995.

[19] K. A. Boahen, *Retinomorph Vision Systems: Reverse Engineering the Vertebrate Retina*, Ph.D. thesis, California Institute of Technology, Pasadena CA, 1997.

[20] A. van Schaik, "Building blocks for electronic spiking neural networks," *Neural Networks*, vol. 14, no. 6-7, pp. 617-628, 2001.

[21] T. Asai, Y. Kanazawa, and Y. Amemiya, "A subthreshold MOS neuron circuit based on the Volterra system," *IEEE Trans. Neural Networks*, vol. 14, no. 5, pp. 1308-1312, 2003.

[22] H. Nakano and T. Saito, "Grouping synchronization in a pulse-coupled network of chaotic spiking oscillators," *IEEE Trans. Neural Networks*, vol. 15, no. 5, pp. 1018-1026, 2004.

[23] Y. Horio, T. Taniguchi and K. Aihara, "An Asynchronous Spiking Chaotic Neuron Integrated Circuit," *Neurocomputing*, Vol. 64, pp. 447-472, 2005.

[24] E. M. Izhikevich, "Resonate-and-fire neurons," *Neural Networks*, vol. 14, pp. 883-894, 2001.

[25] S. N. Goel, C. S. Maitra, and W. E. Montroll, "On the Volterra and other nonlinear models of interacting populations," *Rev. Mod. Phys.*, vol. 43, pp. 231-276, 1971.