

減衰シナプスの単電子回路化とその熱雑音特性

大矢 剛嗣[†] 浅井 哲也[†] 加賀谷 亮[†] 廣瀬 哲也[†] 雨宮 好仁[†]

[†] 北海道大学大学院情報科学研究科
060-0814 札幌市北区北 14 条西 9 丁目

E-mail: †{oya,asai,kagaya,hirose,amemiya}@sapiens-ei.eng.hokudai.ac.jp

あらまし 近年、金澤らは CMOS VLSI による減衰シナプス回路を用いたバースト同期情報検出のデモンストレーションを行い [1], [2]、回路中のスタティックノイズ（デバイスのばらつき）が同期検出のパフォーマンスを向上させることを示した [2]。本稿は、金澤らの報告にあるニューラルネットワークのアーキテクチャを単電子回路に導入し、そのノイズ耐性を調べることを目的とする。そのために、減衰シナプスを単電子回路化し、それを用いた同期検出ニューラルネットを設計する。回路シミュレーションにより、この単電子ニューラルネットがノイズを利用して同期検出のパフォーマンスを向上させることを示す。

キーワード 単電子回路, 減衰シナプス, 耐熱雑音性, 同期情報検出

Single-Electron Synapse Depression and its Noise Performance

Takahide OYA[†], Tetsuya ASAI[†], Ryo KAGAYA[†], Tetsuya HIROSE[†], and Yoshihito AMEMIYA[†]

[†] Graduate School of Information Science and Technology, Hokkaido University
Kita 14, Nishi 9, Kita-ku, Sapporo, 060-0814, Japan

E-mail: †{oya,asai,kagaya,hirose,amemiya}@sapiens-ei.eng.hokudai.ac.jp

Abstract Recently, Kanazawa *et al.* demonstrated synchrony detection with MOS depressing synapse circuits [1], [2]. They found that performance of a network with depressing synapses that discriminates burst and random input spikes increases monotonically as the static device mismatch is increased [2]. In this paper, aiming at the development of noise-tolerant single-electron circuits, we design a single-electron depressing synapse and construct the same network as in [2]. We explore the noise performance and design possible architecture that enables the single electron circuits to operate at $T > 0$ K.

Key words single-electron circuit, depressing synapse, thermal-noise tolerance, neuronal synchrony detection

1. はじめに

近年、CMOS VLSIに代表される集積デバイスの限界（CMOS VLSI 製作プロセスの限界や VLSI の動作限界など）が近いと言われている。そのため、各種次世代デバイスの研究・開発が進んでいる。ナノエレクトロニクスの研究分野では、様々な量子デバイスの開発が進行している。特に、単電子集積回路は超低消費電力・集積密度の観点から次世代集積回路の候補として期待されており、さまざまな回路が提案されている。しかし、単電子回路はデバイスの不均一性や熱雑音に起因するノイズに弱い。この問題を解決するために、主にプロセス技術のアプローチから数多くの手法（たとえば [3], [4]）が提案されている。

単電子回路のノイズに対する脆弱性を改善する一手法として、プロセス技術ではなく回路アーキテクチャによる手法を提案する。その候補はニューラルネットワークである。文献 [5] にて著者らは、ノイズに対する脆弱性改善の一手法として、抑制性競合ニューラルネットワークの単電子回路による構成を提案した。また、そのネットワーク回路の熱雑音特性を報告し、抑制性の単電子競合ニューラルネットワークが $T < 1$ K の範囲において動作することを示した。

近年、金澤らは MOSFET による減衰シナプス回路を設計し、その動作と応用（バースト同期情報検出）について示した [1], [2]。さらに、減衰シナプスを含むネットワーク回路のスタティックノイズが、同期情報検出のパフォーマンスを向上させることを発見した [2]。そこで本稿は、[5] とは違う新しい手法として、ノイズを利用して動作を行うニューラルネットワークに着目する。そこで減衰シナプスとそのネットワークの単電子集積回路化を行う。また、単電子ニューラルネットワークが行うバースト同期情報検出の熱雑音耐性について調べる。本提案によって単電子回路のノイズに対する脆弱性が改善できると考える。

2. 単電子回路による減衰シナプスの構成

本研究は、同期情報検出のパフォーマンス向上のために、単電子デバイスの問題となるノイズ（特に熱雑音）の利用を提案する。金澤らは、Senn らの減衰シナプスに関する報告 [6] を基に MOSFET による減衰シナプスを設計した [1], [2]。これに習い、単電子回路を用いた減衰シナプス回路を構成する。

提案する減衰シナプス回路の構成要素は、図 1 (a)

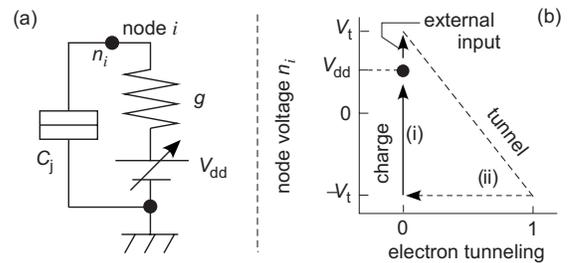


図 1 単電子振動子と状態図

に示す単電子振動子である。この振動子の構成は、トンネル接合 (C_j)、コンダクタンス (g)、バイアス電圧源 (V_{dd}) からなる。図 1 (b) はバイアス電圧 (V_{dd}) に対する振動子の状態変化を示す。グラフの縦軸および横軸は、それぞれノード i の電位変化と C_j におけるトンネル事象の有無 (= 1: 電子トンネルの発生、= 0: 電子トンネル無し) を意味する。ここで、図中のトンネル事象 (0 および 1) 間の破線は振動子の状態遷移のみを表現しており、その軌道に物理的な意味はない。今、設定する V_{dd} が $V_{dd} < e/2C_j$ ($\equiv V_T$: C_j のトンネルしきい電圧値) であるとする。これにより、 C_j は V_{dd} によって充電され (図 1 (b) の (i))、結果として回路のノード電位は $n_i = V_{dd}$ に安定する。この安定状態 (休止状態) で、仮に電位 n_i が外部入力を受け V_T を越える電位まで上昇すると、電子が C_j を介しグラウンドからノード i にトンネル事象によって移動する。なお、電位 n_i がしきい値 V_T を越え、トンネル事象が発生するまでにはタイムラグ (トンネル待ち時間) が存在する。トンネル発生の結果として、電位 n_i は V_T から $-V_T$ に転じる (図 1 (b) の (ii))。その後、 V_{dd} は C_j を充電し、それに伴い回路の状態が再び安定状態に戻る (図 1 (b) の (i))。なお、この充電期間中に振動子是不応状態となる。つまり、充電期間中の電子トンネルは外部入力を受けても発生しにくい (電子トンネル発生のためには大きな入力が必要)。これは充電期間中の電位 n_i としきい値 V_t の差が大きいためである。つまり単電子振動子はスパイクニューロンのような不応期を持つ。

このような振動子に連続スパイクを入力すると、不応期が原因で振動子は減衰したスパイク列を出力する。これは、単電子振動子がニューロン回路の構成だけではなく、減衰シナプスの構成にも利用できることを意味する。

図 2 は、提案する減衰シナプス回路 (Single-Electron Depressing Synapse; SEDS) の構成を示す。これは、単電子振動子を複数個用意し各ノードを結合容量 (C) でそれぞれ連結する構成である。振動

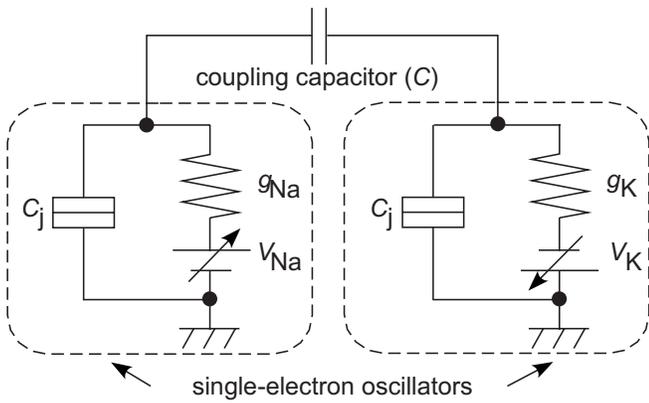


図2 単電子振動子を用いた減衰シナプスの構成

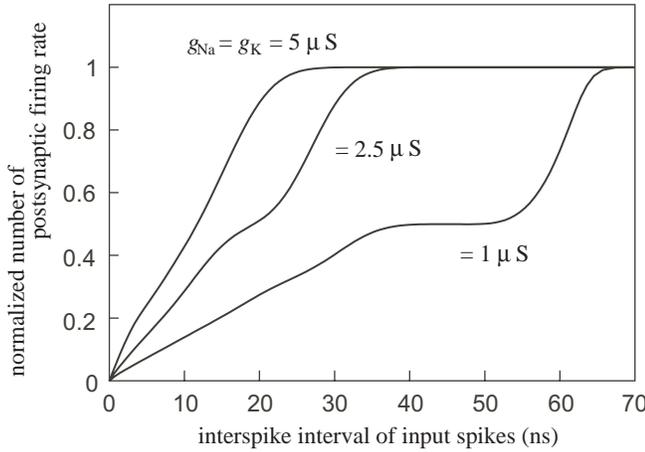


図3 入力スパイクのスパイク間隔に対する減衰シナプスを介したシナプス後ニューロンの発火率の変化

子の連結により、入力スパイクは各振動子を伝搬する [5], [7].

3. シミュレーション結果

はじめに、提案の SEDS 回路単体について動作シミュレーションを行い、減衰特性を調べた。ここではシミュレーションのために文献 [7] にある回路パラメータの値を用いた。なお、コンダクタンスは g_{Na} ($= g_K$) = $5 \mu S$, $2.5 \mu S$, $1 \mu S$ とした。図 3 に結果を示す。入力スパイクの間隔 (interspike interval: ISI) の増加に伴い、コンダクタンス (入力に対するシナプス後ニューロンの発火率) が増加する。これは、各 SEDS 回路が ISI の増加に伴い不応状態 (減衰期間) から休止状態に戻り、連続入力スパイクに追従できるためである。

次に、提案回路によるネットワークについて動作確認を行った。ここで、先に述べた金澤らの報告にあるネットワーク (ノイズが同期検出のパフォーマンスを向上させるようなネットワーク) [1], [2] を導入

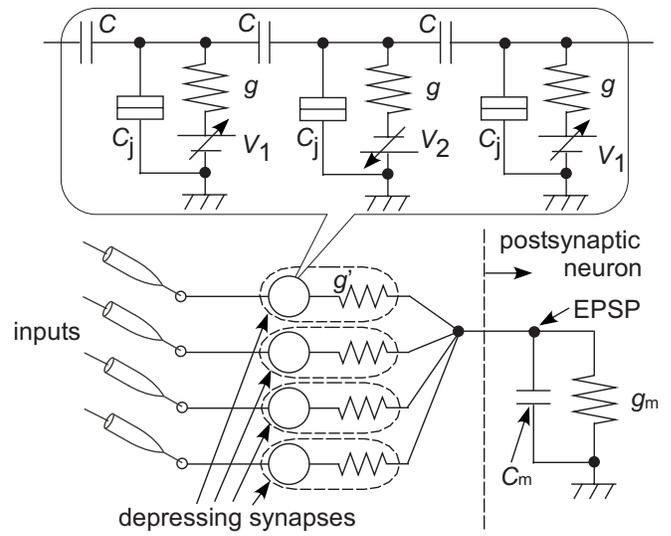


図4 シナプス後ニューロンと減衰シナプスからなるネットワークの構成

する。このネットワークは、減衰シナプスを介しシナプス後ニューロンにスパイク列を送ることにより、ニューロン間の同期情報検出ができる。さらに、ノイズの増大に対してネットワークの同期検出パフォーマンスが向上する。ここでは、提案の減衰シナプス回路を用いてネットワークを構成し、その動作について調べる。

本稿で用いるネットワーク回路は、図 4 に示す簡単な構造である。図中の右部はシナプス後ニューロンを、左部は提案の減衰シナプスが連結されている樹状突起をそれぞれ表す。ここで、シナプス後ニューロンを膜の容量 (C_m) とコンダクタンス (g_m) で表す。また、シナプス後ニューロンと接続する本減衰シナプスは、基本要素として抵抗 (そのコンダクタンス g') を用いる。図 2 の回路は、減衰シナプスの入力部であり前段で情報処理を行う部分とみなし g' に接続する。ここでは、シナプス後ニューロン回路の電位変化について議論するため、シナプス後ニューロンの発火を考えないものとする。シナプス後ニューロンは減衰シナプスを介して興奮状態のニューロンからスパイク入力を受ける。スパイクが入力されるとシナプスから g' を介してニューロンに電流が流れるので、EPSP の値は入力大きさに従って増加し、入力なくなると EPSP は元の状態に戻る。仮に、しきい判定まで行うシナプス後ニューロン回路を用いれば、 $EPSP > V_{th}$ の条件を満たしたときに、回路はスパイクを出力する。

このシナプス後ニューロン回路において入力を受ける EPSP の平均値は、入力スパイクの数に比例して増加する。つまり、スパイクを出力するシナプス

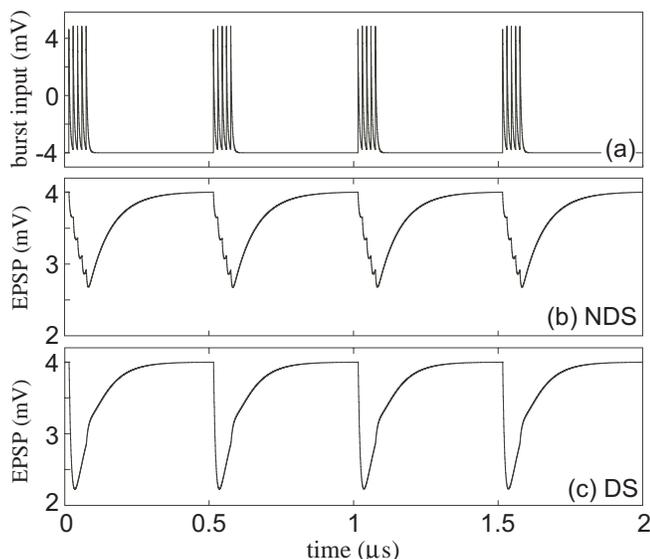


図 5 EPSP の応答。(a) 入力バースト信号、(b) 非減衰シナプスを介して入力を与えたときの EPSP 応答、(c) 減衰シナプスを介したときの EPSP 応答

前ニューロンの数に応じて EPSP の値は変化する。したがって、このネットワーク回路に適当なしきい値 V_{th} を設定すると、ネットワークはスパイクを出力しているシナプス前ニューロンの数を判別することができる。一方で、EPSP の平均値はシナプス前ニューロンの発火率にも比例して増加する。したがって仮に発火率が一定値ではない場合、興奮状態にあるシナプス前ニューロンの数を判別するパフォーマンスは大きく悪化する。バーストスパイクを入力した時、減衰シナプス回路の出力電流は g' を介して流れる。

図 5 (a) は各シナプスに与えるバースト入力を、(b) は非減衰シナプスに (a) の信号を与えたときの EPSP の応答を、(c) は減衰シナプスに (a) の信号を与えたときの EPSP の応答をそれぞれ示す。ここで文献 [6] と結果を比較するために、本稿は図 5 (b) と (c) の間で一回のバースト入力に対する EPSP の応答 (消費パワー) が同じになるように回路パラメータを設定した。具体的には、回路パラメータの中で g_{Na} ($= g_{Na}$) は、図 5 (b) で $5 \mu S$ 、(c) で $1 \mu S$ 、 g' をそれぞれ $0.4 \mu S$ 、 $1 \mu S$ とした。この結果は、Senn らの報告 [6] と同様に、EPSP が非減衰シナプスの回路と比べて減衰シナプスを用いた回路はバースト入力の開始に対して大きな応答を持つ。つまり、減衰シナプスを接続したシナプス後ニューロンは、小さい消費エネルギーで大きなピーク値を示す。これは、減衰シナプスが消費するエネルギーに対して効率よくニューロンを発火させる能力を持つことを意味する。

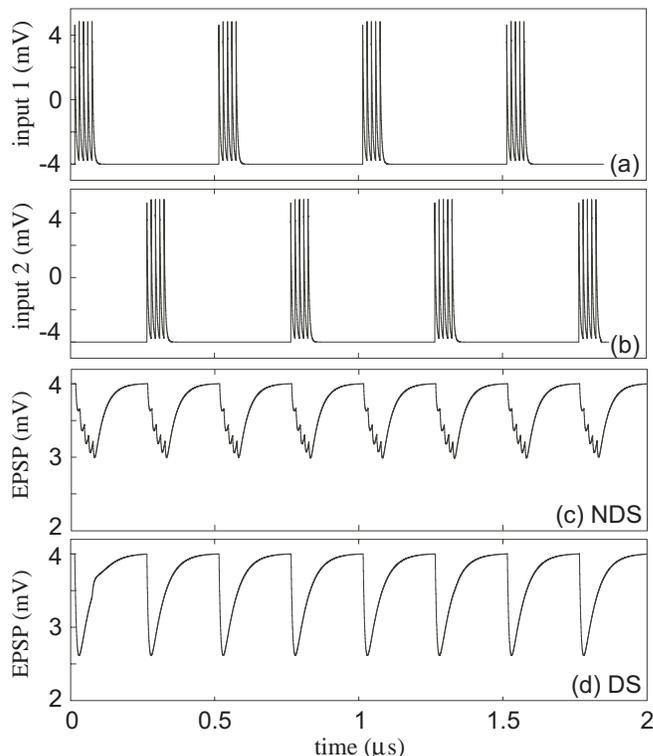


図 6 EPSP の応答。(a, b) 非同期のバースト入力、(c) 非減衰シナプスを介した EPSP の応答、(d) 減衰シナプスを介した応答

ここで、この減衰シナプス回路がバースト同期情報を検出できることを示す。本稿は、シナプス後ニューロンの入力として二つのバーストスパイクを用いる。このシナプス後ニューロンは減衰もしくは非減衰シナプスを介してバースト入力を受ける。図 6 および図 7 はシミュレーション結果を示す。図 4 のネットワークの入力として二つのバーストスパイクを非同期 (図 6 (a) および (b)) に与えるとき、非減衰シナプスを介して入力を受ける EPSP (図 6 (c)) と減衰シナプスを介して入力を受ける EPSP (図 6 (d)) は、図 5 と同様に消費するエネルギーが同じになるように回路パラメータを操作しているのほぼ同じピーク値を示す。しかし、二つのバーストスパイクが同期して (図 7 (a) および (b)) 与えられるとき、減衰シナプスを介して入力を受ける EPSP (図 7 (d)) は入力の開始に対して大きな応答を示す。したがって、シナプス後ニューロンのしきい値 V_{th} として適当な値 (例えば $V_{th} = 1.5 \text{ mV}$) を設定すれば、減衰シナプスを介したシナプス後ニューロンは複数のバースト信号が同期して入力された時に発火する。

次に、ランダムスパイク列を出力する 100 個のシナプス前ニューロンを持つネットワークについてシミュレーションを行った (図 8)。Senn らはサルの一

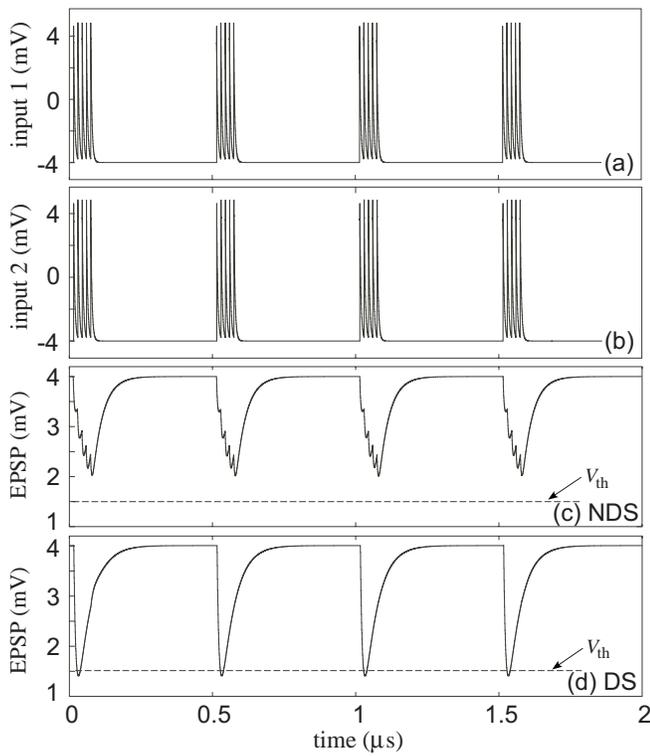


図7 EPSPの応答。(a, b)同期入力するバーストスパイク、(c)非減衰シナプスを介したEPSPの応答、(d)減衰シナプスを介した応答

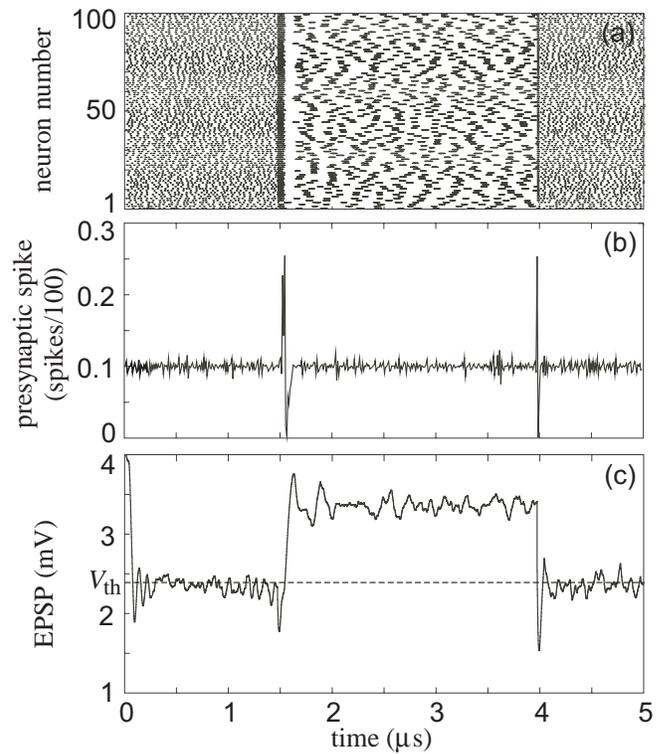


図8 100個のニューロンを持つネットワークの動作シミュレーション。各ニューロンは提案の減衰シナプス回路を介してシナプス後ニューロンにランダムスパイク列を送る

次聴覚皮質 (AI) ニューロンをモデル化し、入力信号として音 (トーン) を与えそれに対する AI ニューロンの応答を報告した。それによると、AI ニューロンはトーン入力中にバーストスパイクを出力し、入力がないときにはランダムスパイクを出力する [6]。100 個のニューロンを持つネットワークに入力信号が与えられているとき、ニューロンのバースト出力は 70 個程度が同期する。

動作シミュレーションを行うため、提案ネットワーク回路に入力としてシナプス前ニューロン (AI ニューロン) の出力スパイク列を入力した (図 8 の 1.5 ~ 4.0 μs の期間: シナプス前ニューロンはバーストスパイク列を出力する。それ以外の期間: ランダムスパイク列を出力する)。その結果、ネットワーク全体の平均発火率は入力前後で変わらないにもかかわらず、EPSP の応答は大きな差を生じた (図 8 (c))。

提案回路によるネットワークのノイズ冗長性を調べるために、本研究は 100 個のニューロンを持つネットワークについて動作シミュレーションを行った。ノイズ冗長性を評価するために、バースト入力を受ける EPSP の平均値としきい値 V_{th} の差、および非バースト入力を受ける EPSP の平均値としきい値 V_{th} の差を算出した (図 9)。なお、ここでは図 8 (c) 中のし

きい値は $V_{th} = 2.4 \text{ mV}$ とした。非バースト入力を受ける EPSP の平均値としきい値 V_{th} の差は温度の上昇に伴い増加する。一方で、バースト入力を受ける EPSP と V_{th} の差は温度が $T > 0.5 \text{ K}$ になってから増加し始める (理想的には、バースト同期情報検出のためにシナプス後ニューロンは非バースト入力の期間では発火せず、バースト入力の期間でのみ発火するのが望ましい)。バースト入力を受ける EPSP と非バースト入力を受ける EPSP の差を同期情報検出のパフォーマンスと定義すれば、 $T < 0.5 \text{ K}$ の範囲で提案回路は温度が上昇するほどパフォーマンスの向上を示す。図 10 は温度に対する同期情報検出のパフォーマンスの変化を示す。ここで、動作特性が温度の上昇に対して非単調に変化することは興味深い。今回のシミュレーションでは、EPSP の差が 1 mV となった。

上述の結果から、金澤らの報告 [1], [2] と今回提案した回路の挙動 (図 8) には違いが認められる。これは、バースト入力を受けたときにしきい値を越えるか、非バーストを受けているときにしきい値を越えるかの違いである。一方で、図 10 の結果は 0.5 K までの温度上昇に対してはパフォーマンスが向上する

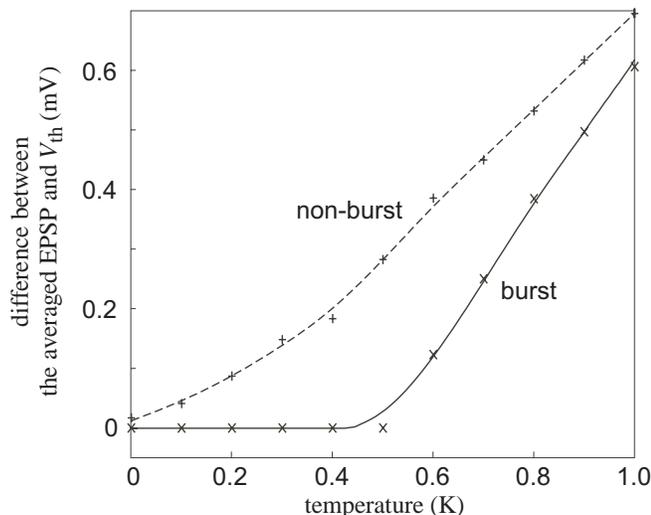


図9 温度に対するEPSPの平均値としきい値と V_{th} との差の推移

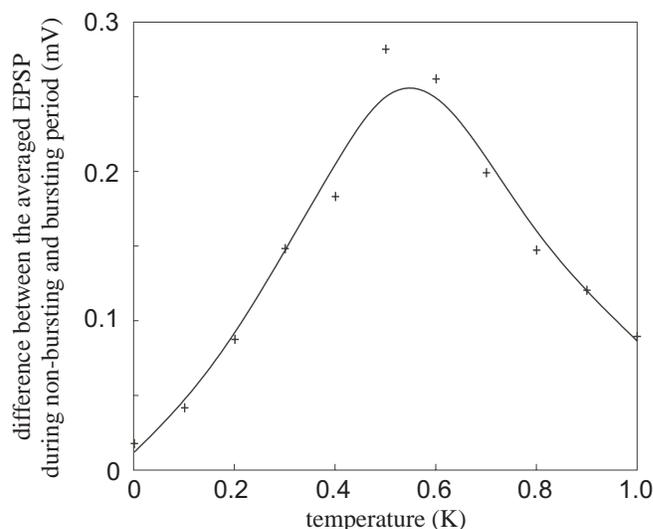


図10 温度に対するバースト入力を受けるEPSPの平均値と非バースト入力を受けるEPSPの平均値との差

ことを示す。これは金澤らの報告と同じ現象である。著者らがこれまでに提案した単電子ニューラルネット [5] は温度の上限が 0.1 K であった。室温での動作にはさらなる検討を要するが、上記の温度上昇に対して非単調に動作特性が向上するという現象は物理的に重要な意味を持つ。

4. まとめ

本稿は、単電子減衰シナプス回路について提案を行い、簡単な応用について示した。応用として今回は、バースト入力の同期情報検出について検討を行った。これまでの CMOS VLSI に関する各種の報告は、ネットワークが強いノイズ冗長性を持つことを示している。それを単電子回路へ拡張し動作確認をした結果、温度の上昇に伴い ($T < 0.5$ K) 同期検出のパフォーマンス向上が認められた。回路パラメータとして最適な値を用いれば、さらなるパフォーマンスの向上が期待できる。今後の検討課題として、回路パラメータの最適値の見積もり、デバイスエラーやノイズに対する冗長性を持つ単電子デバイスの開発可能性の検討が挙げられる。

文 献

- [1] Y. Kanazawa, T. Asai, M. Ikebe, and Y. Amemiya, "A novel CMOS circuit for depressing synapse and its application to contrast-invariant pattern classification and synchrony detection," *Int. J. Robotics and Automation*, vol. 19, no. 4, pp. 206-212, 2004.
- [2] T. Asai, Y. Kanazawa, T. Hirose, and Y. Amemiya, "A MOS circuit for depressing synapse and its application to contrast-invariant pattern classification and synchrony detection," *2004 Int. Joint Conf. Neural Networks*, W107, 2004.
- [3] Y. Takahashi, M. Nagase, H. Namatsu, K. Kurihara, K. Iwdate, K. Nakajima, S. Horiguchi, K. Murase and M. Tabe, "Fabrication technique for Si single-electron transistor operating at room-temperature," *Elec. Lett.*, vol. 31, no. 2, pp. 136-137, 1995.
- [4] P. W. Shor, "Scheme for reducing decoherence in quantum computer memory," *Phys. Rev. A*, vol. 52, issue 4, pp. R2493-R2496, 1995.
- [5] T. Oya, T. Asai, R. Kagaya, T. Hirose, and Y. Amemiya, "Neuromorphic single-electron circuit and its application to temporal-domain neural competition," *Proc. 2004 Int. Symp. Nonlinear Theory and its Application (NOLTA)*, pp. 235-239, 2004.
- [6] W. Senn, I. Segev, and M. Tsodyks, "Reading neuronal synchrony with depressing synapses," *Neural Computation*, vol. 10, pp. 815-819, 1998.
- [7] T. Oya, T. Asai, T. Fukui, and Y. Amemiya, "Reaction-Diffusion Systems Consisting of Single-Electron Oscillators," *Int. J. Unconventional Computing*, vol. 1, no. 2, pp. 177-194, 2005.