

# メモリスタ-CMOSハイブリッド回路による 非対称STDPシナプスデバイス

安達 琢<sup>†</sup> 赤穂 伸雄<sup>†</sup> 浅井 哲也<sup>†</sup> 本村 真人<sup>†</sup>

<sup>†</sup> 北海道大学大学院情報科学研究科 〒060-0814 札幌市北区北14条西9丁目

E-mail: [†adachi@lalsie.ist.hokudai.ac.jp](mailto:tadachi@lalsie.ist.hokudai.ac.jp)

**あらまし** メモリスタを用いた非対称の時間窓を持つSTDPシナプスデバイスを提案する。メモリスタ（抵抗変化型メモリ:ReRAM）、キャパシタ、二つのpMOSFET、および四つのnMOSFETを用いてデバイスを構成した。まず、ReRAMの特性、および本研究で使用するバイポーラ型ReRAMのモデルについて説明する。次に、本研究を行う上で参考となった先行研究の回路動作（STDP特性における時間的因果領域のみを模擬する動作）を説明する。さらにこの回路を拡張したデバイス（STDP特性における時間的因果領域および非因果領域を模擬するデバイス）を提案し、各回路ブロックの詳細な動作を説明する。最後にHSPICEを用いた回路シミュレーションにより、ReRAMを介さずに流れる電流によりキャパシタが充電され、その後流れた電流によりキャパシタが放電され、ReRAMのコンダクタンスが元の値より減少する事を確認する。

**キーワード** ニューロデバイス、抵抗変化型メモリ（ReRAM）、メモリスタ、STDPシナプス、

## A Memristor-based Synaptic Device having an Asymmetric STDP Time Window

Taku ADACHI<sup>†</sup>, Nobuo AKOU<sup>†</sup>, Tetsuya ASAI<sup>†</sup>, and Masato MOTOMURA<sup>†</sup>

<sup>†</sup> Graduate School of Information Science and Technology Hokkaido University Kita 14, Nishi 9, Kita-ku,  
Sapporo, Hokkaido, 060-0814, Japan

E-mail: [†adachi@lalsie.ist.hokudai.ac.jp](mailto:tadachi@lalsie.ist.hokudai.ac.jp)

**Abstract** We propose a memristor-based STDP synaptic device having an asymmetric time window. This device consists of a bipolar resistive-RAM (ReRAM), a capacitor, four nMOSFETs, and two pMOSFETs. First, we review fundamental characteristics of bipolar ReRAMs as well as the behavioral model that we use in this study. We also introduce our preceding study with respect to the development of memristive STDP devices having a causal role of a presynaptic neuron in driving a postsynaptic one. In this paper, we extend the original STDP synaptic device. Through extensive SPICE simulations, we demonstrate that conductance of our STDP device is certainly modulated (increased, decreased, and held) by the input spike timing, and that the proposed device plays causal and anti-causal roles in the synaptic plasticity.

**Key words** neurodevices, Resistive RAM(ReRAM), memristor, STDP synapse

### 1. まえがき

ニューラルネットワークをハードウェア化する上で困難な課題の一つとして、シナプスの集積化があげられる。なかでも電源が落ちていても結合強度が保持される（不揮発に結合強度を記憶する）シナプスデバイスについては、これまでいくつかのデバイスが提案されてきたが、キャパシタを用いたデバイスでは結合強度の保持時間が短いこと、またフラッシュメモリを用

いたデバイスでは結合強度の書き換え可能回数に制限があること、および書き換えを制御するために大電圧が必要なために制御回路の構成が複雑になってしまうことなどの欠点があった。そのため、いまだに集積化に適したデバイスが現れないというのが実情である。

この問題を解決する素子として、抵抗変化型メモリ（ReRAM）を用いたアナログニューラルネットワークの研究が盛んになっている [1~3]。ReRAMは不揮発性メモリの一種であり、流し

た電流量に応じて抵抗値を変化させ、その値を保持する不揮発記憶素子である。ReRAM の特性は二つに分類され、それらはユニポーラ型とバイポーラ型と呼ばれる。ユニポーラ型 ReRAM は抵抗値を変化させるために単極の電圧源があればよい。それに対してバイポーラ型 ReRAM は素子の抵抗値を変化させるために両極の電圧源が必要である（電圧を印加する方向によって ON 状態、OFF 状態を切り替える）。

今回、我々が過去に提案した STDP シナプスデバイス（先行回路）[4] に拡張回路を加えることにより、提案デバイスを構成する。先行回路は、シナプス前ニューロンの発火によりシナプス後ニューロンの発火が引き起こされる領域（時間的因果領域）での STDP 学習則を実現するデバイスである。本稿ではこのデバイスに時間的非因果領域での STDP 学習則を実現する拡張回路を追加することにより、時間的非因果領域を含めた非対称の時間窓を持つ STDP シナプスデバイスを提案する。

## 2. メモリスタを用いた STDP シナプスデバイス

### 2.1 ReRAM モデル

本稿ではバイポーラ型 ReRAM を用いて提案デバイスを構成する。そのため、Strukov らが提案したメモリスタモデル [5] を基にバイポーラ型 ReRAM モデルを構成した。このメモリスタモデルでは、素子を通じた電流の総量により素子の抵抗値が決まる。素子の抵抗を  $R_{MEM}(\omega)$  で表すと電流電圧特性は

$$V = R_{MEM}(\omega)I \quad (1)$$

$$\frac{d\omega}{dt} \approx I_{ReRAM} \quad (2)$$

のように記述できる。ここで、 $\omega$  は ReRAM の内部状態を表し、 $I_{ReRAM}$  は ReRAM に流れる電流を表す。また、 $R_{MEM}(\omega)$  は以下

$$R_{MEM}(\omega) = \frac{1}{2}(R_{MIN} + R_{MAX} + (R_{MIN} - R_{MAX})\tanh(\omega)) \quad (3)$$

に従うものとする。 $R_{MEM}(\omega)$  は  $\omega$  の増加に対して単調増加する関数であり、 $\omega \rightarrow \infty$  の場合  $R_{MEM} = R_{MIN}$  (ReRAM の最小抵抗値) となり、 $\omega \rightarrow -\infty$  の場合  $R_{MEM} = R_{MAX}$  (ReRAM の最大抵抗値) となる。また、 $\omega$  の時間変化は

$$\tau_{\omega} \frac{d\omega}{dt} = I_{ReRAM} \quad (4)$$

で表される。ここで、 $\tau_{\omega}$  は電流に対する抵抗値の変化しやすさを表す時定数である。本稿ではこのメモリスタモデルの等価回路を用いて、シナプスデバイスのシミュレーションを行う。

### 2.2 STDP シナプス

シナプスの学習則にはいくつかの種類があるが、今回は二つのニューロンが出力するスパイクの時間差で結合強度が変化する STDP (Spike Timing Dependent Plasticity) 学習則を持つシナプスデバイスを提案する。図 1 に設計目標とする STDP 時間窓の概形を示す。

### 2.3 先行研究

今回提案するデバイスを構成する上で基となった先行回路の

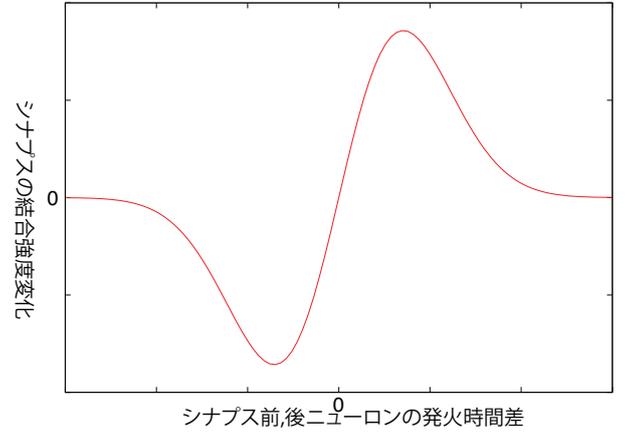


図 1 STDP 時間窓の概形

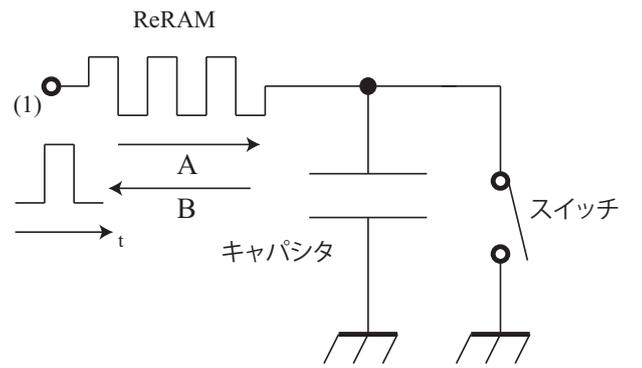


図 2 先行回路の原理回路

動作について説明する。この回路は、ReRAM、キャパシタ、および二つの nMOSFET で構成された ReRAM-CMOS ハイブリット回路である。以下に先行回路の動作を説明する。

#### 2.3.1 動作コンセプト

以下、ReRAM のコンダクタンス  $G_{MEM} = R_{MEM}^{-1}(\omega)$  とする。図 2 に先行回路の原理回路を示す。この回路の入力端子 (1) には電圧パルスが入力され、パルスの立ち上がりによって ReRAM のコンダクタンス  $G_{MEM}$  が増加する向きを A、減少する向きを B とした。以下にこの回路の動作コンセプトを説明する。

この回路は、パルスの立ち上がりにより A の向きに流れた電流でキャパシタを充電し、スイッチにより B の向きに流れる電流を制限することで  $G_{MEM}$  を増加させる回路である。また、スイッチが常に OFF 状態の場合この回路は RC 回路となり、 $G_{MEM}$  はパルスの入力前後で変化しない。

はじめに、スイッチが常に OFF 状態の場合を考える。図 2 は RC 回路となり、パルスの立ち上がりにより ReRAM を介して A の向きに流れる電流は、パルスの立ち下がりにより全て ReRAM を B の向きに流れるため  $G_{MEM}$  はパルスの入力前後で変化しない。次に、入力端子 (1) に電圧パルスが入力された後、スイッチが ON 状態になる場合を考える。パルスの立ち上がりにより ReRAM を介して A の向きに流れる電流はキャパシタを充電する。その後パルスの立ち下がりにより ReRAM を介して B の向きに流れる電流はキャパシタを放電

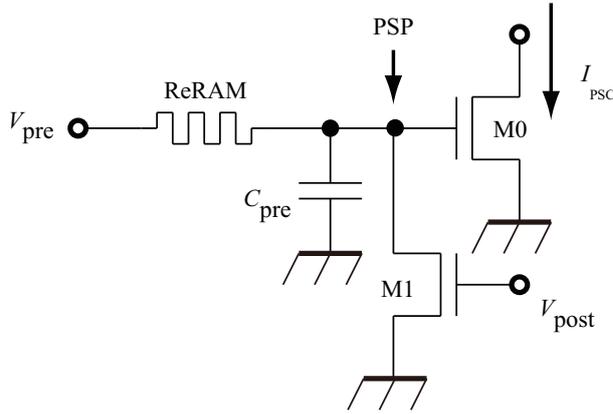


図3 先行回路

するが、スイッチがON状態になるとスイッチを介して流れる電流がキャパシタを放電する。これにより ReRAM を介して A の向きに流れた電流は B の向きに流れた電流よりも多くなるため、 $G_{MEM}$  の変化量は正になる。以下に、各素子の動作を説明する。

### 2.3.2 先行回路の動作

図3に先行回路を示す。 $V_{pre}$ ,  $V_{post}$ ,  $I_{PSC}$ , および PSP はそれぞれシナプス前ニューロン、シナプス後ニューロンの出力するスパイク電圧、シナプス後電流、およびシナプス後電位を表す。また、M0 は PSP を非線形電流変換する。図3の ReRAM は  $C_{pre}$  が ReRAM を介して充電される方向に電流が流れた場合、コンダクタンス  $G_{MEM}$  が上昇する向きに接続されている ( $C_{pre}$  が ReRAM を介して放電される方向に電流が流れた場合  $G_{MEM}$  は減少する)。ReRAM のコンダクタンス  $G_{MEM}$  によってスパイクの発火時間差に依存した結合強度を不揮発に保存し、 $V_{pre}$ ,  $V_{post}$  の一方のみの電圧が変化した場合、 $G_{MEM}$  は変化しない。そして、この結合強度に依存した  $I_{PSC}$  をシナプス後ニューロンが積分する。

はじめに、 $V_{pre}$  が変化し、 $V_{post}$  は初期電位から変化しない場合を考える。まず、 $V_{pre}$  の立ち上がりによって ReRAM を流れた電流により  $C_{pre}$  が充電され、ReRAM のコンダクタンスは増加する。その後、 $V_{pre}$  の立ち下がりにより ReRAM を流れる電流によって  $C_{pre}$  は放電され、ReRAM のコンダクタンスは減少する。この時、充電時に ReRAM を流れた電流量と放電時に ReRAM を流れた電流量は同じであるため、 $V_{pre}$  の変化前後で ReRAM のコンダクタンスは変化しない。

次に、 $V_{pre}$  が変化した後、 $V_{post}$  が変化した場合を考える。この場合、 $V_{pre}$  の立ち上がりによって  $G_{MEM}$  が増加する向きに流れる電流によって  $C_{pre}$  が充電される。その後、 $V_{pre}$  の立ち下がりにより  $G_{MEM}$  が減少する向きに流れる電流によって  $C_{pre}$  は放電されるが、 $V_{post}$  が立ち上がると M1 が ON 状態となり、この時 M1 を流れた電流により  $C_{pre}$  が放電される。 $G_{MEM}$  が減少する向きに ReRAM を介して流れた電流の総量は、 $G_{MEM}$  が増加する向きに ReRAM を介して流れた電流の総量よりも少ない。そのため、 $G_{MEM}$  は  $V_{pre}$  が変化する前より増加する。また、充放電を通して ReRAM を流れた電流量

の差は、 $V_{pre}$ , および  $V_{post}$  が変化する時間をそれぞれ  $t_{pre}$ ,  $t_{post}$  とすると、 $\Delta t$  ( $\equiv t_{pre} - t_{post}$ ) が正の場合、 $\Delta t$  が小さいほど少なくなる。そのため、 $\Delta G_{MEM}$  は  $\Delta t$  に依存して変化する。

このようにして、 $\Delta t$  に依存した  $G_{MEM}$  の変化を得ることができる。この  $G_{MEM}$  の変化によってシナプス後電位 PSP の時定数が変化するが、PSP をシナプス後ニューロンが十分な時間をかけて積分すると、その積分値 (膜電位) は ReRAM の結合強度に関わらず一定となる。そのため M0 を用いて PSP を非線形電流変換し、その値をシナプス後ニューロンで積分する。M0 が飽和領域、もしくはしきい値以下で動作する場合、ゲート-ソース間電圧 (=PSP) の値を  $I_{PSC}$  (シナプス後電流) に非線形変換する。このシナプス後電流をシナプス後ニューロンで積分することで、膜電位は  $G_{MEM}$  (結合強度) に依存して変化する。

### 2.4 先行研究のシミュレーション結果

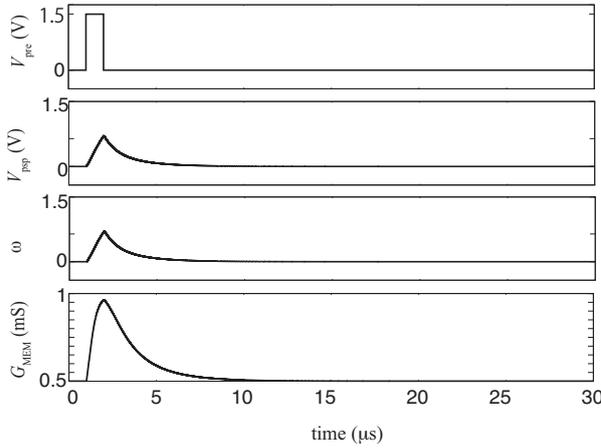
0.35  $\mu\text{m}$  CMOS パラメータを用いて先行回路のシミュレーションを行った。このシミュレーションでは、 $R_{MIN}$ ,  $R_{MAX}$  をそれぞれ 1.0 k $\Omega$ , 1.0 M $\Omega$  とし、 $\tau_w$  を  $1.0 \times 10^{-9}$  s,  $\omega$  の初期値を 0 とした。図4(a)に  $V_{pre}$  を変化させ、 $V_{post}$  を変化させない場合のシミュレーション結果を示す。 $V_{pre}$  が立ち上がると流れた電流により  $C_{pre}$  が充電され PSP が増加し、ReRAM のコンダクタンスが増加した。その後、 $V_{pre}$  の立ち下がりとともに流れた電流により  $C_{pre}$  が放電され、ReRAM のコンダクタンスは元の値に戻った。次に、 $\Delta t = 3.0 \mu\text{s}$  でのシミュレーション結果を示す。 $V_{post}$  の立ち下がりにより PSP が急に減少し、十分な時間が経過した後の ReRAM のコンダクタンス変化量  $\Delta G_{MEM}$  は正になることを確認した。先行回路の STDP 時間窓を図4(b)に示す。 $\Delta G_{MEM}$  が  $\Delta t$  に依存して変換することが確認できた。最後に、PSP を非線形電流変換する M0 の動作を確認するシミュレーション結果を図6に示す。上が PSP を線形電流変換した図、下が PSP を M0 を用いて非線形電流変換した図である。十分時間が経過した後、線形電流変換した図では積分値が ReRAM のコンダクタンスに依存せず一定であるのに対して、M0 を用いて非線形電流変換した図では ReRAM のコンダクタンスが大きいの時、電流の積分値が大きくなる。

## 3. 提案デバイスの構成と動作

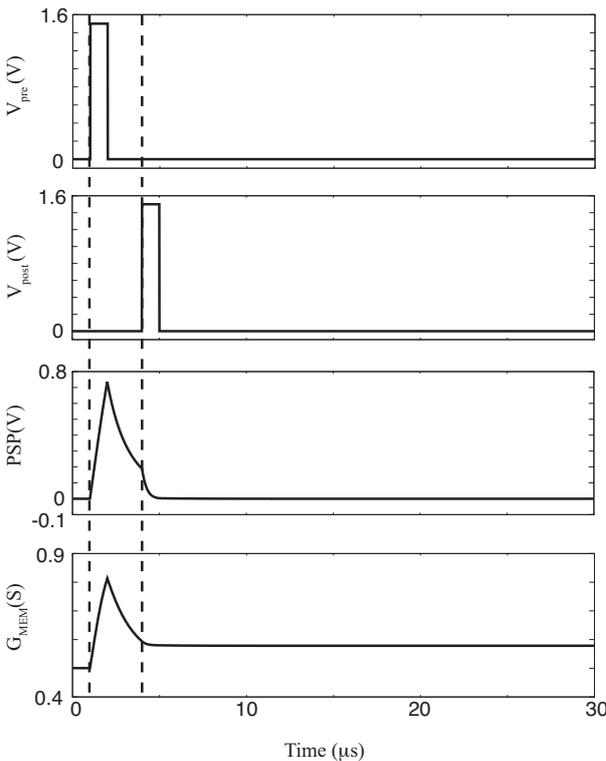
### 3.1 動作コンセプト

次に、提案デバイスの動作について説明する。図7に提案デバイスの原理回路を示す。この回路の端子 (1) には電圧パルスが入力され、パルスの立ち上がりによって ReRAM のコンダクタンス  $G_{MEM}$  が増加する向きを A, 減少する向きを B とする。また、電流生成回路から流れる電流の向きを C とする。以下にこの回路の動作コンセプトを説明する。

この回路は、C の向きに流れる電流とパルスの立ち上がりにより A の向きに流れる電流の両方でキャパシタを充電する。そのためパルスの立ち下がりにより ReRAM を B の向きに流れる電流がパルスの立ち上がりにより ReRAM を A の向きに流



(a)  $V_{post}$  を入力しない場合のシミュレーション結果



(b)  $\Delta t = 3.0 \mu s$  のシミュレーション結果

図4 先行回路のシミュレーション結果

れた電流の量よりも多くなり、コンダクタンスが減少する回路である。先行回路では、スイッチ1を用いてBの向きに流れる電流を制限した。そのためBの向きにReRAMを流れる電流量がAの向きにReRAMを流れる電流量よりも少なくなり、ReRAMのコンダクタンス変化量 $\Delta G_{MEM}$ は正になった。そこで提案回路では、ReRAMを介さずに流れる電流でキャパシタを充電する。これにより、電圧パルスが立ち下がった後Bの向きにReRAMを流れる電流の量はAの向きにReRAMを流れる電流の量よりも多くなるため、 $\Delta G_{MEM}$ は負の値となる。更に、この時キャパシタを充電する為に流れる電流を $\Delta t$ に依存させるため、電流を制限するためのスイッチを先行回路と電流生成回路の間に設置する。これにより、非因果領域で $G_{MEM}$ が $\Delta t$ に依存して減少する特性を実現する。

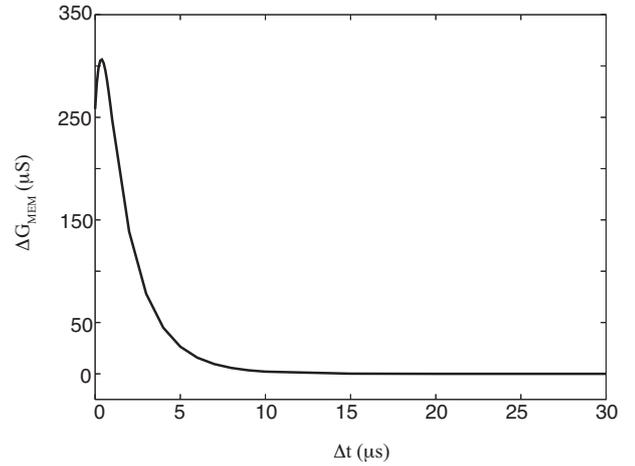


図5 因果領域でのSTDP時間窓

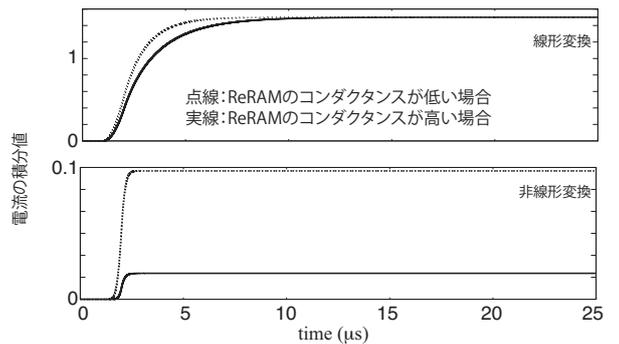


図6 PSPの非線形変換と線形変換

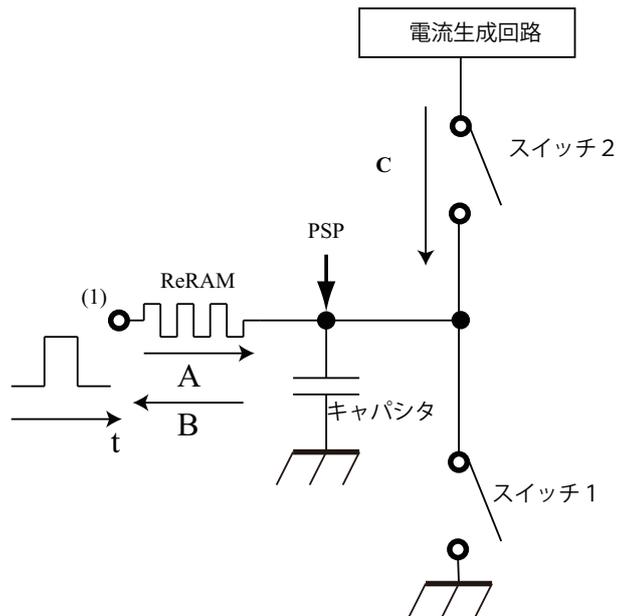


図7 提案デバイスの原理回路

### 3.2 提案デバイスの動作

図8に提案デバイスを示す。提案デバイスは、ReRAM、キャパシタ、四つのnMOSFETおよび二つのpMOSFETからなるReRAM-CMOSハイブリット回路である。 $V_{pre}$ 、 $V_{post}$ はシナプス前ニューロン、およびシナプス後ニューロンのスパイク電圧を表し、 $V_b$ 、 $V_1$ はそれぞれM5、M3のゲート電圧を表

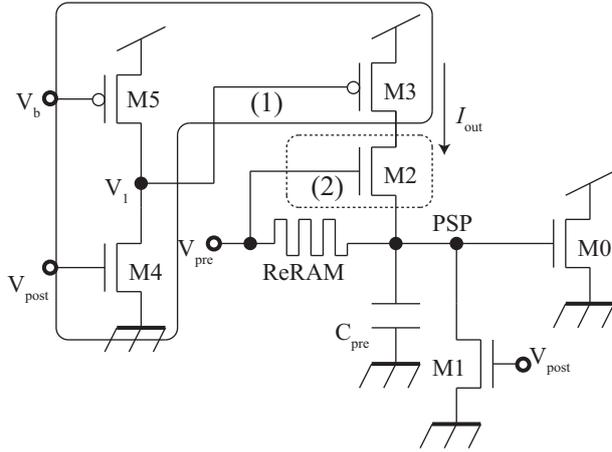


図 8 提案デバイス

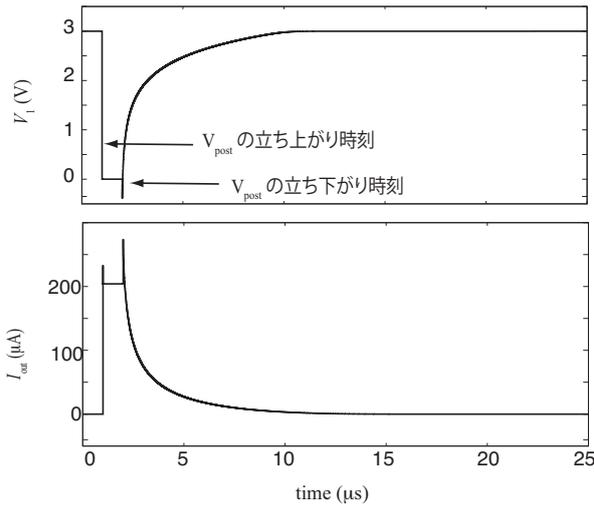


図 9 電流生成回路のシミュレーション結果

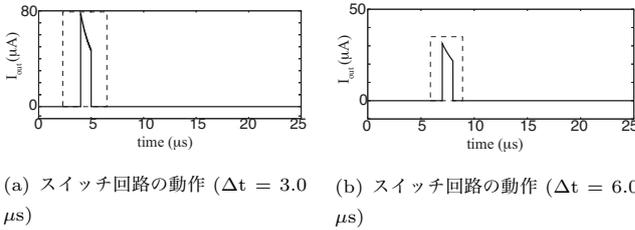


図 10 スイッチ回路のシミュレーション結果

す。M3, M4, および M5 で遅延を伴った電流を生成し, M2 を用いて  $\Delta t$  に依存した電流を  $C_{pre}$  に充電する。以下に提案デバイスの動作を説明する。

### 3.2.1 電流生成回路

図 8(1) に電流生成回路を示す。  $V_{post}$  が立ち上がると M4 が ON 状態になり,  $V_1$  の電位が 0 になる。この時,  $V_b$  の電位が十分に高いと, M4 および M5 から構成される回路ブロック (1) は M5 を負荷とした反転増幅器になる。その増幅率を A とすると, M4 の寄生容量  $C_{gd}$  はミラー効果により出力から見ると A 倍だけ増幅される。次に,  $V_{post}$  が立ち下がると M4 は OFF 状態となり, 増幅器の出力電位  $V_1$  は時間遅延を伴って上

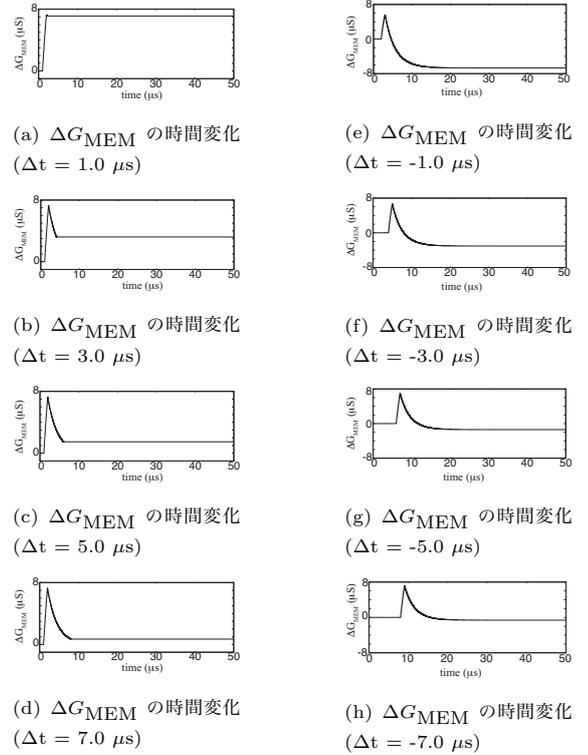


図 11  $\Delta G_{MEM}$  の時間変化

昇する。この時, M4 の寄生容量はミラー効果によって増幅されているので,  $V_1$  の電位は大きな遅延を伴って上昇する。M3 はゲートに  $V_1$  を入力し,  $V_1$  の遅延を反映した電流  $I_{out}$  を生成する。この電流  $I_{out}$  により  $C_{pre}$  が充電されることにより, ReRAM のコンダクタンスを元の値よりも減少させる事ができる。

### 3.2.2 スイッチ回路

電流生成回路によって生成した電流  $I_{out}$  を  $\Delta t$  に依存させるため, M2 をスイッチとして利用する。  $V_{pre}$  が立ち上がると M2 が ON 状態となり  $I_{out}$  により  $C_{pre}$  が充電される。この時  $I_{out}$  として流れる電流の総量は,  $V_{post}$  が立ち下がってから経過時間に依存して少なくなるので, ReRAM を介さずに流れる電流により  $C_{pre}$  が充電される量は  $\Delta t$  に依存して少なくなる。  $V_{pre}$  が立ち下がると,  $G_{MEM}$  を減少させる向きに流れる電流により  $C_{pre}$  が放電される。この時の電流量は  $G_{MEM}$  を増加させる向き ReRAM を流れた電流量よりも多いため, コンダクタンス  $G_{MEM}$  は  $\Delta t$  に依存して減少する。 M2 が OFF 状態の時は, 電流生成回路と先行回路の間は解放状態となり, デバイスは先行回路と同じ動作をする。以上の動作により, 非因果領域での STDP シナプスの特性を表す。

## 4. 提案デバイスのシミュレーション

0.35  $\mu\text{m}$  CMOS パラメータを用いて, HSPICE シミュレーションを行った。  $R_{MIN}$ ,  $R_{MAX}$  をそれぞれ 6.7 k $\Omega$ , 6.7 M $\Omega$  とし,  $\tau_w$  を  $1.0 \times 10^{-9}$  s,  $\omega$  の初期値を 0 とした。図 9 に電流生成回路のシミュレーション結果を示す。 ( $\Delta t = 3.0 \mu\text{s}$ :  $\Delta t$

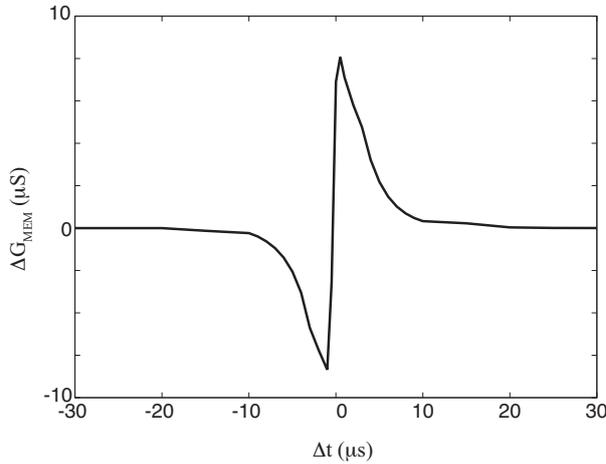


図 12 提案デバイスの STDP 特性

$= t_{pre} - t_{post}$ ,  $t_{pre}$  および  $t_{post}$  はそれぞれ  $V_{pre}$ ,  $V_{post}$  の入力タイミングを表す).  $V_{pre}$  の入力により, M4 が ON 状態となり,  $V_1$  の電位が 0 となることを確認した. その後,  $V_{pre}$  の立ち下がりと同時に  $V_1$  の電位が時間遅延を伴って上昇し, その電圧遅延を反映した  $I_{out}$  が M3 によって生成されることを確認した.

次に,  $I_{out}$  を  $\Delta t$  に依存させるためのスイッチ回路のシミュレーション結果を図 10 に示す. 図 10 (1) は  $\Delta t = 3.0 \mu s$ , (2) は  $\Delta t = 6.0 \mu s$  でのシミュレーション結果である.  $V_{pre}$  が立ち上がると M2 が ON 状態になり, この時のみ電流生成回路が生成した電流により  $C_{pre}$  が充電されることを確認した. ここで,  $C_{pre}$  に蓄えられる電荷の量は電流の積分 (点線で囲まれている部分の面積) である. そのため, 図 10 (1) の場合は図 10 (2) の場合に比べてより多くの電流で  $C_{pre}$  を充電できる. これにより  $I_{out}$  として流れる電流の総量が  $\Delta t$  に依存して減少することも確認した.

最後に, これらを組み合わせた提案デバイスのシミュレーション結果を図 11 に示す. 図 11(1)~(4) に時間的因果領域でのコンダクタンス変化量  $\Delta G_{MEM}$  を表す ((1): $\Delta t = -0.5 \mu s$ , (2): $\Delta t = -1.0 \mu s$ , (3): $\Delta t = -1.5 \mu s$ , (4): $\Delta t = -2.0 \mu s$ ). 十分な時間が経過した後, ReRAM のコンダクタンス  $G_{MEM}$  が元の値より増加することを確認した. また, その増加量は  $\Delta t$  の増加によって少なくなり, コンダクタンスの変化量  $\Delta G_{MEM}$  は入力タイミング差  $\Delta t$  に依存することを確認した. 次に, 図 11(5)~(8) に非因果領域でのコンダクタンス変化量  $\Delta G_{MEM}$  を表す ((5): $\Delta t = 0.5 \mu s$ , (6): $\Delta t = 1.0 \mu s$ , (7): $\Delta t = 1.5 \mu s$ , (8): $\Delta t = 2.0 \mu s$ ). 十分な時間が経過した後, ReRAM の  $G_{MEM}$  が元の値より減少することを確認した. また, その減少量は  $\Delta t$  の増加によって少なくなり, コンダクタンスの変化量  $\Delta G_{MEM}$  は入力タイミング差  $\Delta t$  に依存することを確認した. 図 12 に提案デバイスの STDP 特性を表す. 提案デバイスが, 非因果領域を含めた STDP シナプスと質的に等価な動作をすることを確認した.

#### 4.1 まとめ

バイポーラ型 ReRAM を用いて非因果領域を含めた STDP

時間窓を持つ不揮発性のシナプスデバイスを提案した. はじめに, ReRAM の特性, および今回用いる ReRAM のモデルを提案した. 次に, 本研究を始めるにあたって参考とした先行回路についてその動作を説明し, HSPICE を用いてシミュレーションを行った. 続いて, 非因果領域での特性を再現するための拡張回路についてその動作コンセプトと詳しい動作を説明した. 最後にシミュレーションを用いて因果領域では, パルス入力タイミング差に依存して ReRAM のコンダクタンス  $G_{MEM}$  が増加するという特性を残しつつ, 非因果領域でパルス入力タイミング差に依存して ReRAM の  $G_{MEM}$  が減少する特性が追加されている事を確認した.

今回のデバイスはシミュレーション結果のみであって, 実デバイスを用いた実験はまだ行っていない. そのため, 今後は提案デバイスを実デバイスを用いて測定し, 提案デバイスと質的に等価な回路である事を確認する予定である.

#### 文 献

- [1] G. S. Snider, "Self-organized computation with unreliable, memristive anaodevices," *Nanotechnology* vol. 18, no. 36, 36502, 2007
- [2] Ahmad Afifi, Ahmad Ayatollahi, Farshid Rassi, "STDP implementation using memristive nanodevice in CMOS-Nano neuromorphic networks," *IEICE ELEX*, vol. 6, no. 3, pp 148-153, 2009
- [3] B. Linares-Barranco and T. Serrano-Votarredona, "Memristance can explain Spike-Time-Dependent-Plasticity in Neural Synapses," *Nature Precedings*, <http://hdl.handle.net/10101/npre.2009.3010.1>, 2009
- [4] 赤穂 伸雄, 浅井 哲也, 柳田 剛, 川合 知二, 雨宮 好仁, "バイポーラ型抵抗変化メモリ素子を用いた STDP シナプスデバイス" 電子情報通信学会技術研究報告, vol. 110, no. 246, pp. 23-28, 2010.
- [5] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, "The missing memristor found," *Nature*, vol.453, no. 1, pp. 80-83, 2008.