

生体様ビジョンチップを用いた動き検出システム

Motion Detection with Neuromorphic Vision Chips

浅井 哲也 (北大) 幸谷 真人 雨宮 好仁

Tetsuya Asai, Masato Koutani, and Yoshihito Amemiya

Department of Electrical Engineering, Hokkaido University,
Kita 13, Nishi 8, Kita-ku, Sapporo, 060-8628, Japan

In this paper, we propose an analog-digital hybrid CMOS circuit producing two-dimensional optical flows, aiming at the development of high-speed and compact motion-sensing systems. The proposed circuit can compute the optical flow in real time by parallel operations of a number of local motion processors on the basis of the mechanisms of biological motion detectors. The circuit consists of asynchronous current-mode digital subcircuits for edge detection and analog subcircuits for local motion detection. The results of SPICE simulation confirmed that the circuits can compute two-dimensional local velocities with extracting edges of incident images. This shows that a high-speed motion-sensing chip can be developed with standard VLSI technology.

Key Words : motion detection, neural networks, hybrid CMOS circuits, neuromorphic vision chips

1. はじめに

マシンビジョンの分野でこれまで採用されてきたオプティカルフローを計算するアルゴリズム [1,2] は、高い時間空間分解能でフローを計算しようとする、計算機に重い負荷がかかる。近年、CaltechのCarver Meadらにより提唱されている生体様 (neuromorphic) ビジョンチップ [3-6] は、そのアナログ超並列演算による実時間・高速動作により、逐次演算型計算機の強力なプリプロセッサとして活躍できる可能性が高い。試作されたビジョンチップは、局所的な動き検出器のレイアウトを実装している。しかし、それらの検出器はチップ上で大きな面積を占めており、そのことがチップの低空間分解能および低開口率を招いている。本稿では、高分解能・高開口率をめざした「局所的な動きを検出するアナログ-デジタル混載型ビジョンチップ」を提案する。

2. 相関ニューラルネットに基づく動き検出回路

図1に、相関型ニューラルネットワーク [7] に基づいた動き検出LSIの構成を示す。LSIは、二次元状に配置された複数の画素回路 (プロセッサ) のレイアウトで構成され、それぞれの画素回路は、電流モードで動作する「二値化回路 (current quantizer)」、「エッジ検出回路 (XOR)」と「相関回路 (CC)」を持つ (図2)。二値化回路とエッジ検出回路により、チップに照射された入力画像のノイズ除去とエッジ検出が行われる。図3に示す相関回路は、過去に筆者らが提案した速度検出回路 [8,9] を改良したものであり (電流-電圧モードで動作し、大容量を必要としない) 大規模集積化を目指したコンパクトな構成になっている。

相関回路は、単利得アンプ (M1~M10)、ソース接地型アンプ (M11, M12) およびプルアップ用MOSトランジスタ (M14) から構成されている。入力光電流 (I_{in}) は、M1~M4のカレントミラーにより、差動対 (M5, M6) のソース電流になる。光電流の増加にともない、単利得ア

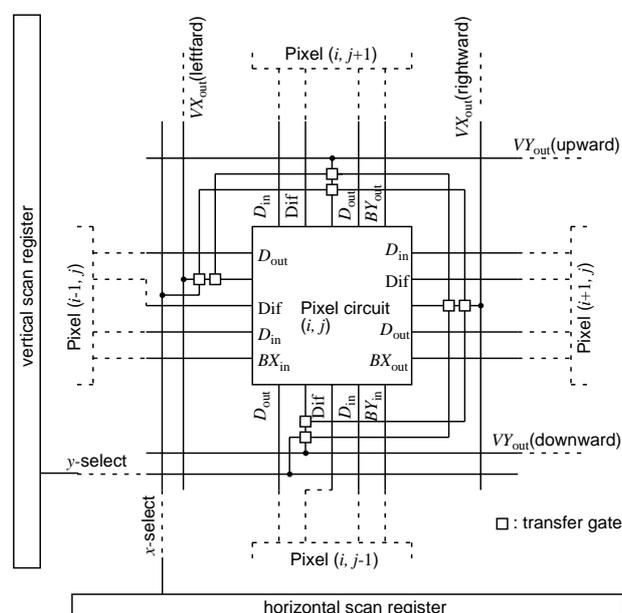


Fig. 1 Chip overview.

ンプの出力 (V_{out}) はアンプの入力電圧 (D_{in}) に近づく (相関出力)。ソース接地アンプは、高い利得で入力光電流を増幅すると同時に、ミラー効果により生じた遅れ信号をつくる (D_{out})。

3. 動作シミュレーション

以下のシミュレーションでは、PDの面積を $30 \mu\text{m}^2$ 、PD間隔を $180 \mu\text{m}$ 、スポット光が照射されたときの電流アンプの最大出力を 100 nA と想定した。MOSトランジスタは、VDECより配付されたモトローラ $1.2 \mu\text{m}$ プロセスパラメータ (LEVEL3版) を用い、ゲート幅およびゲート長はそれぞれ $3.6 \mu\text{m}$ および $2.4 \mu\text{m}$ とした。設計した回路のレイアウトパターンを図4に示す。

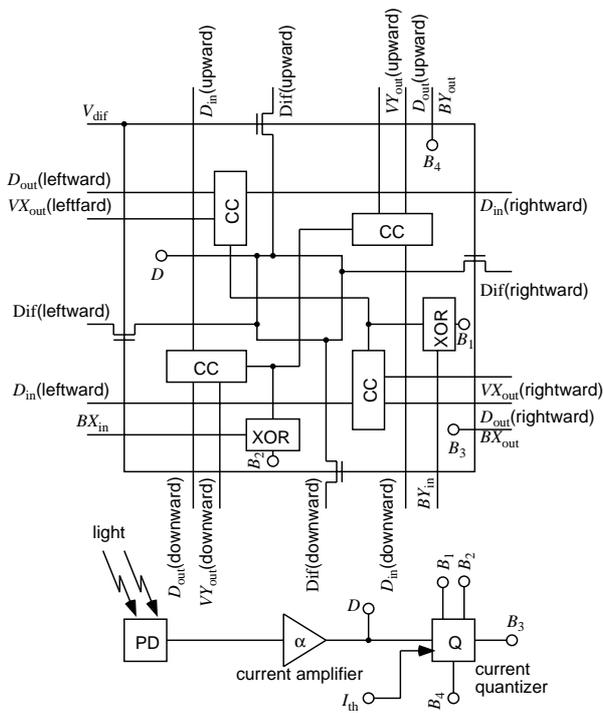


Fig. 2 Construction of a pixel circuit.

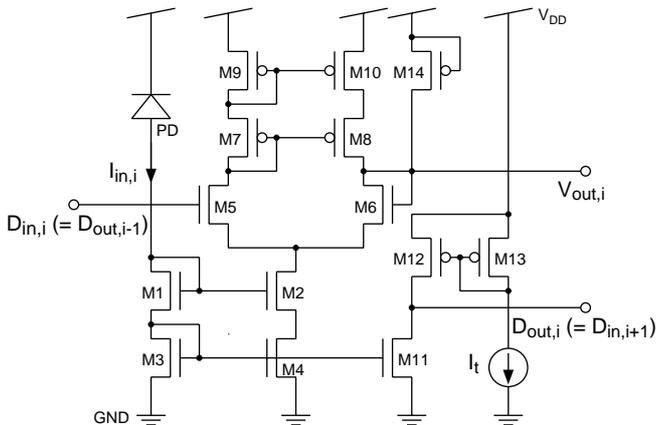


Fig. 3 A correlation circuit.

図 5 に、視覚対象の速度変化に対する相関回路の出力電圧の最小値 (V_{min}) を示す。電源電圧 (V_{DD}) と制御電流 (I_t) は、それぞれ 5 V, 100 pA ~ 50 nA とした。 I_t の制御により、検出可能な速度範囲がシフト可能であることが確認できた。また、出力電圧が約二桁の速度にわたり応答することが確認できた。

4. まとめ

アナログ-デジタル混載型の動き検出ビジョンチップを提案した。アナログ回路を用いた並列演算回路により、回路構成が極めてシンプルになった。また、動作が不安定な電流モードアナログ回路を補うために導入された「電流モードロジック回路」により、システムが安定して動作することを確認した。今後は、試作チップの測定とあ

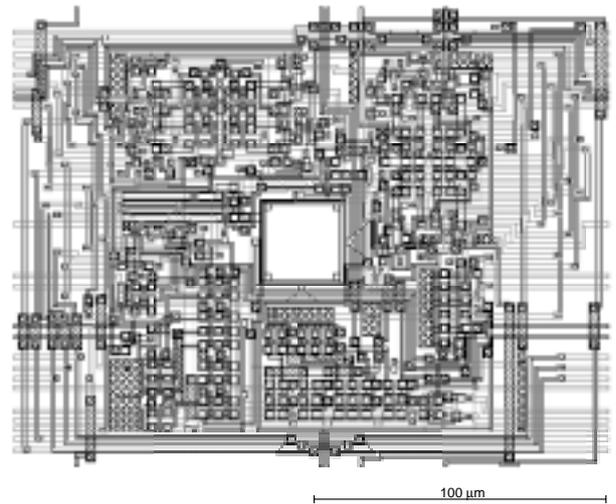


Fig. 4 Pattern layout of the pixel circuit.

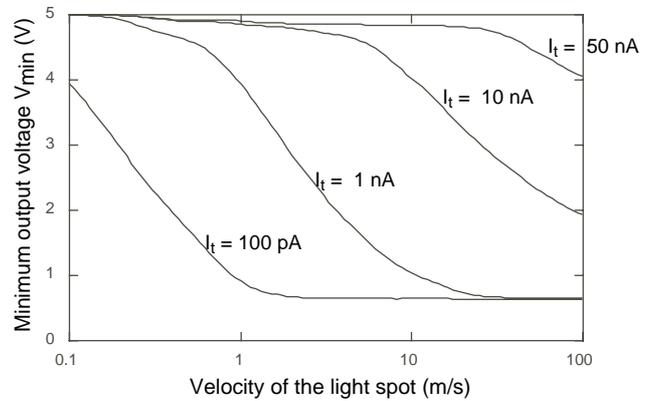


Fig. 5 Velocity profile of the correlation circuit.

わせて、動き検出ビジョンチップを用いた「奥行検出システム」と「能動視覚システム」の開発を行う予定である。

参考文献

- [1] D. H. Ballard and C. M. Brown: *Computer Vision* (Prentice-Hall, Inc., New Jersey, 1982) 2nd ed.
- [2] P. K. B. Horn and G. B. Schunck: *Artif. Intelli.* **17** (1981) 185.
- [3] R. Douglas, M. Mahowald and C. Mead: *Annu. Rev. Neurosci.* **18** (1995) 255.
- [4] B. J. Sheu and J. Choi: *Neural Information Processing and VLSI* (Kluwer Academic Publishers, Boston, 1995) 1st ed.
- [5] C. Mead: *Analog VLSI and Neural Systems* (Addison Wesley, New York, 1989) 1st ed.
- [6] T. S. Lande: *Neuromorphic Systems Engineering: Neural Networks in Silicon* (Kluwer Academic Publishers, 1998) 1st ed.
- [7] W. Reichardt: *Principles of Sensory Communication* (Wiley, New York, 1961) p. 303.
- [8] T. Asai, M. Ohtani, and H. Yonezu: *Jpn. J. Appl. Phys* **38** (1999), 2256.
- [9] M. Ohtani, H. Yonezu, and T. Asai: *Jpn. J. Appl. Phys* **39** (2000), in press.