

# スパイクタイミングに基づく脳型競合プロセッサの試作と評価

## Neuromorphic CMOS Circuits performing Temporal-Domain Neural Competition based on Spike-Timing Neural Codes

浅井 哲也 (北大) 金沢 雄亮 大黒 高寛 雨宮 好仁

Tetsuya ASAI, Yuusuke KANAZAWA, Takahiro DAIKOKU, and Yoshihito AMEMIYA

Department of Electrical Engineering, Hokkaido University,  
Kita 13, Nishi 8, Kita-ku, Sapporo, 060-8628, Japan

We present an inhibitory neural network implemented on analog CMOS chips, whose neurons compete with each other in the time domain. The circuit for each neuron was designed to produce sequences in time of identically shaped pulses, called *spikes*. The results of experiments and simulations revealed that the network more efficiently achieved the selective activation and inactivation of the neural circuits on the basis of spike timing than on the basis of firing rates. The results indicate that neural processing based on the spike timing of neural circuits provides a way to overcome the low-tolerance problems of analog devices in noisy environments.

**Key Words** : neuromorphic VLSI, integrate-and-fire neurons, competitive neural networks

## 1 はじめに

半導体デバイスの微細化に伴い、アナログ集積回路におけるデバイス特性のバラツキ（固定ノイズ）や電磁ノイズの影響が大きな問題となってきた。この問題を（素子レベルではなく）システムレベルで解決するような集積回路を構築して、ノイズ環境においても正しく動作する脳のような集積システムをつくりたい。その開発の足掛かりは、脳に学ぶところにある。たとえば、大脳皮質の基本構造の一つである競合神経ネットワーク（大きな入力を受けている細胞を選択する神経ネットワーク）は、多数決的な処理によってノイズ環境下でも正しく入力（神経）を選択できる [1]。この神経ネットワークの情報コードに平均発火率ではなく発火時刻（スパイクタイミング）の概念を導入すると、神経細胞の選択効率が大幅に向上する [2]。そこで、ノイズ環境下で効率良く競合を行う脳型競合プロセッサの実現を目指して、スパイクタイミングに基づく競合神経ネットワークをアナログ集積回路化した。本稿では、その動作シミュレーション結果と試作チップの評価結果について報告する。

## 2 スパイク型競合神経ネットワーク：脳型プロセッサの内部モデル

スパイクタイミングを用いて入出力情報を符号化した競合神経ネットワークの概念を図1に示す。ここでは、興奮、不応、休止といった神経細胞の動作サイクルを模擬する積分発火型ニューロン（IFN）を用いる。複数のIFNが一つの広域抑制ニューロン（GI）を興奮させ、逆にそのGIが全てのIFNを抑制する。図中の黒丸が抑制性シナプス、白丸が興奮性シナプスを表す。これらのIFNに外部から周期スパイクを与える。その際、入力情報の大きさをスパイクの発生するタイミングで表すことにする（従来の「単位時間あたりのスパイク数」ではない）。たとえば、大きな入力を受けるべきIFNには入力スパイク

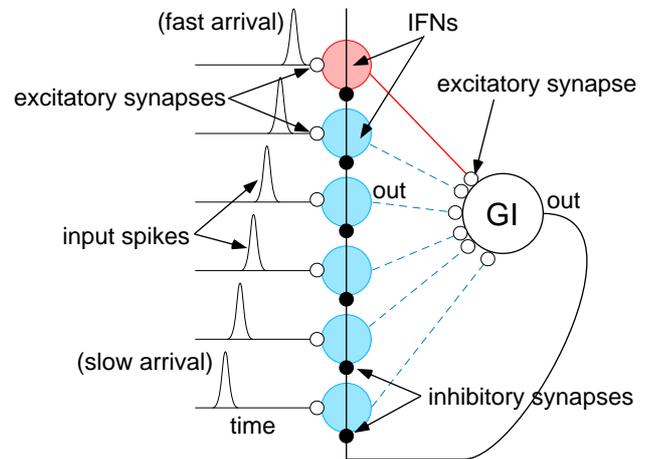


Fig. 1 Competitive neural networks with IFNs.

が早く到着し、小さな入力に対してはスパイクが遅く到着する。このようにすると、入力スパイクが早く到着したIFN（大きい入力を受けているIFN）が出力スパイクを発生するようになる。なぜなら、出力スパイクの発生によってGIが興奮し、それによってまだ入力スパイクを受けていないIFN（入力が小さいIFN）が抑制されるからである。このように、複数の入力の中で大きい入力を受けているニューロンを残すようなネットワークを競合ネットワークと呼ぶ。

## 3 競合プロセッサの回路構成

プロセッサの内部構成を図2に示す。これは図1のネットワークの構成要素（IFNとGI）をアナログCMOS回路化したものである。IFN回路は入力電流（ $I_{in}^{(e)}$ ）を受けるとスパイク電流（ $I_{spike}$ ）を発生する。各IFNで発生した $I_{spike}$ を結線加算してGI（電流ミラー回路）に与える。GIのミラー出力（ $I_{spike}$ の総和）を全てのIFNの抑制入力端子（ $I_{in}^{(i)}$ ）に接続し、閉じたネットワークを構成する。

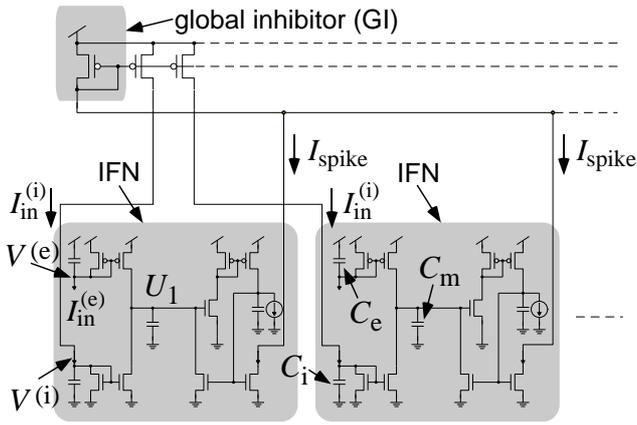


Fig. 2 CMOS circuits for competitive neural networks.

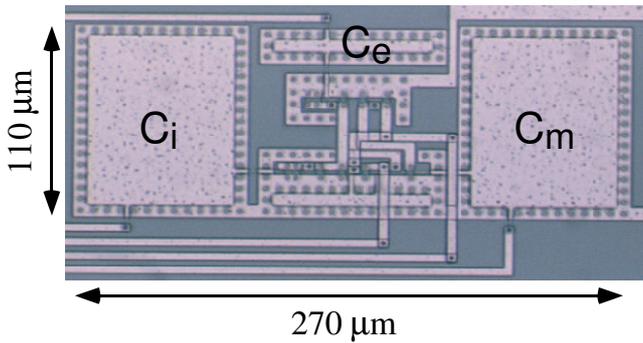


Fig. 3 Micrograph of the IFN circuit.

抑制入力端子に電流を与えると IFN の膜電位 ( $U_i$ ) が減少するため、IFN 回路はスパイク電流を発生しない。したがって、入力スパイクが早く到着した IFN が GI を興奮させ、その興奮によって入力スパイクがまだ到着していない IFN の膜電位が減少する。それによってスパイク電流出力が抑制される。この仕組みにより、入力スパイクが早く到着した (大きい入力を受けている) IFN が出力スパイクを発生する。

## 4 実験/シミュレーション結果

図 2 のネットワーク回路を試作した (MOSIS: AMIS 1.5- $\mu\text{m}$  CMOS プロセス)。試作した IFN 回路のレイアウト写真を図 3 に示す。この IFN 回路の測定結果を図 4 に示す。興奮入力 ( $V^{(e)}$ ) により膜電位が急激に増加してスパイクが発生し、抑制入力 ( $V^{(i)}$ ) によって膜電位が減少するという IFN の基本動作を確認した。また、発火直後に不応期 (膜電位が平衡電位よりも低い期間) が存在し、この期間に興奮入力を与えても出力スパイクが発生しないことを確認した。

図 4 の応答を示す IFN 回路を 100 個接続したネットワークの動作シミュレーションを行った。各 IFN には同一周期の入力スパイク電流を与え、ニューロン番号の小さい順に早いタイミングでスパイクを与えた (番号の小さい IFN が大きい入力を受けると仮定)。さらに、その周期スパイクにランダムスパイク (振幅は周期スパイクの 20%) を混入した [図 5(a)]。その入力に対して (イレ

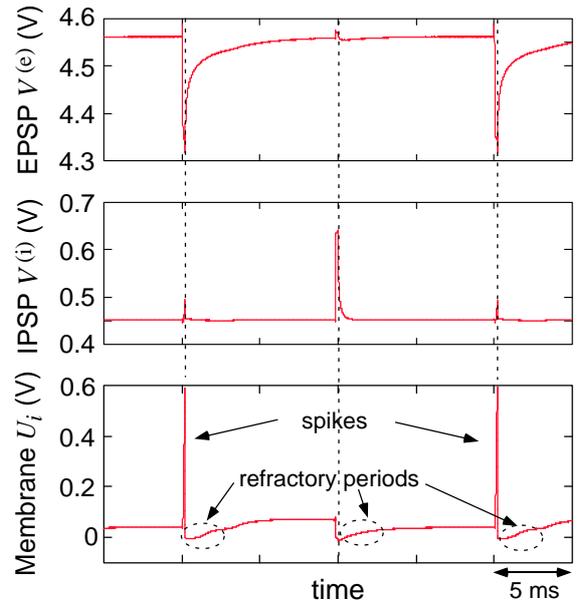


Fig. 4 Experimental results of the IFN circuit.

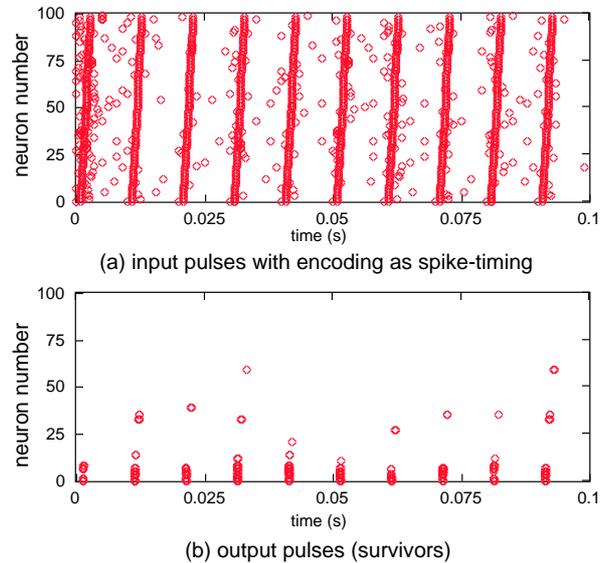


Fig. 5 Results of the simulation for a 100-IFN network.

ギュラーな入力スパイクの発生頻度と比較すると) 圧倒的に少ない IFN が誤ったスパイクを発生し、番号の小さい数個の IFN が正しいスパイクを発生することを確認した [図 5(b)]。この競合結果は最初のスパイク出力列だけから十分に判別できることから、設計したネットワーク回路は (平均発火率に基づくネットワーク回路と比べて) 選択効率の面で優れている。なぜなら、競合結果を知るために平均発火率を計算する必要がないからである。これらの結果から、ノイズ環境下で効率良く競合を行う脳型競合プロセッサの実現見通しを得た。

## References

- [1] T. Asai, M. Ohtani, and H. Yonezu: IEEE Trans. on Neural Networks **10** (1999) 1222.
- [2] T. Fukai: Biol. Cybern. **75** (1996) 453.