
サブスレッショルドCMOS演算増幅器とその応用

Subthreshold CMOS operational amplifiers
and its applications

LSIとシステムのワークショップ2009

北海道大学大学院 情報科学研究科

Department of Electrical Engineering, Hokkaido University

飯田智貴 浅井哲也 雨宮好仁

iida@lalsie.ist.hokudai.ac.jp

<http://lalsie.ist.hokudai.ac.jp/>

目次

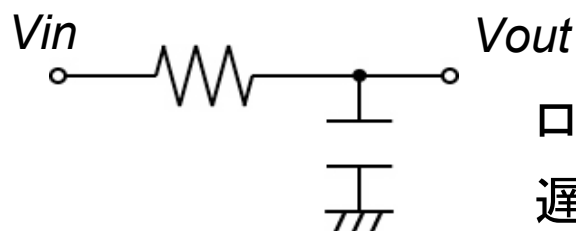
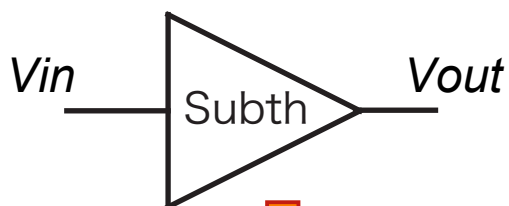
サブスレッショルド(Subth-) CMOS演算増幅器による 大容量キャパシタ等価デバイス

- 目的
- Subth-CMOS 演算増幅器
- Subth-CMOS 演算増幅器の応用
 - 多段増幅器の段間結合
 - 利得増幅器のオフセット補償
 - レベルシフト回路
 - 試作チップの測定
- まとめ

目的：大容量と等価の動作を小面積の回路で形成する

Subth-CMOS 回路 → 動作の時定数が大きい

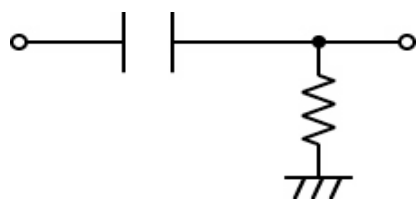
回路電流が微小



ローパスフィルタ
遅延回路



ハイパスフィルタ



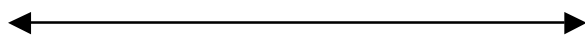
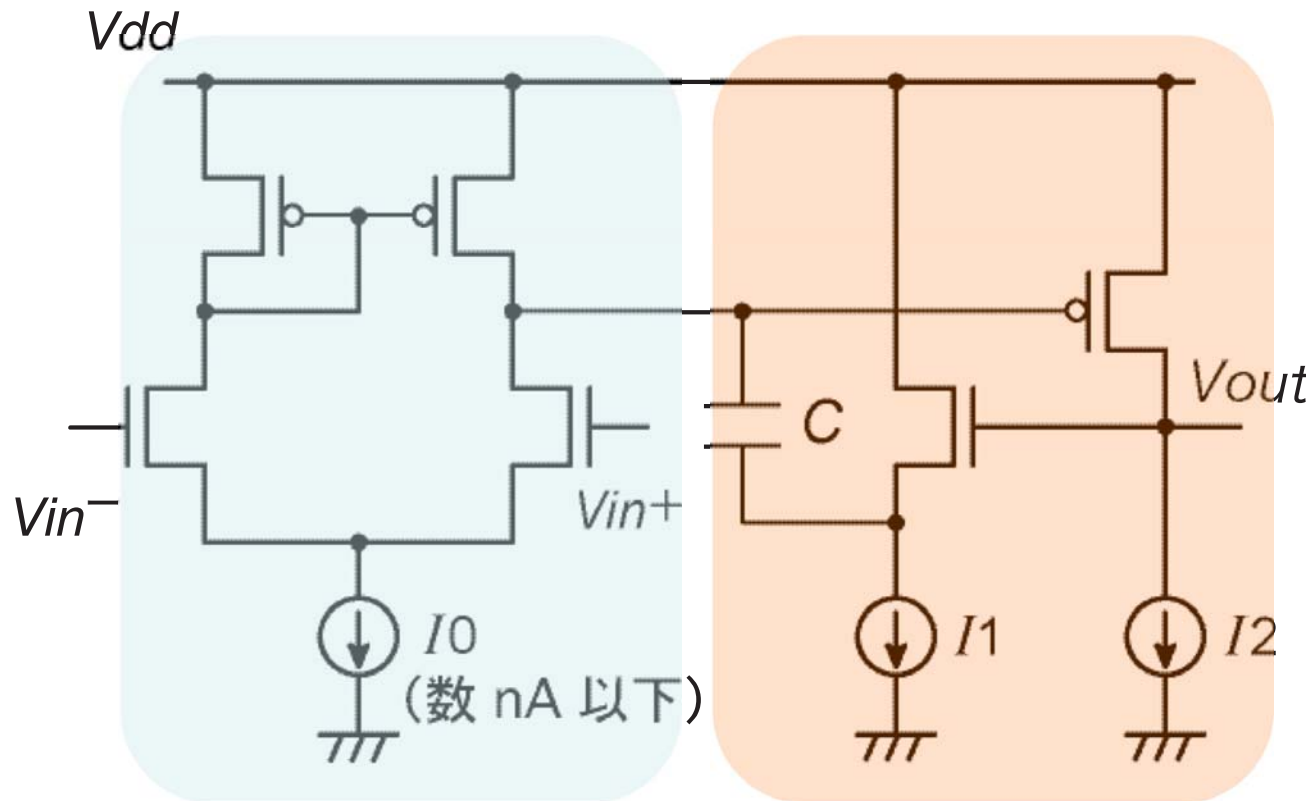
直流成分の遮断

- ・オフセット除去
- ・レベルシフト

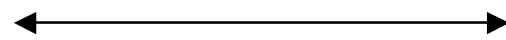
大容量キャパシタをチップ上に



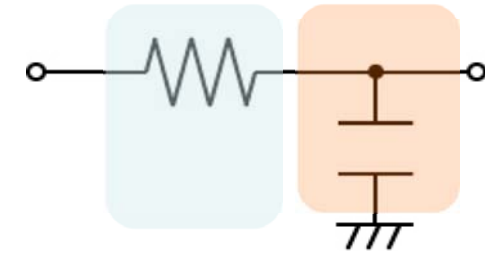
サブスレッショルド (Subth-) CMOS演算増幅器



差動入力段
サブスレッショルド動作



利得段
強反転動作



Sub-CMOS差動回路

テール電流が小

+

容量 C のミラー効果

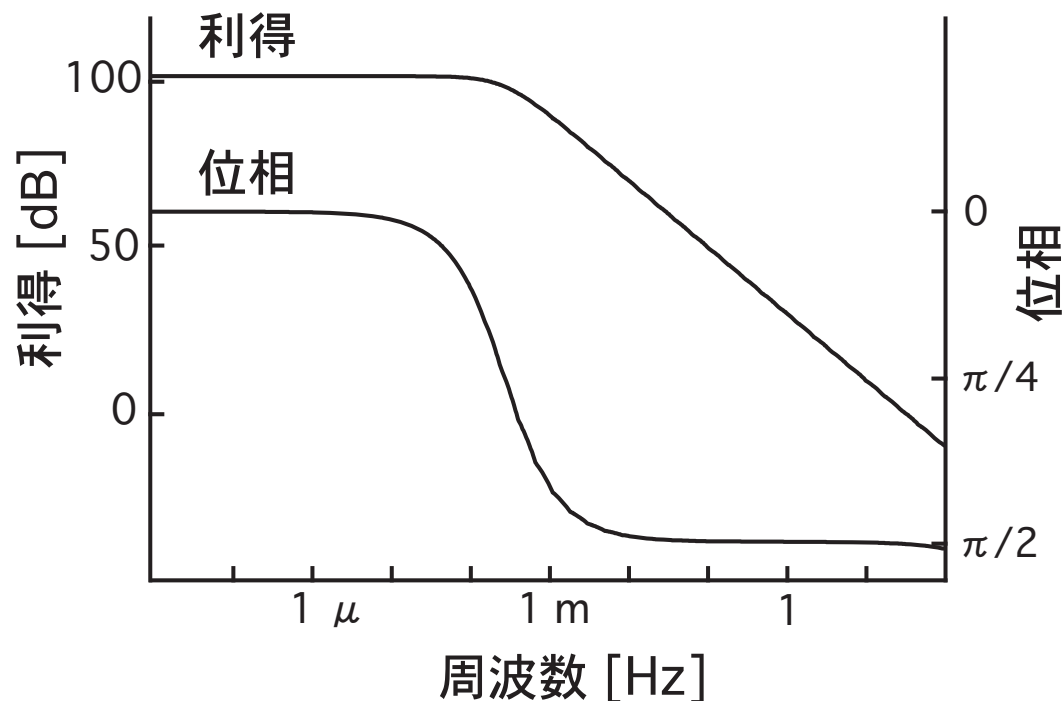


入出力間に
大きなCR時定数

Subth-CMOS演算増幅器の周波数特性

(0.35 μ m-2poly-4M : CMOS,

テイル電流 0.1 nA, 位相補償容量10 pF でのシミュレーション)



利得 : 100 dB

-3dB遮断周波数 : 270 μ Hz

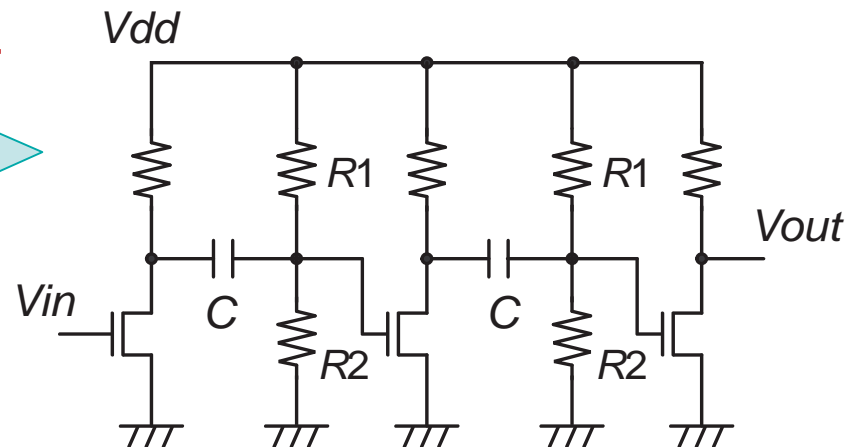
ユニティゲイン周波数 : 32 Hz

スルーレート : 12 μ V/ μ s

Subth-CMOS演算増幅器 ⇒ 非常に大きな時定数をもつ

(応用1) Subth-CMOS 演算増幅器による段間結合

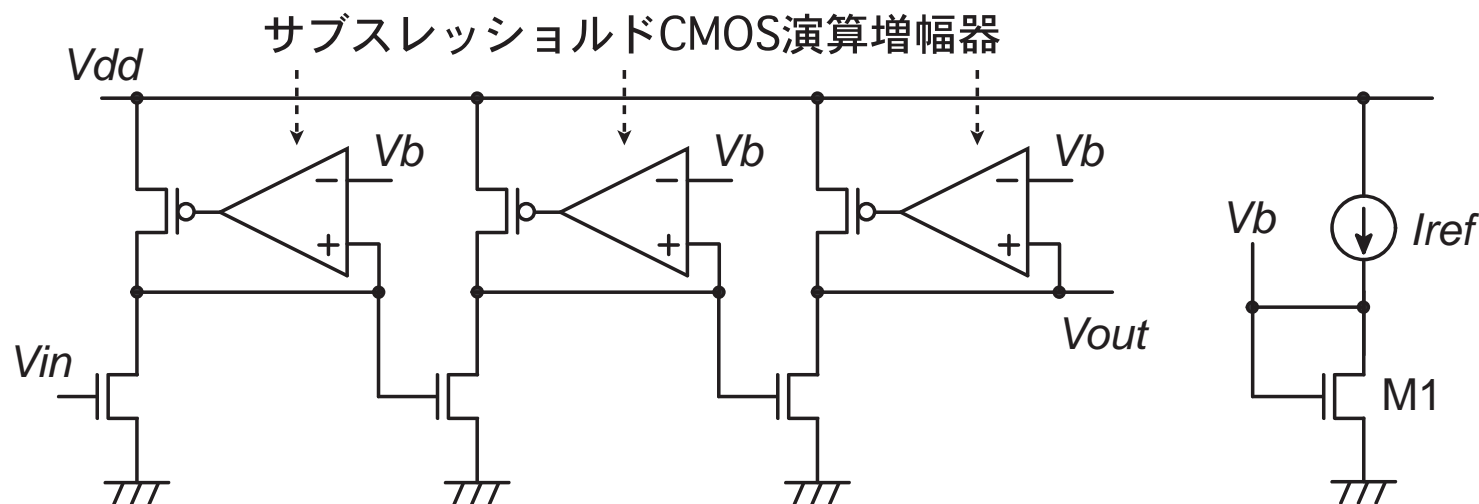
結合キャパシタによる直結



Subth-OP による直結



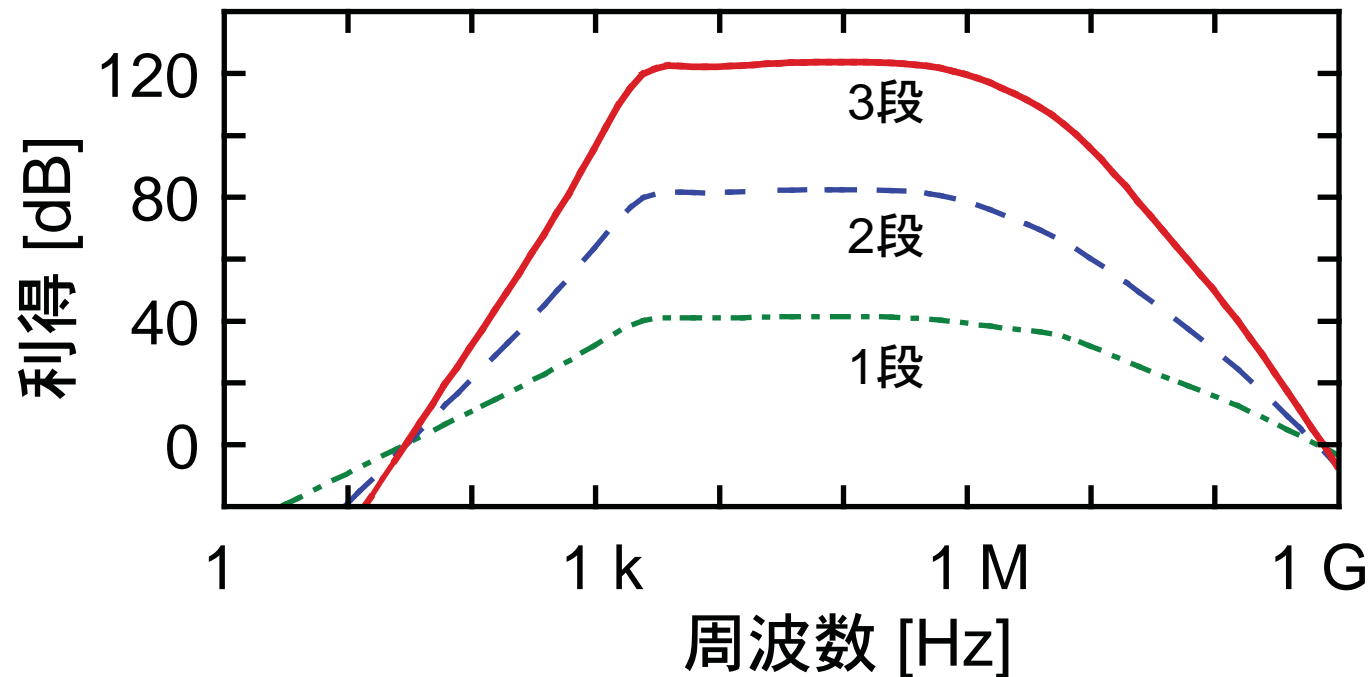
低周波 : OP動作 → 各段出力はVb に固定
 高周波 : OP動作せず → 各段とも正常動作



多段増幅器の周波数特性

・利得の周波数特性

(Subth-CMOS 演算増幅器による段間結合)

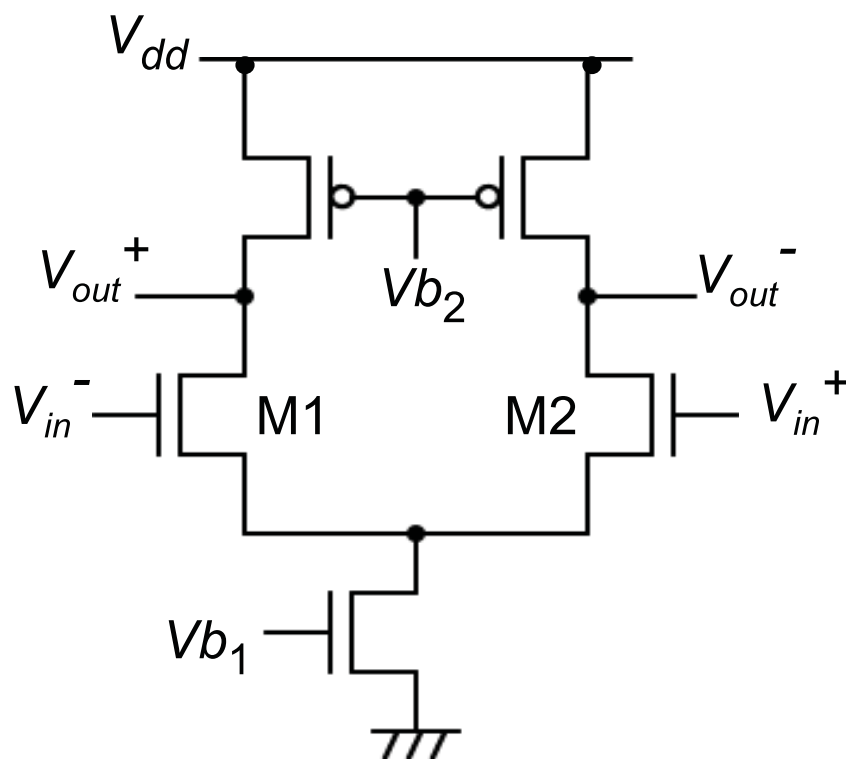


(0.35 μm -2Poly-4M CMOS, $I_{ref}=100 \mu\text{A}$ でのシミュレーション)

(応用2) 高利得増幅器のオフセット除去

高利得の差動増幅器

オープン利得をそのまま使う場合



- ・ 入力信号 直流レベルのずれ
- ・ 入力MOSFET対(M1,M2)のしきい値ばらつき



差動回路が高利得なので
オフセットが増幅される



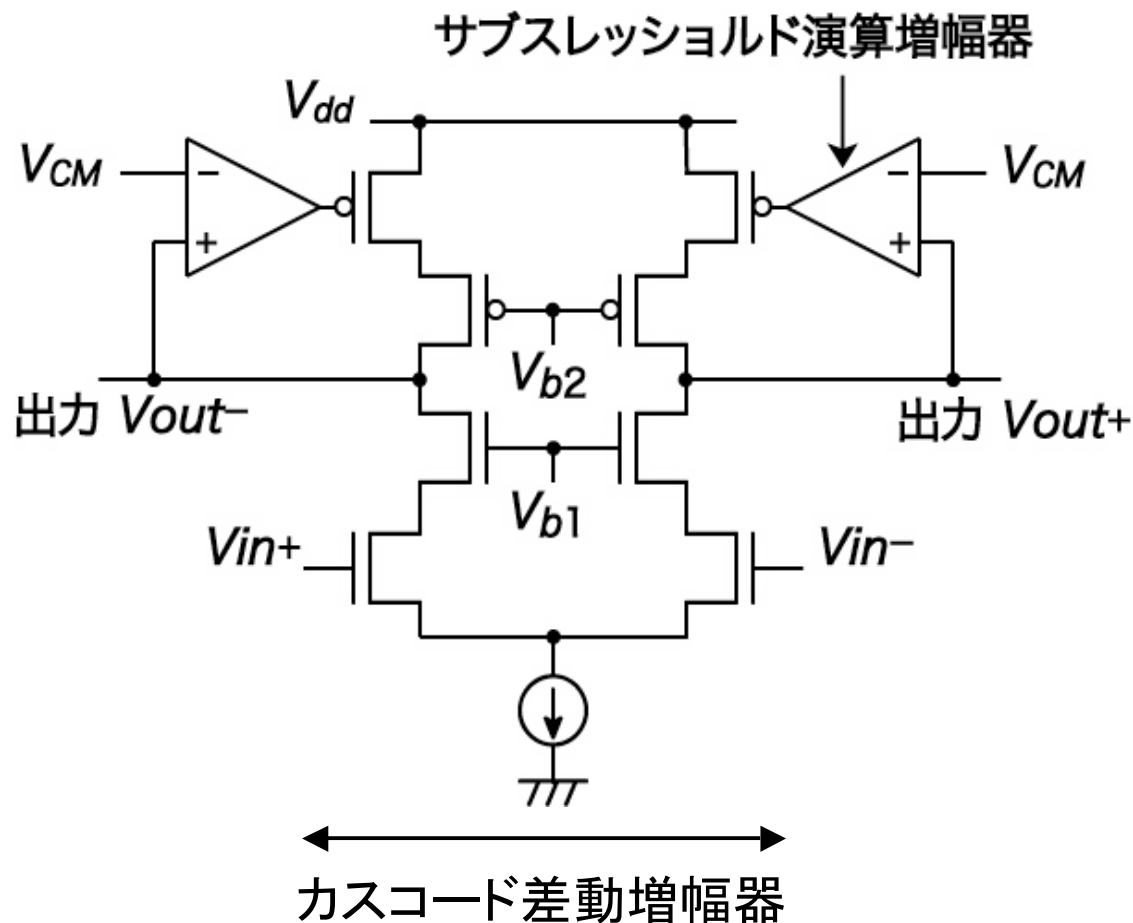
出力が飽和（正常動作しない）

入力オフセット除去が必要

CMFBではオフセット除去できない

Subth-CMOS演算増幅器によるオフセット除去

回路の構成と動作

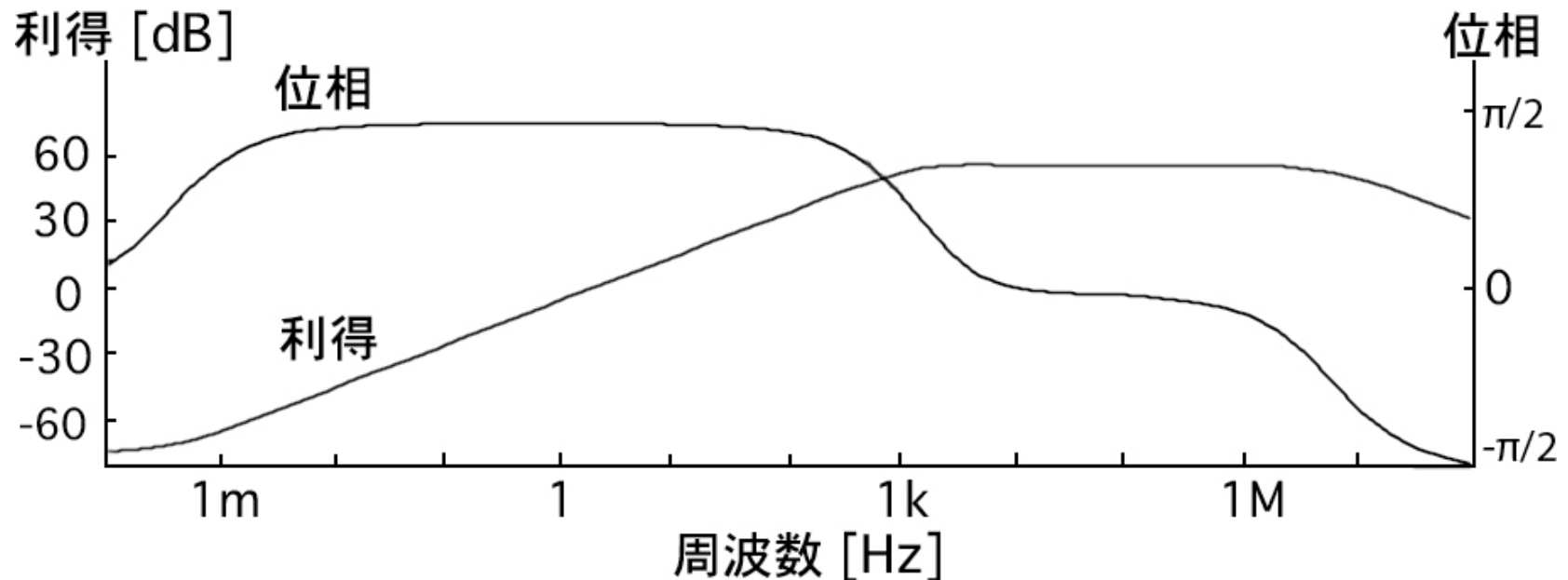


入力信号 V_{in} に対する応答

- 直流～低周波のとき
 V_{out} : 直流～低周波
Subth-OP: 動作
⇒ $V_{out} = V_{CM}$ 固定
- 高周波のとき
 V_{out} : 高周波
Subth-OP: 動作せず
⇒ 通常の差動増幅器

オフセット除去カスコード増幅器の周波数特性

- 周波数特性



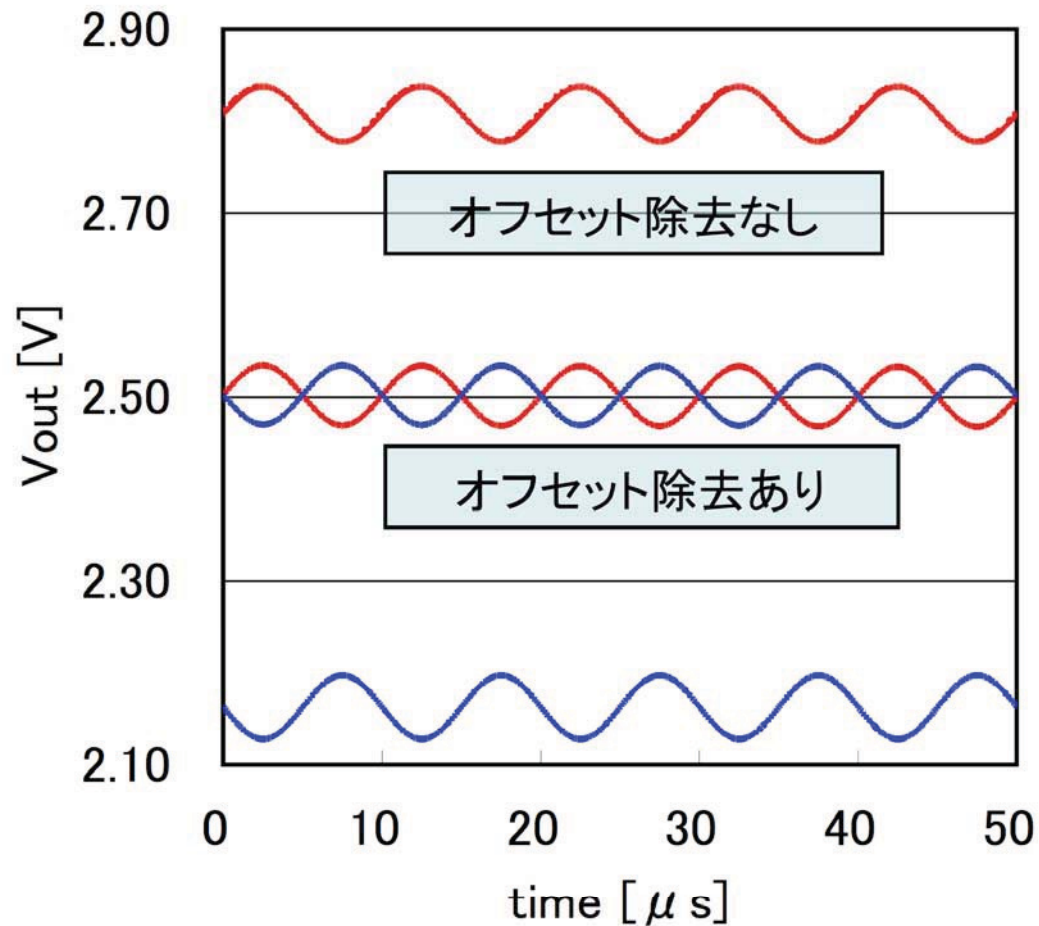
(0.35 μ m-2poly-4M CMOS, カスコード増幅器テイル電流200 μ A でのシミュレーション)

- 中域周波数の利得 : 56 dB
- 低域3dB遮断周波数 : 1 kHz

低周波側 利得減少

オフセット除去の特性(その1)

入力にオフセットがあるときの出力 V_{out}



入力オフセット 1 mV

入力 : 200 μ V (P-P), 100 kHz

基準電位 $V_{CM} = 2.5$ V

電源電圧 5 V

— V_{out}^+

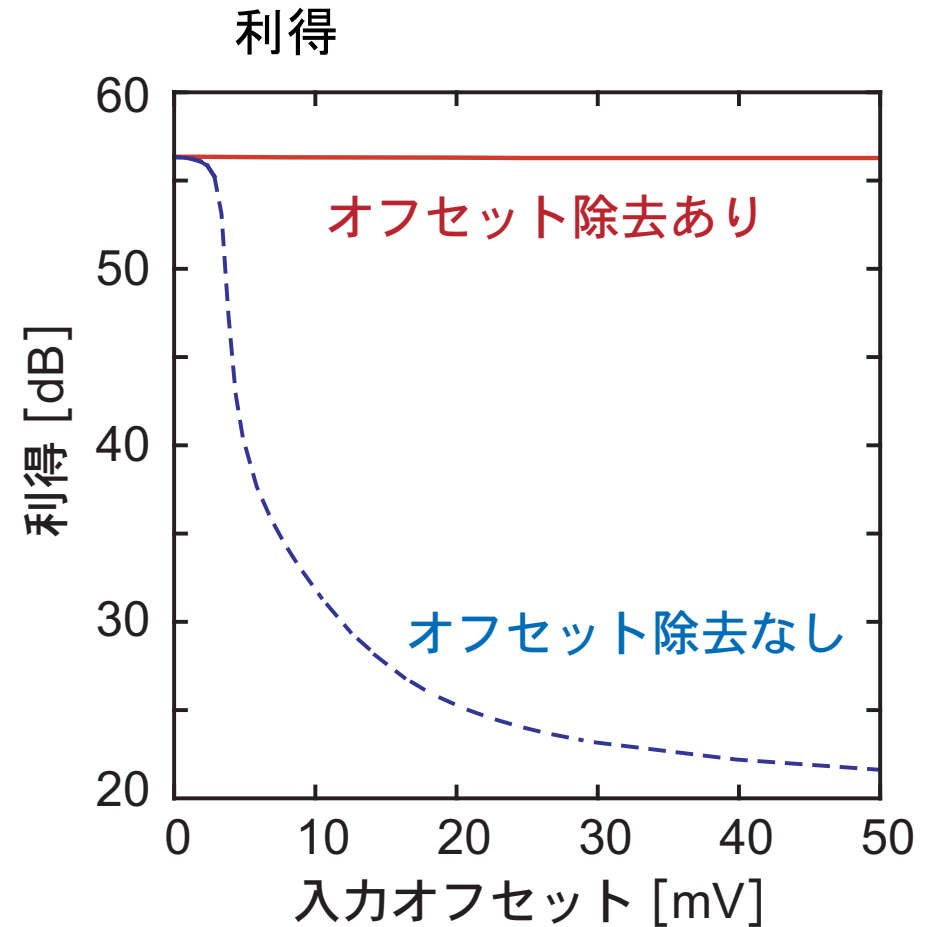
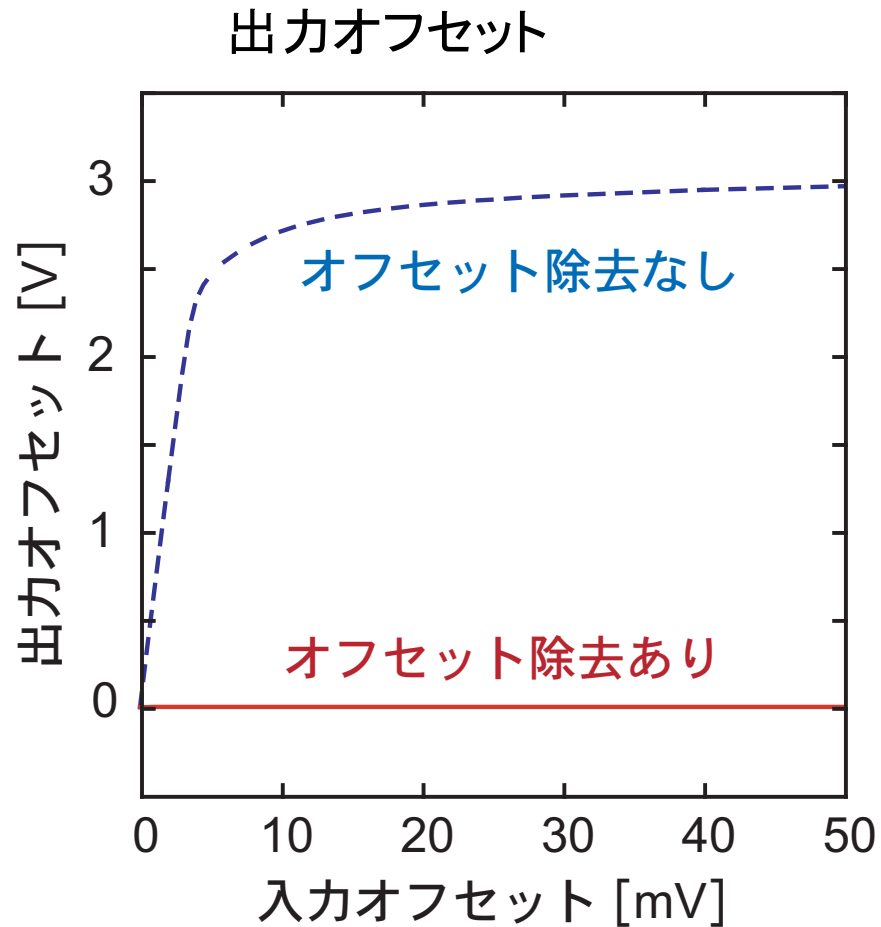
— V_{out}^-

入力オフセット,ドリフト除去

入力MOS対

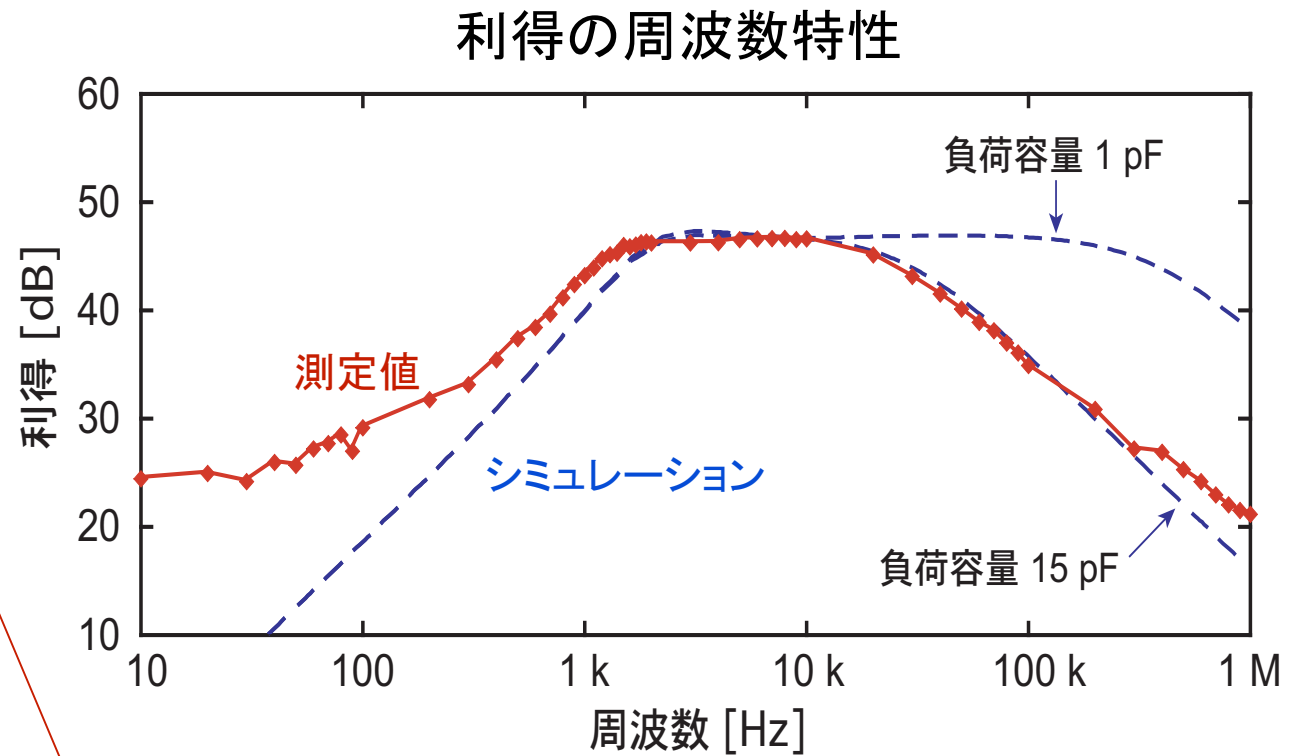
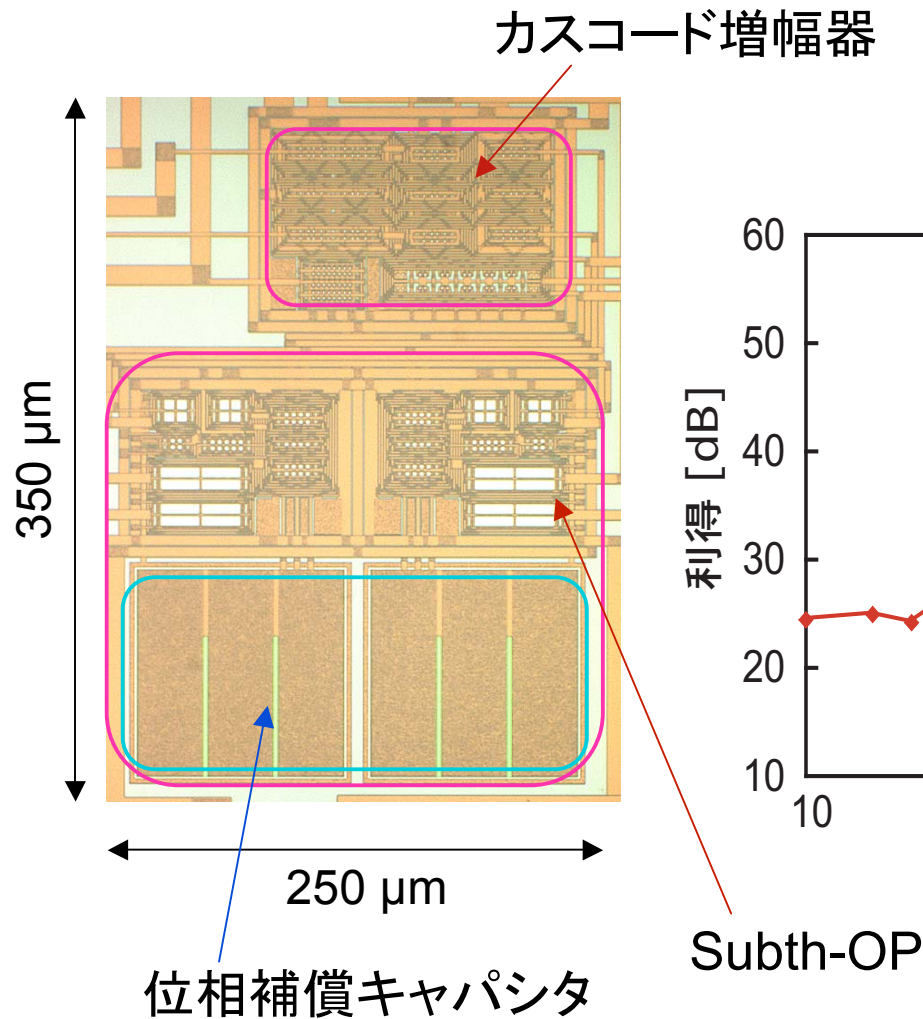
しきい値ばらつき補償

オフセット除去の特性(その2)

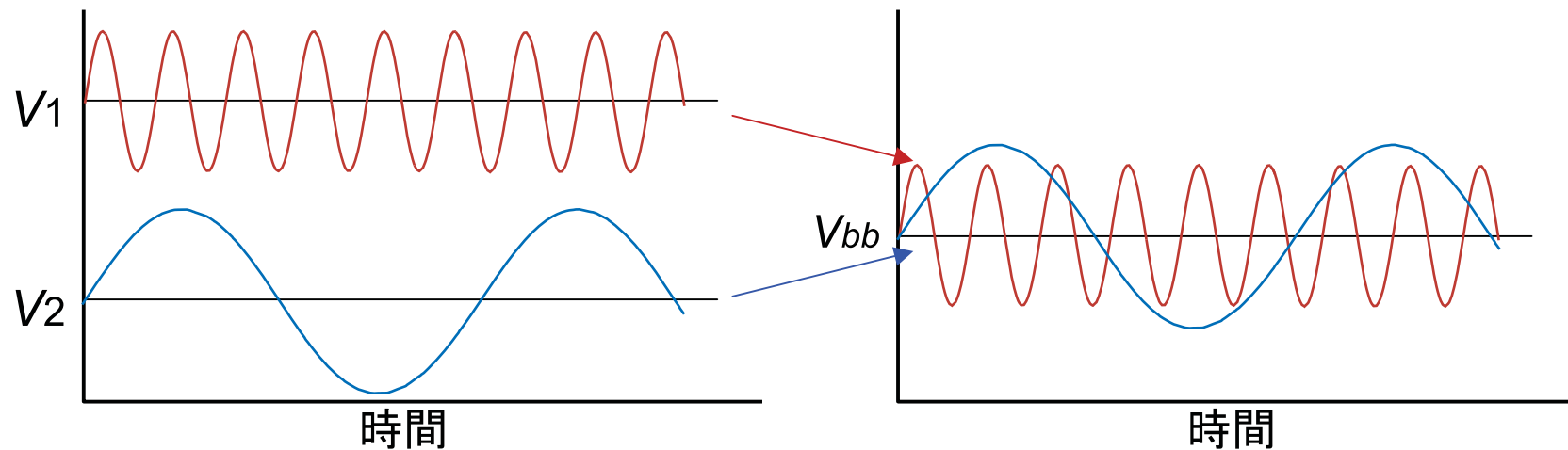
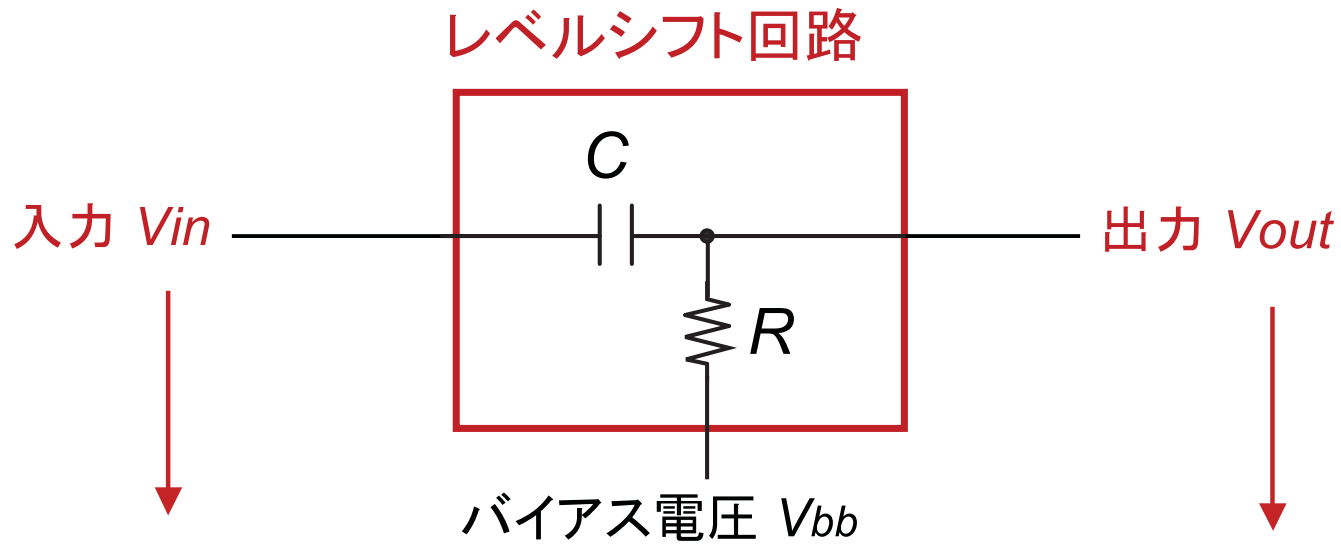


電源電圧 5 V , 入力 $f = 100$ kHz

高利得増幅器のオフセット補償：試作チップ

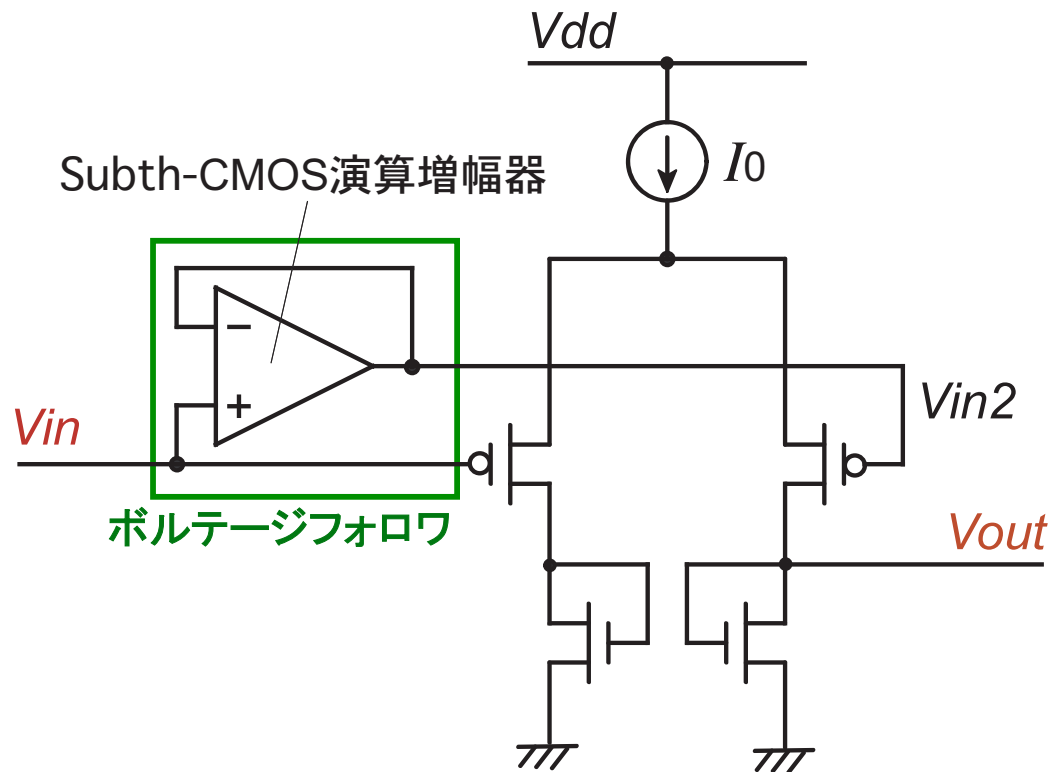


(応用3) レベルシフト回路



レベルシフト回路

- 回路の構成と動作



入力信号 V_{in} に対する応答

V_{in} : 直流～低周波

・ボルテージフォロワ: V_{in} に追従

⇒ $V_{in2} = V_{in}$

⇒ V_{out} 出力されない

V_{in} : 高周波

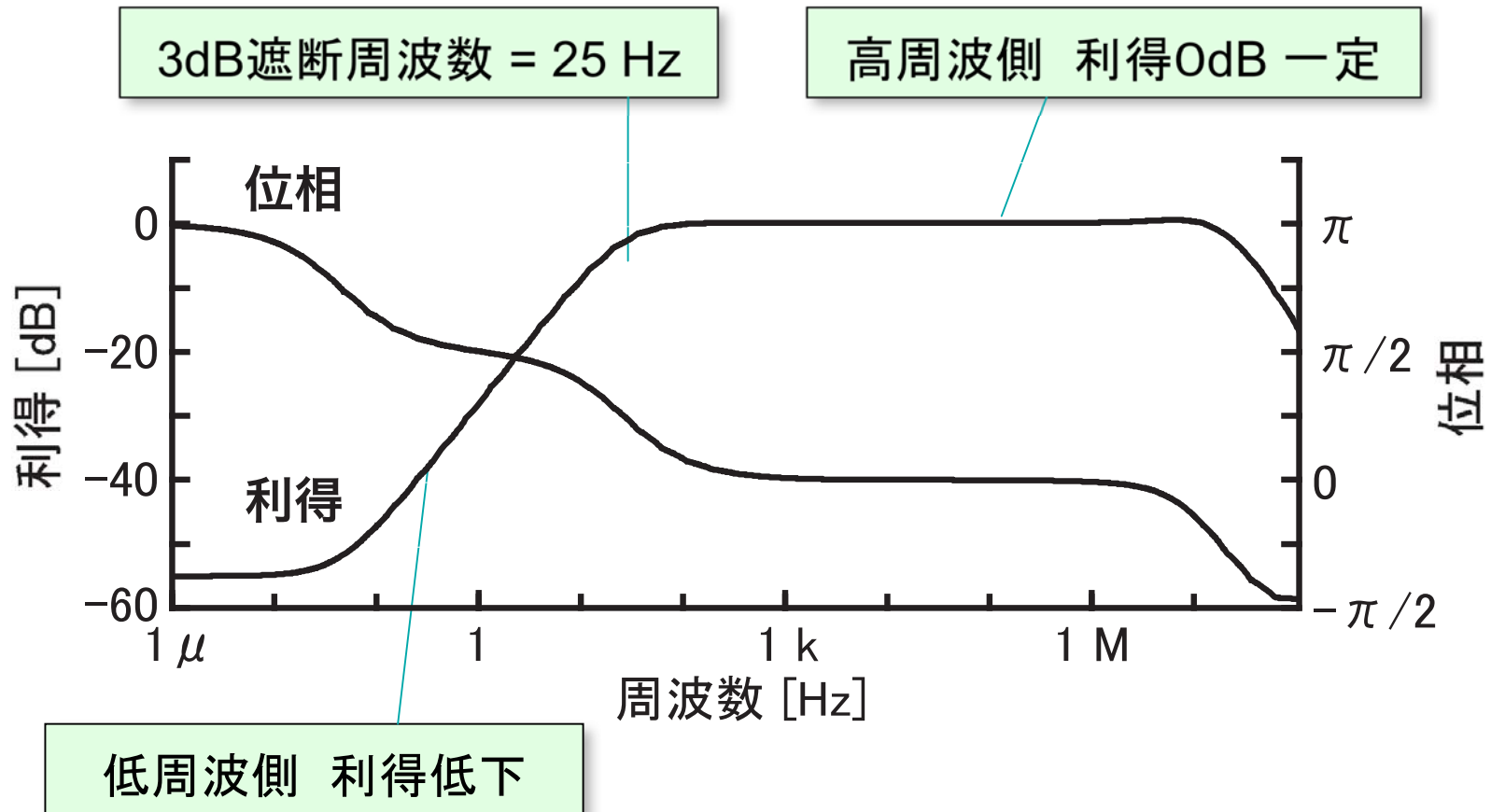
・ボルテージフォロワ: 追従せず

⇒ V_{in2} は一定 ($\neq V_{in}$)

⇒ V_{out} 入力の交流分がそのまま出力

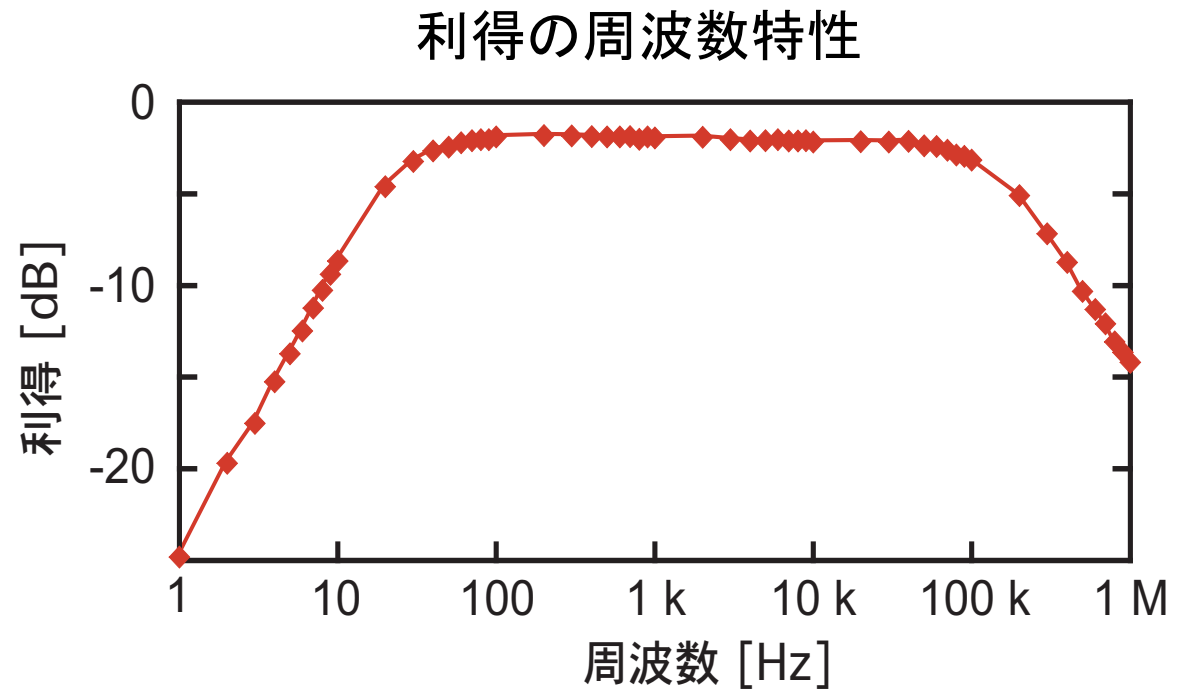
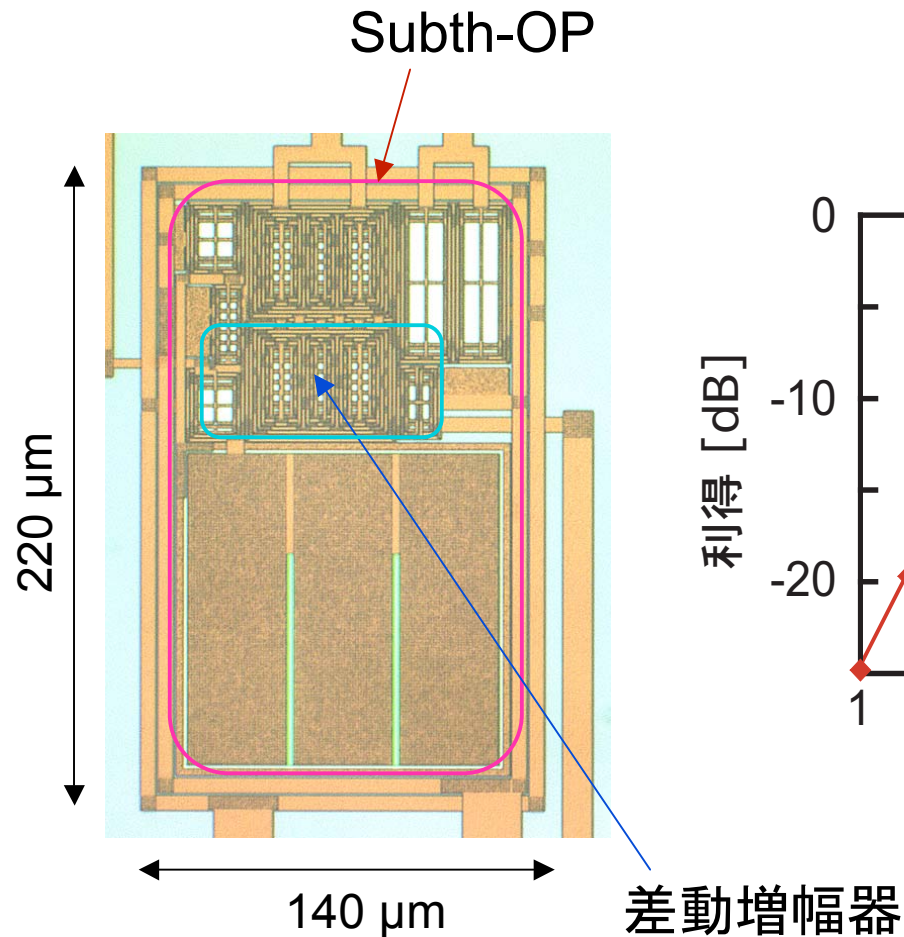
レベルシフト回路の周波数特性

・周波数特性



(0.35 μ m-2poly-4M CMOS, 差動増幅器テイル電流10 μ A でのシミュレーション)

レベルシフト回路：試作チップ



まとめ

Subth-CMOS 演算増幅器による 大容量キャパシタ等価デバイスの提案

Subth-CMOS 演算増幅器

⇒ 非常に大きい時定数をもつ



- ・多段増幅器の段間結合
- ・高利得増幅器のオフセット補償
- ・レベルシフト回路

→ 試作チップにより確認