

低電圧CMOSデジタル集積回路のためのPVTバラツキ補償技術

-Process, supply voltage, and temperature compensation circuit for low-voltage CMOS digital circuits-

次田 祐輔¹, 上野 憲一¹, 廣瀬 哲也², 浅井 哲也¹, 雨宮 好仁¹

¹北海道大学大学院 情報科学研究科 情報エレクトロニクス専攻

²神戸大学 工学研究科 電気電子工学専攻

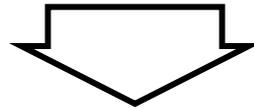
<http://lalsie.ist.hokudai.ac.jp/> tsugita@lalsie.ist.hokudai.ac.jp

背景

“ポータブルアプリケーション”

1. V_{DD} の低減

2. 高 V_{th} トランジスタ



デジタル回路の動作速度バラツキの増大

プロセス・温度

V_{th} バラツキ



- ・ 歩留まりの低下
- ・ 設計が最適化できない

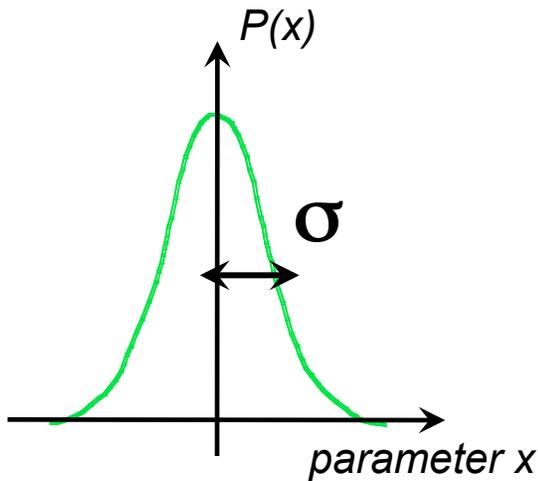


背景バラツキ

“プロセス誤差”

1. WIDバラツキ (within-die)

→ 相対精度が変化

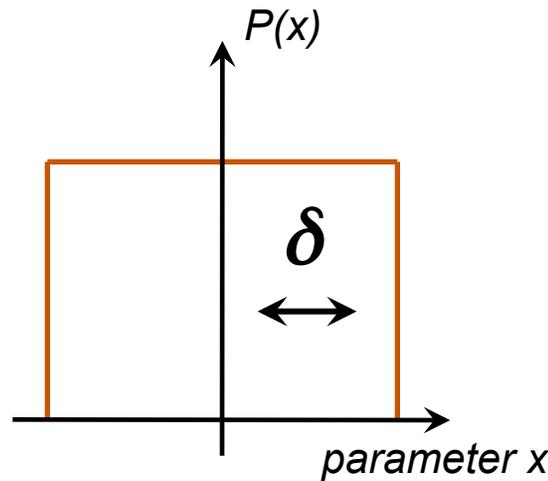


均一分布を想定

$\delta V_{th}, \delta \mu, \delta C_{ox}, \delta L, \delta W, \dots$

2. D2Dバラツキ (die-to-die)

→ 絶対値が変化



ガウス分布を想定

$\sigma_{Vth}, \sigma_{\mu}, \sigma_{Cox}, \sigma_L, \sigma_W, \dots$

“温度変化”

3. 温度バラツキ

→ V_{th} と μ が変化

$$V_{th} \sim V_{th0} - \kappa(T_0 + \delta T)$$

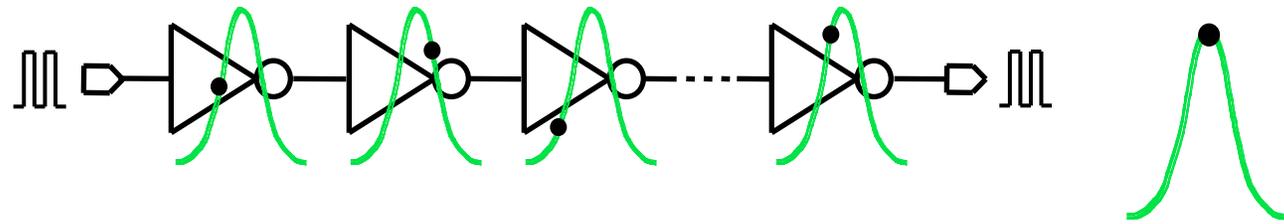
$$\mu \sim \mu_0 \left(\frac{T_0 + \delta T}{T_0} \right)^{-m}$$

V_{th0} → 絶対零度(0K)での V_{th}

μ_0 → 室温(300K)での μ

m → 1.5

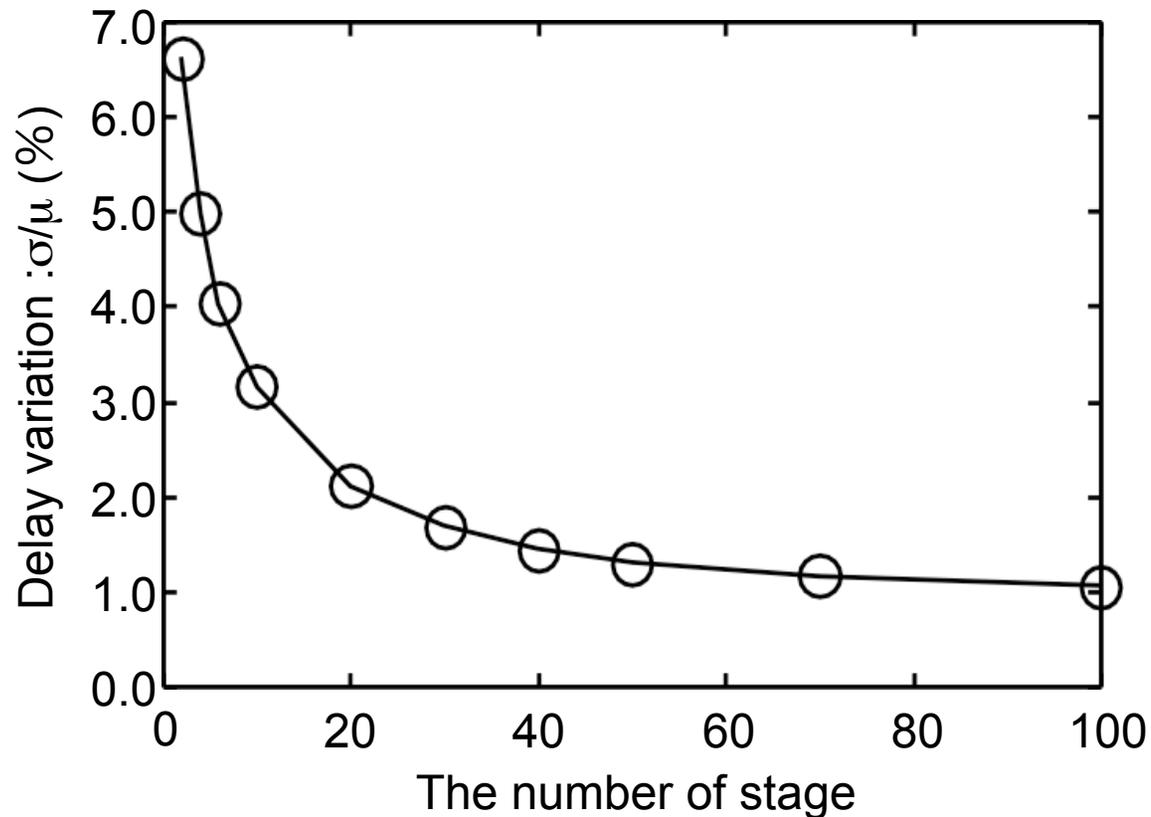
背景-1.WIDバラツキ



“ランダム成分の平均化”

【インバータチェーン遅延時間バラツキの段数依存性】

ランダムバラツキのみを考慮したモンテカルロシミュレーション(100回)



背景—2.D2Dバラツキ

動作速度： $\tau = \frac{C_{load} V_{DD}}{I_{on}}$

動作速度バラツキ

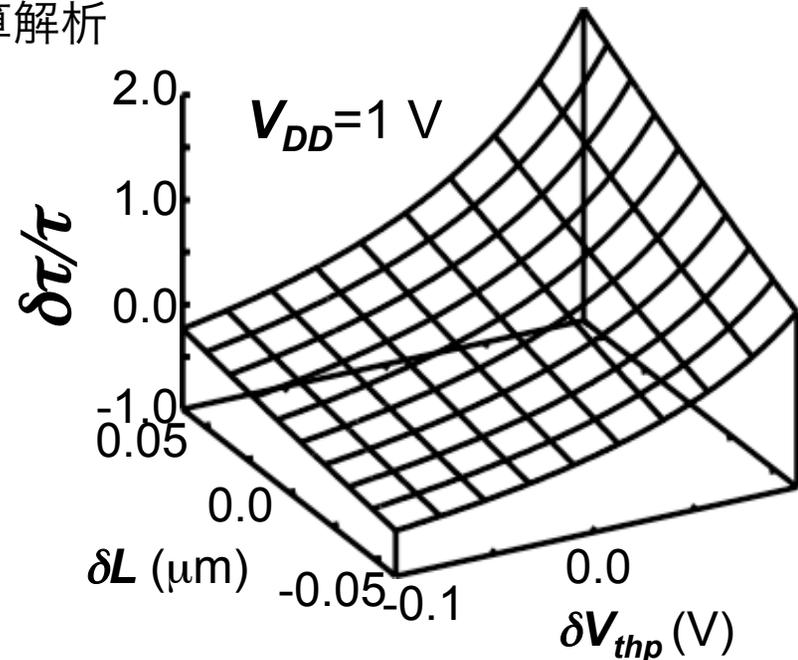
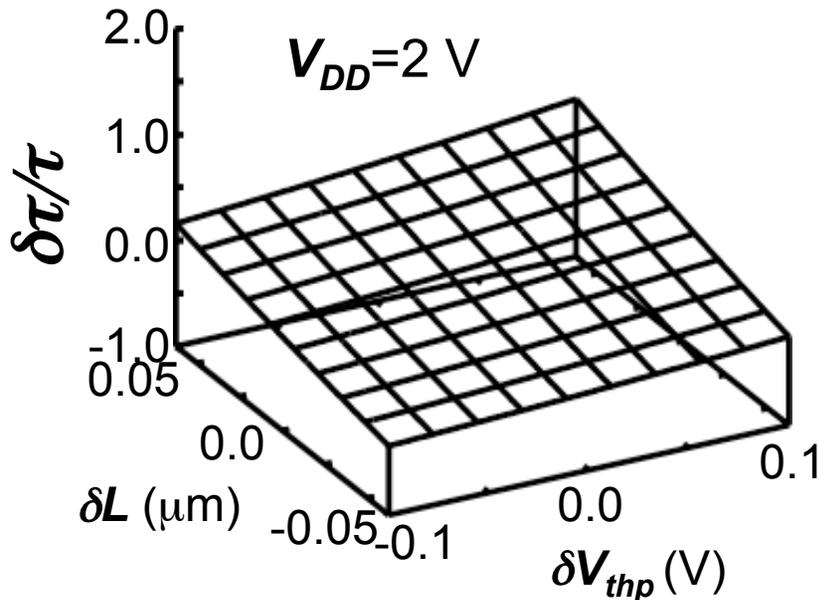
$I_{on} \sim \frac{W}{L} \mu C_{ox} (V_{DD} - V_{th})^\alpha$
 →トランジスタの飽和式
 $C_{load} \sim C_{ox} LW$
 →次段のゲート容量



$$\frac{\delta\tau}{\tau} \sim f\left(2 \frac{\delta L}{L}, \frac{\delta\mu}{\mu}, \frac{\alpha}{V_{DD} - V_{th}} \delta V_{th}\right)$$

【インバータチェーン遅延時間バラツキの電源電圧依存性】

数値計算解析



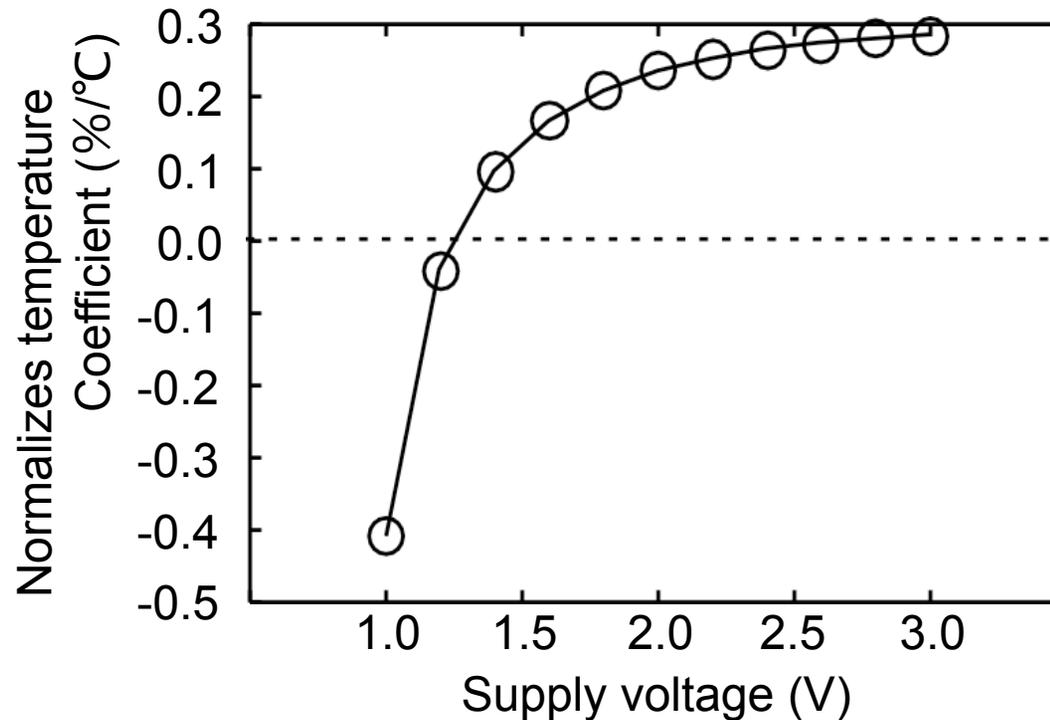
“低電圧では V_{th} バラツキにより動作速度バラツキが増大”

背景-3.温度バラツキ

動作速度バラツキ

動作速度 $\tau = \frac{C_{load} V_{DD}}{I_{on}}$ \rightarrow $\frac{\delta\tau}{\tau} \sim \left[\frac{m}{T_0} - \frac{\alpha K}{V_{DD} - V_{th0} + K T_0} \right] \delta T$

【インバータチェーン遅延時間バラツキ温度係数の電源電圧依存性】
SPICEシミュレーション



“低電圧では V_{th} バラツキにより動作速度バラツキが増大”

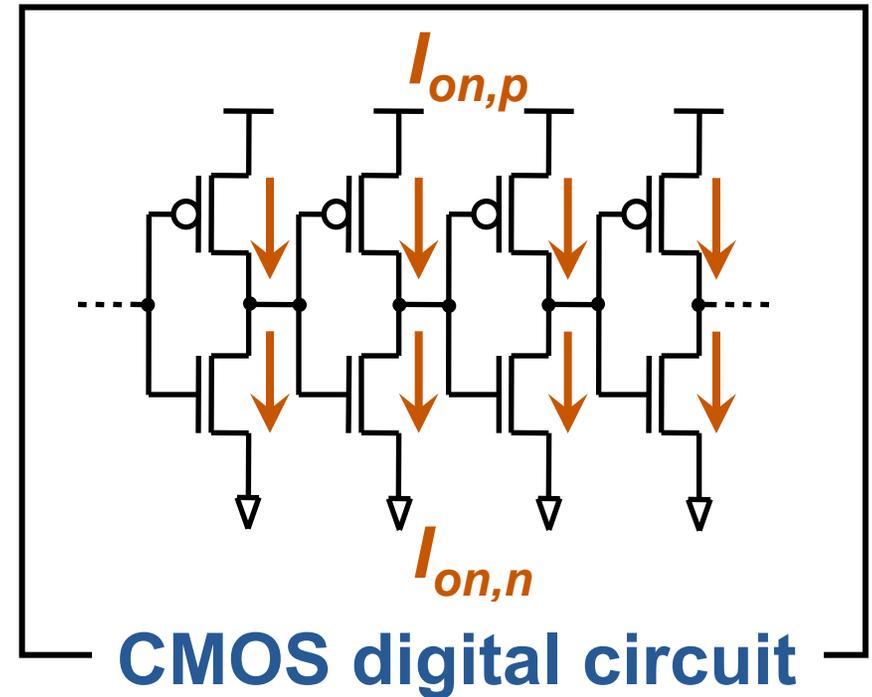
目的

オン電流 $I_{on} \sim K(V_{DD} - V_{th})^\alpha$

V_{th} がばらつくと....

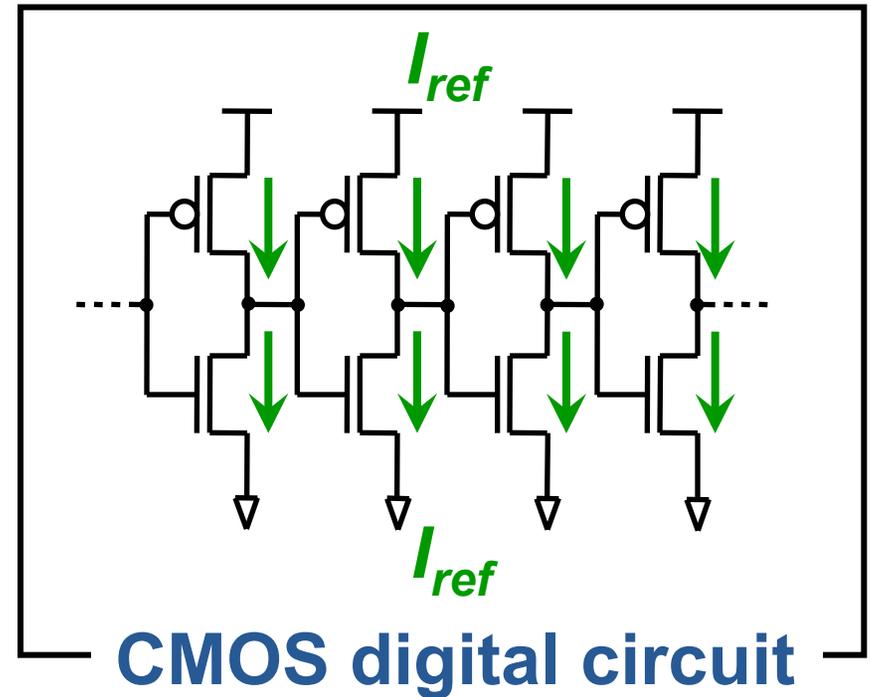
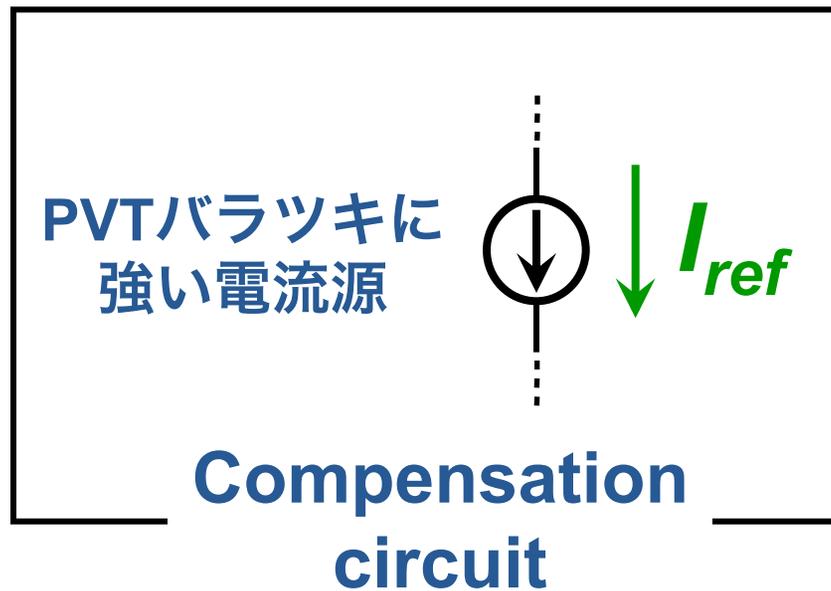
プロセスバラツキ $\rightarrow \pm 0.1 \text{ V}$
温度変化 $\rightarrow 0.1 \text{ V}$

$$\frac{\delta I_{on}}{I_{on}} \sim \frac{1}{V_{DD} - V_{th}} \delta V_{th}$$



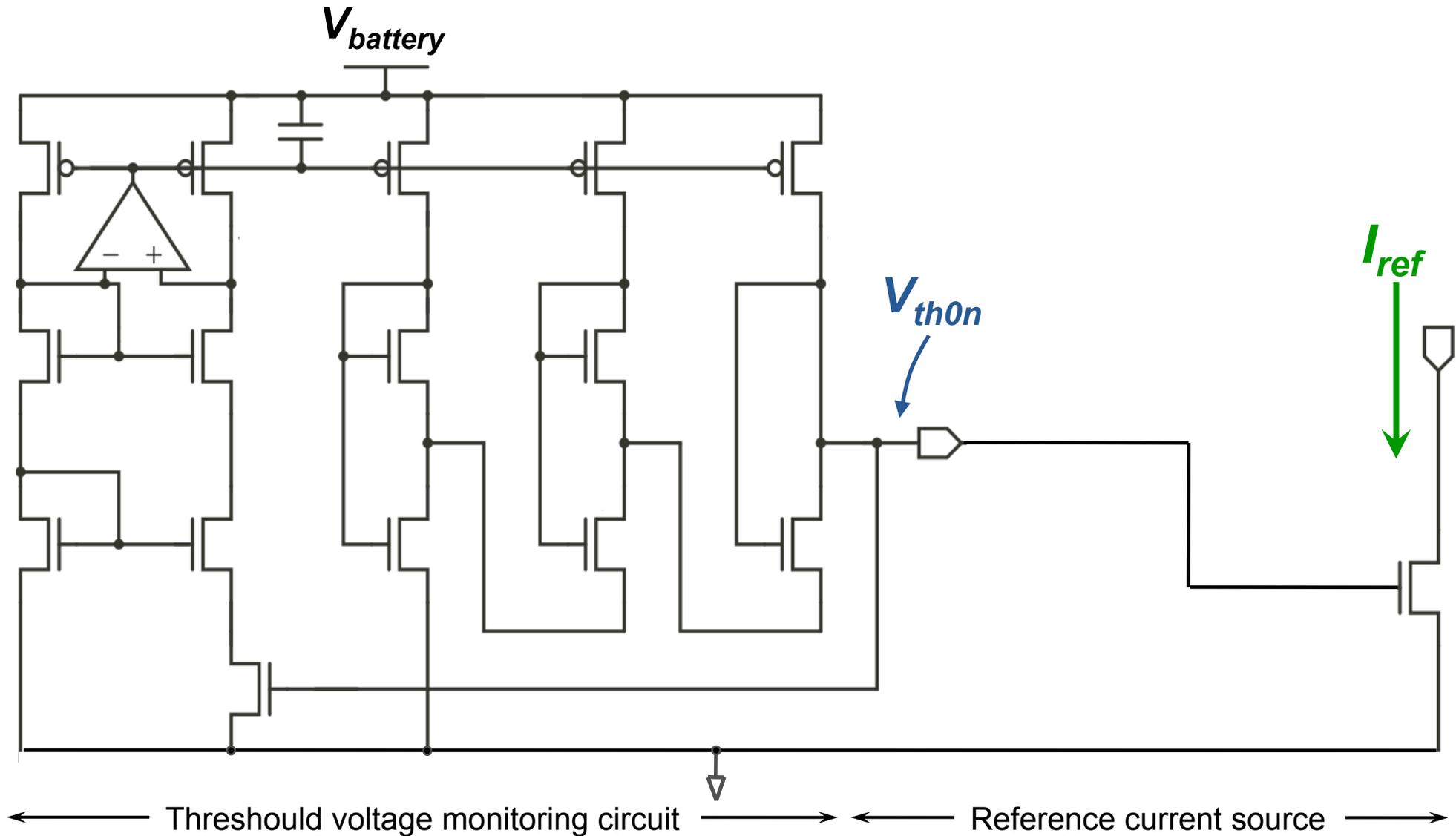
低電圧CMOSデジタル回路の動作速度バラツキ補正

バラツキ補正アーキテクチャ



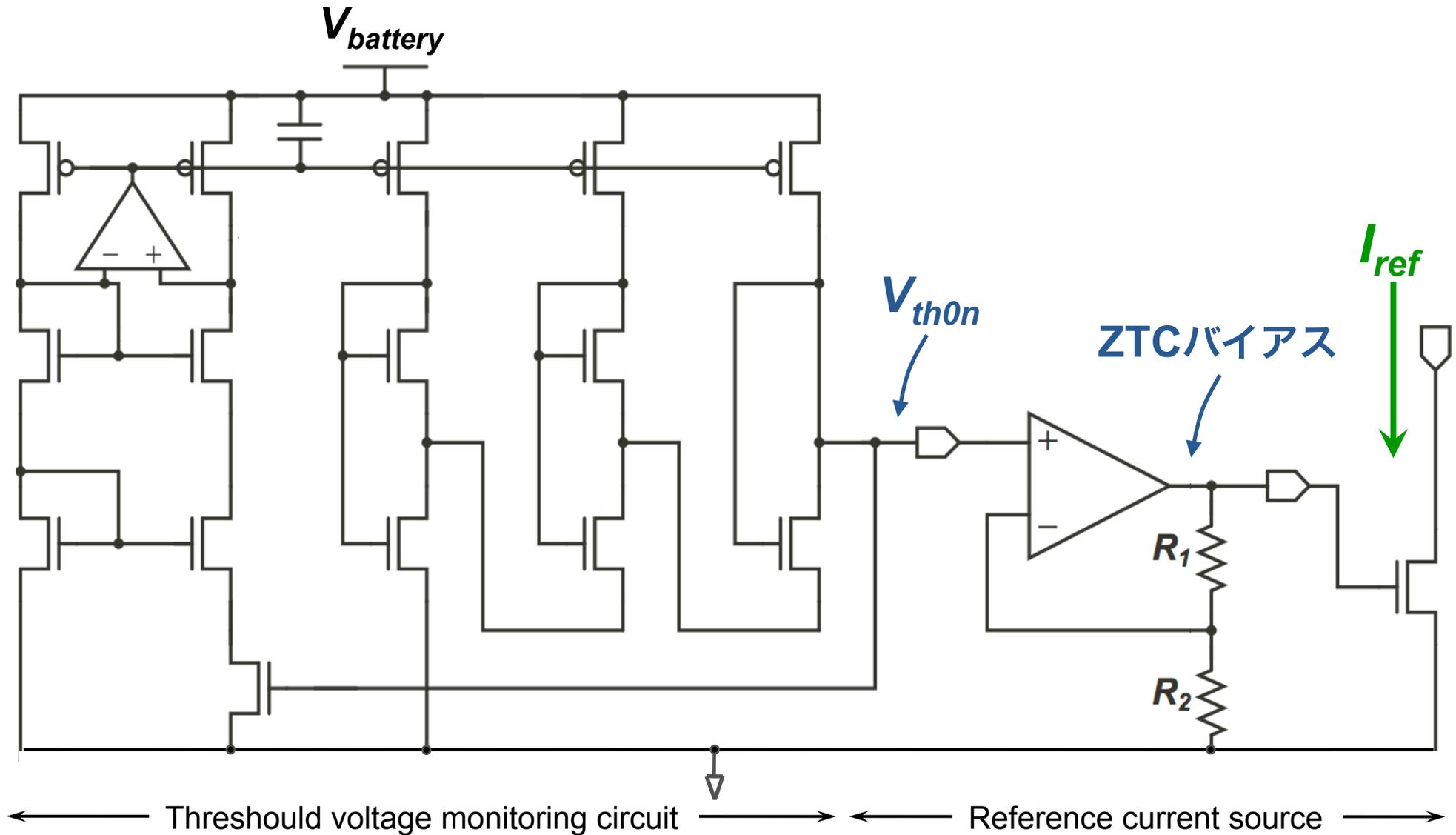
デジタル回路のオン電流バラツキの補正

電流源①



V_{th0n} : 絶対零度でのしきい値電圧 \Rightarrow プロセスの V_{th} バラツキをモニタ

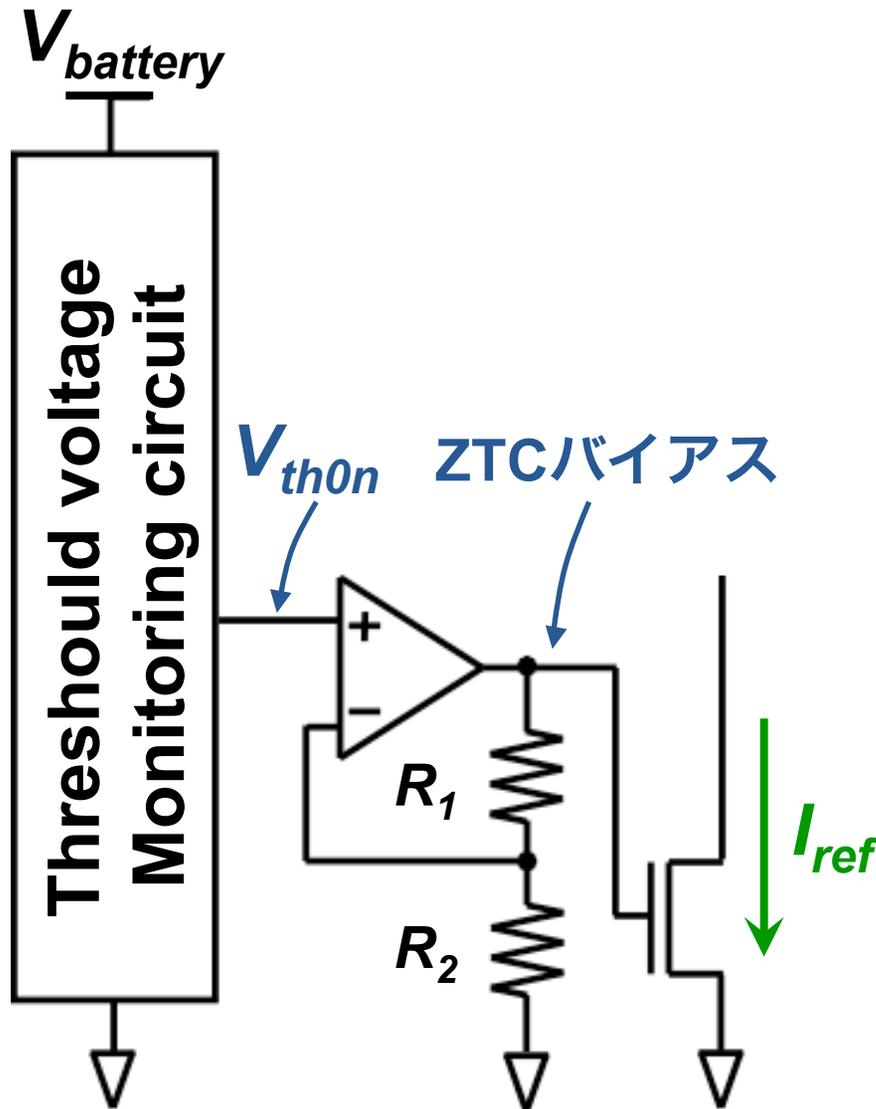
電流源②



$$R_1 = 9 \text{ k}\Omega, R_2 = 50 \text{ k}\Omega, \\ R_1/R_2 = 0.18$$

➡ ZTCバイアスの生成

電流源③



$$I_{ref} = K \left\{ V_{TH0} \left(1 + \frac{R_1}{R_2} \right) - V_{TH} \right\}^\alpha$$

• Temp. Coefficient

$$TC_I = \frac{1}{I_{DS}} \frac{\partial I_{DS}}{\partial T} = -\frac{m}{T} + \frac{\alpha K}{V_{TH0} \left(1 + \frac{R_1}{R_2} \right) - V_{TH}}$$

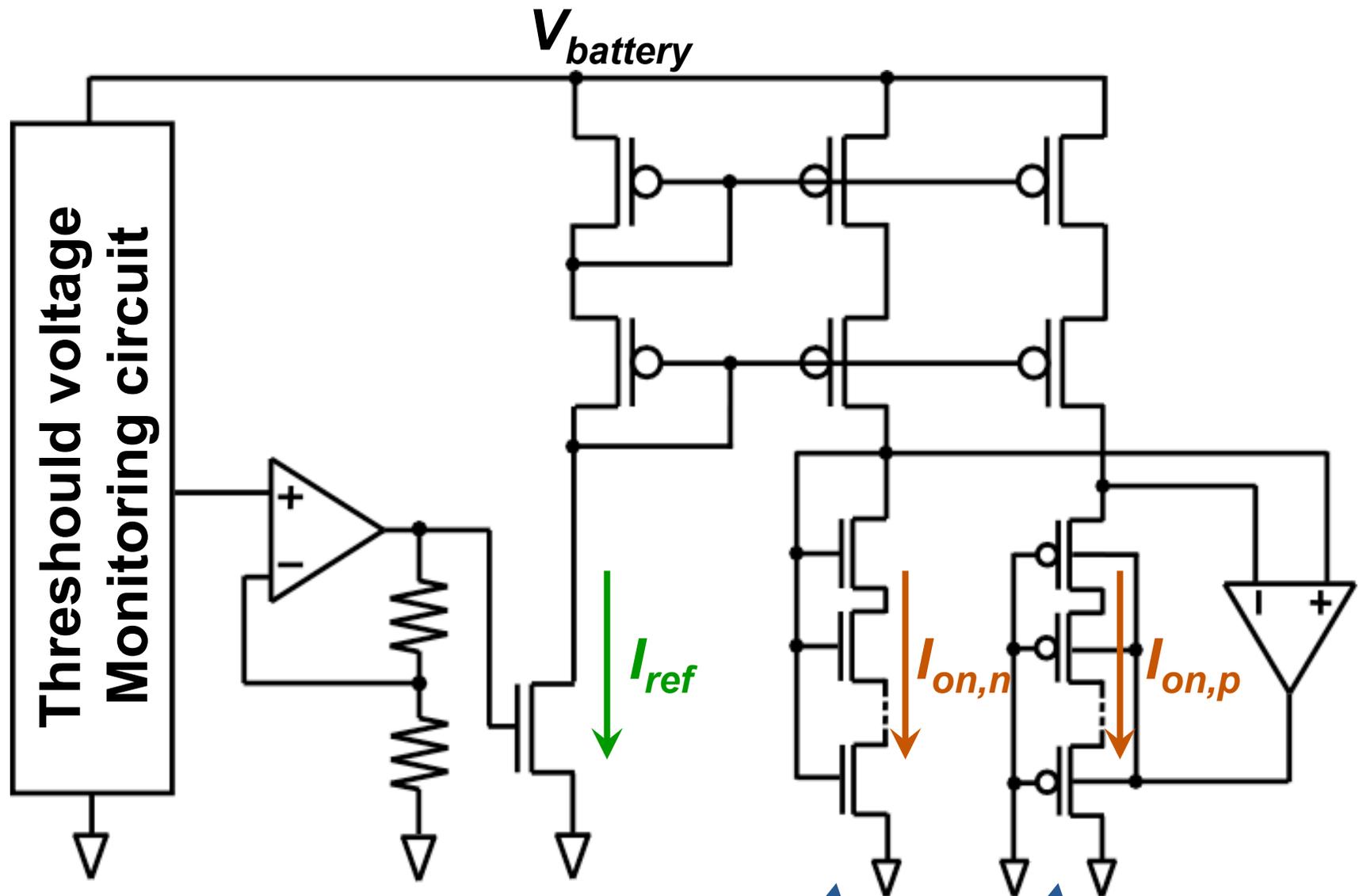
• R_1/R_2 for $TC=0$

$$\frac{R_1}{R_2} = \left(\frac{\alpha}{m} - 1 \right) \frac{kT}{V_{TH0}}$$

➡ PVTバラツキに強い電流源

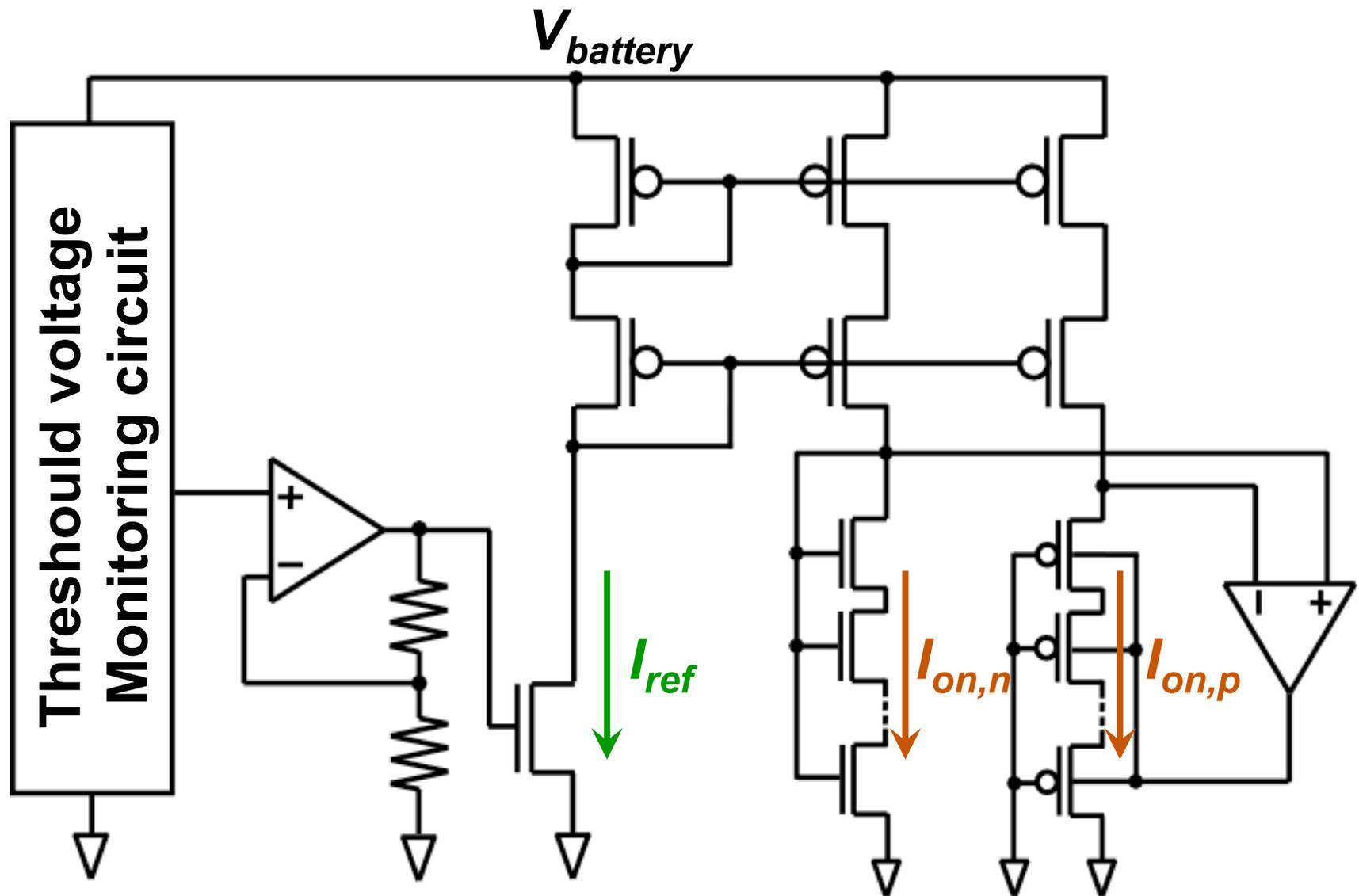
Process, Supply Voltage, Temperature

オン電流バラツキ補正回路①



デジタル回路トランジスタのバラツキをモニタ

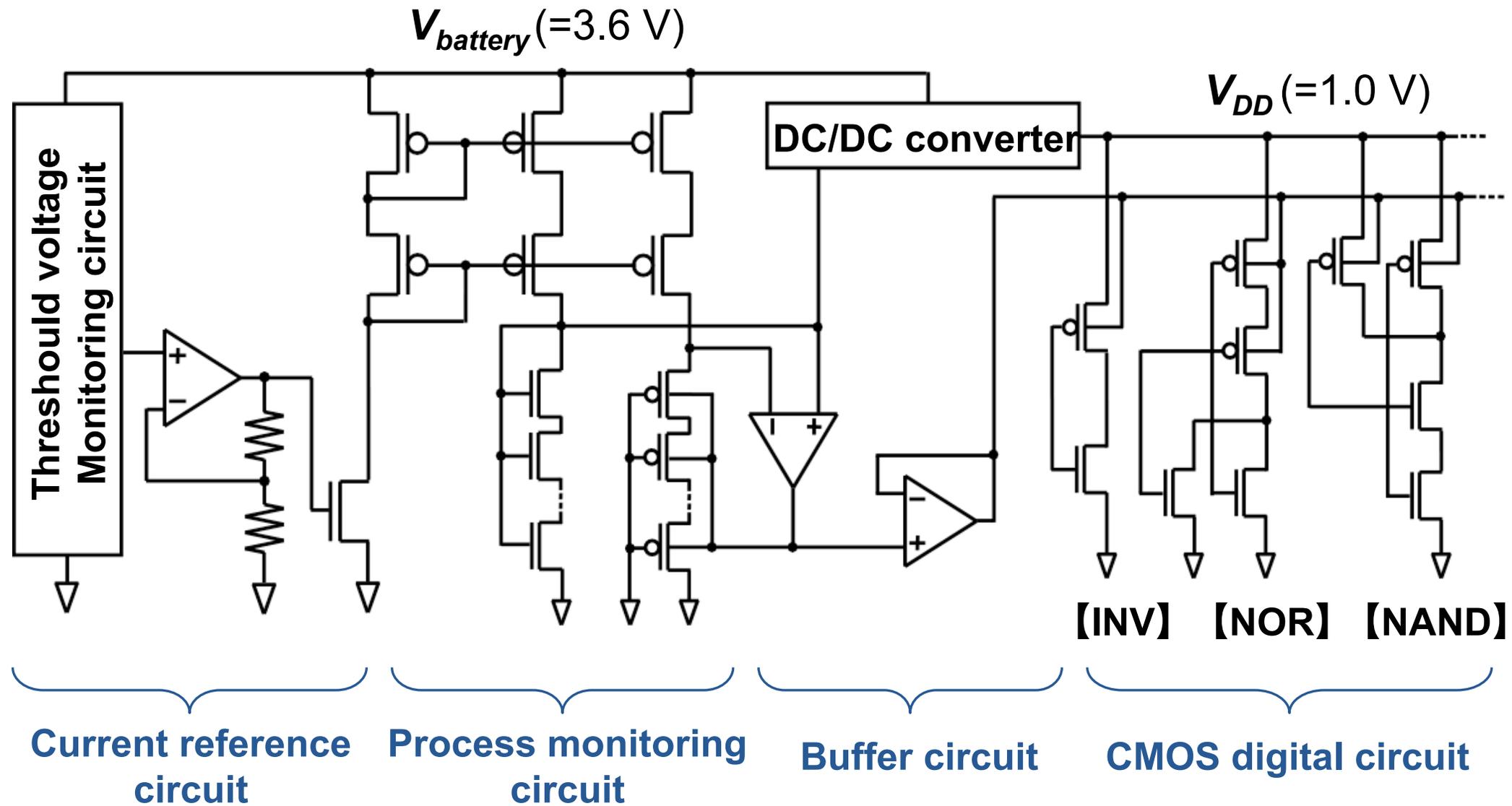
オン電流バラツキ補正回路②



nMOSFET → “電源電圧”

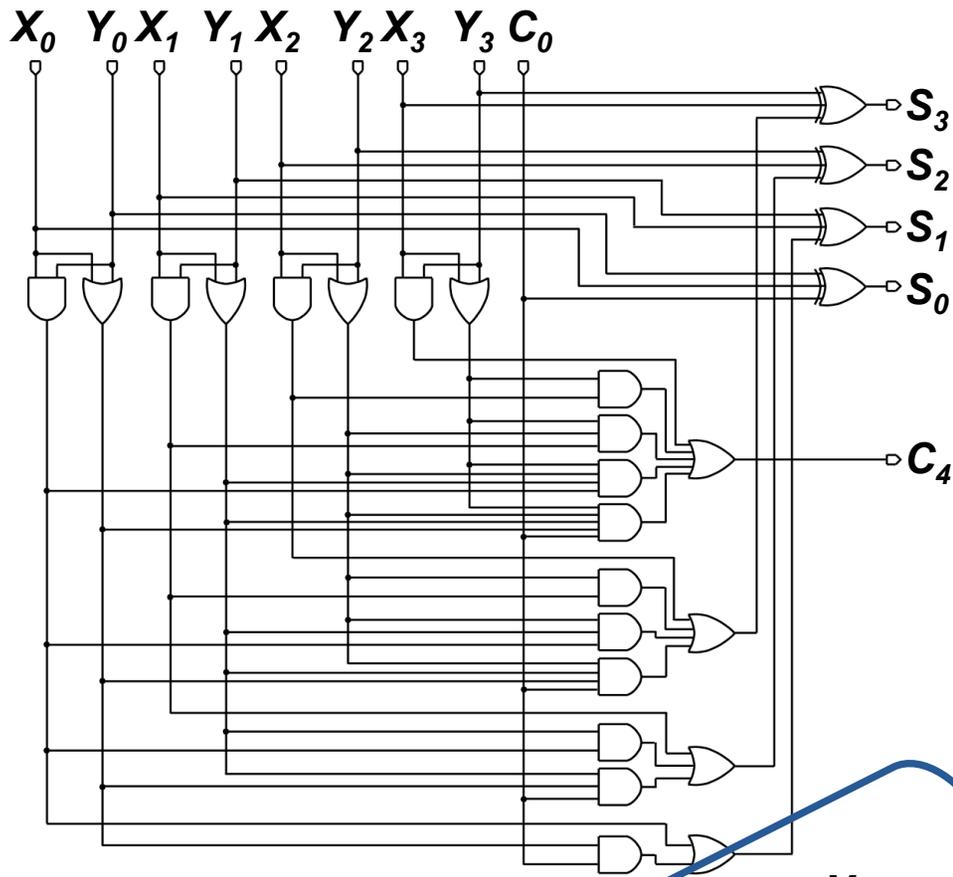
pMOSFET → “基板電位”

オン電流バラツキ補正回路③

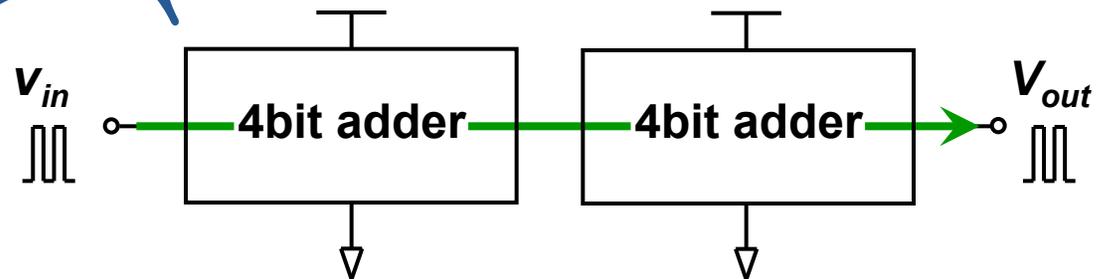


桁上げ先見型加算器

【4bit桁上げ先見加算器】



【8bit加算器】



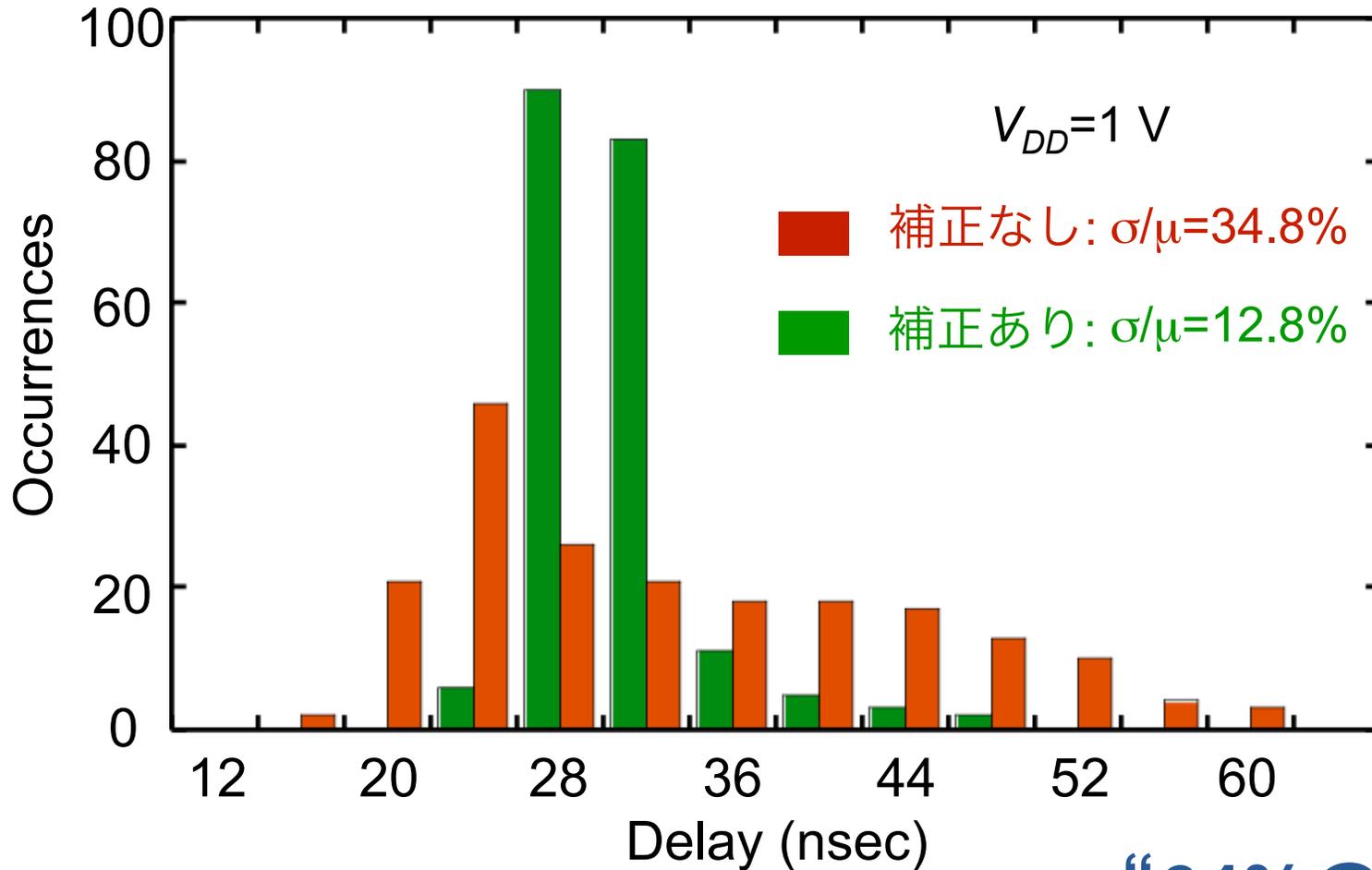
Critical pass : Delay

シミュレーション結果

Process : 0.35 μm 2P-4M CMOS

8bit桁上げ先見加算器の遅延時間バラツキ

WID&D2Dバラツキを考慮したモンテカルロシミュレーション(200回)



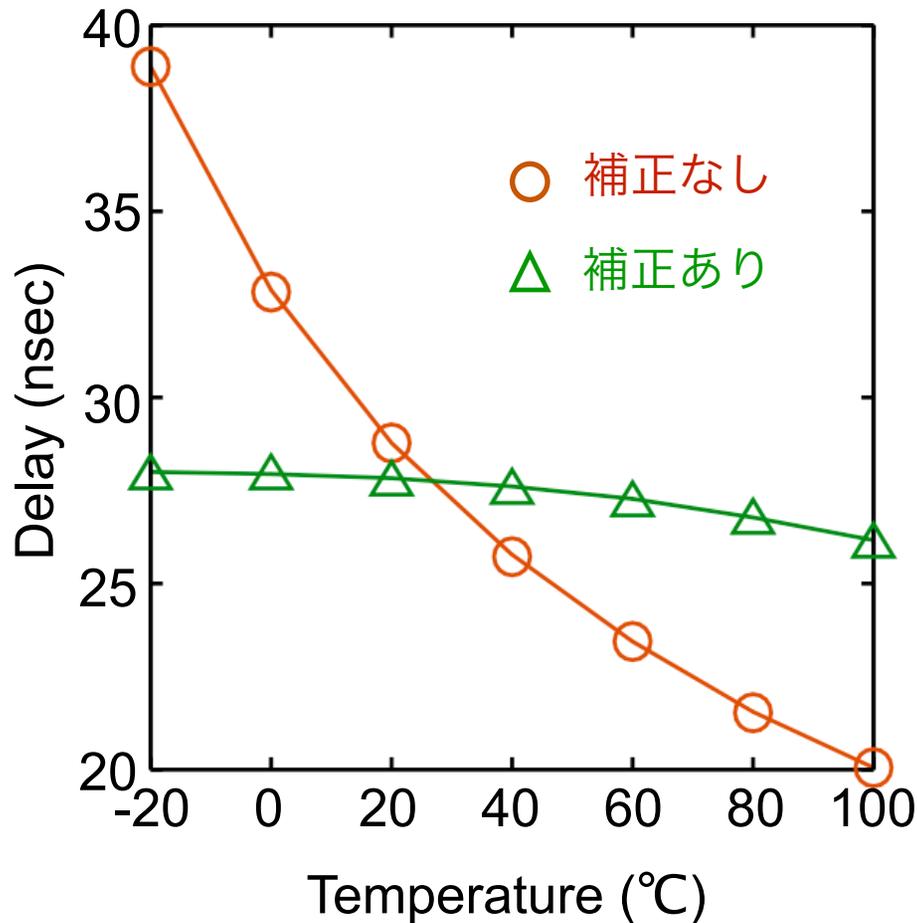
“64%の改善”

シミュレーション結果

Process : 0.35 μm 2P-4M CMOS

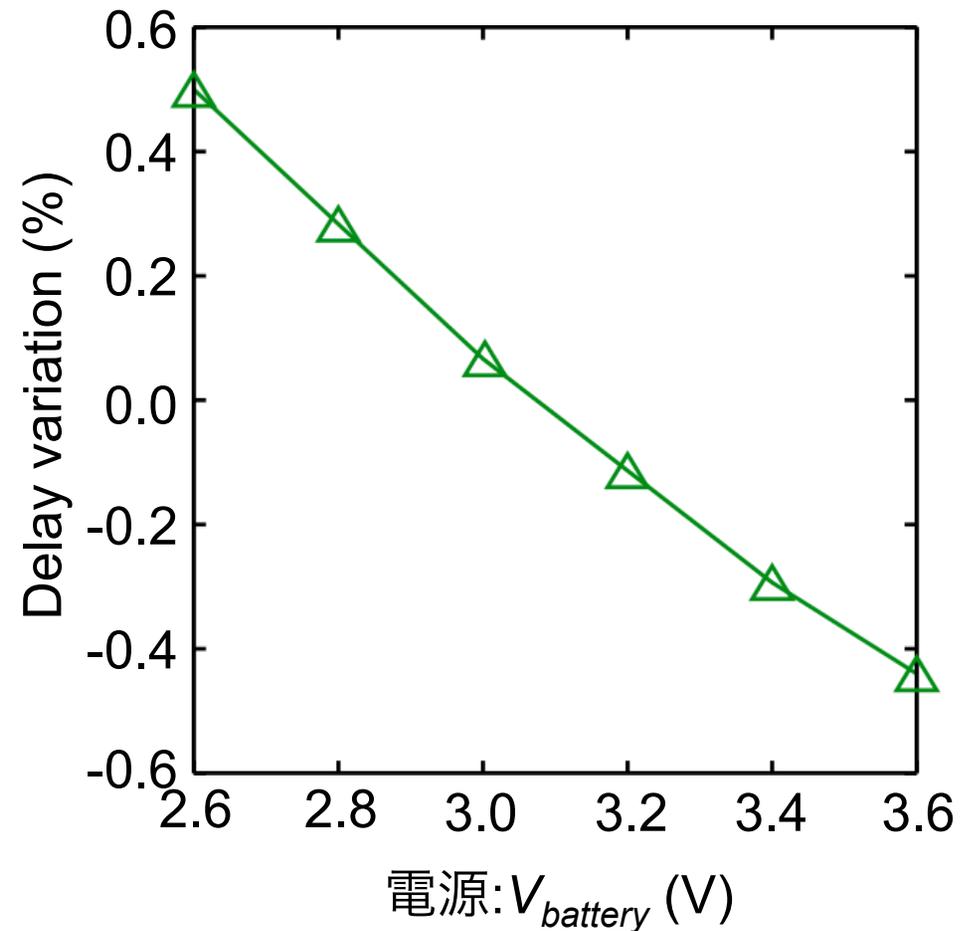
8bit桁上げ先見加算器の遅延時間バラツキ

・ 温度依存性



“0.055 %/°C”

・ 電源: $V_{battery}$ 依存性



“0.94 %/V”

まとめ

- 定電流源を用いたバラツキ補正回路を提案

プロセスバラツキ → 64 %改善

温度変化 → 0.055 %/°C

電源変動 → 0.94 %/V

今後……最先端プロセスへの応用