

省メモリ指向ステレオマッチングアルゴリズムのLSIアーキテクチャ

北海道大学 大学院情報科学研究科*, 慶應義塾大学 理工学部 電子工学科†

松山 健人*, 真田 祐樹*, 大畑 克樹†, 大平 貴徳*, 築田 聡史*, 五十嵐 正樹*, 池辺 将之*, 浅井 哲也*, 本村 真人(研究代表者)*, 黒田 忠広†

STARCシンポジウム2014

研究背景

～「見る」ための3Dから「使う」ための3Dへ～

見る: 3Dテレビ, 3DS

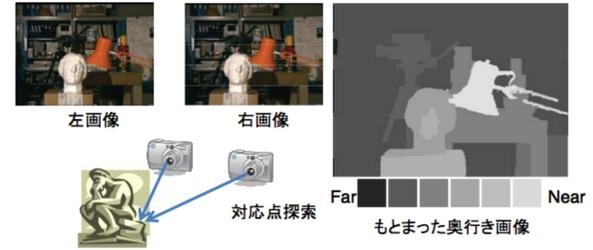
処理: Kinect, Light Field Camera



処理内容: 背景置換, AR, 物体認識補助, リフォーカス
→ これらを実現する技術の一つが「ステレオマッチング」

ステレオマッチングとは?

※ステレオ画像から深度を推定する技術



使用するハードウェア、アルゴリズムにより、精度、速度等は大きく変化
→ 傾向としては精度・速度が両立せず

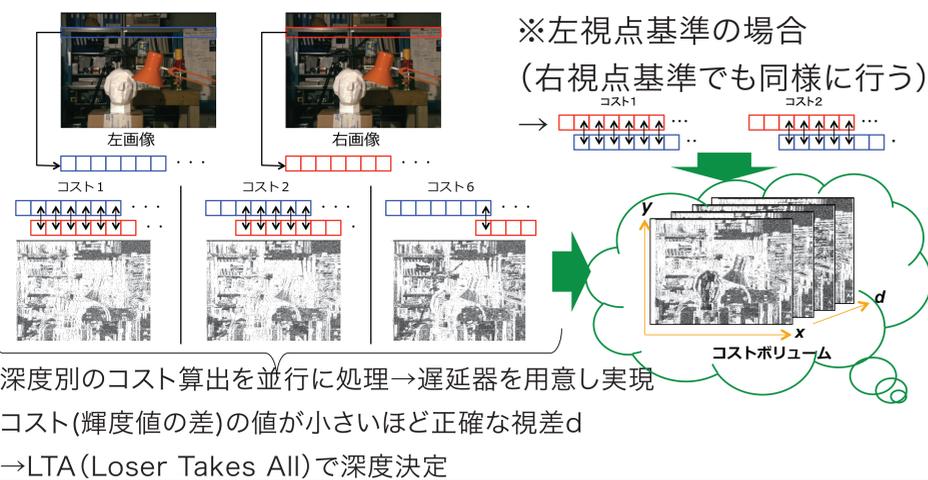
研究目的



• 速度を上げるため、いろいろなHW実装が行われてきた
→ しかし、効率的な処理をするには膨大なメモリを必要とする
→ メモリを減らすため、HWとSWを組み合わせたアーキテクチャの提案

- HW処理を1次元化し、メモリ量を削減
- SW処理により、2次元処理で補正を行う

並列型ステレオマッチングアーキテクチャ



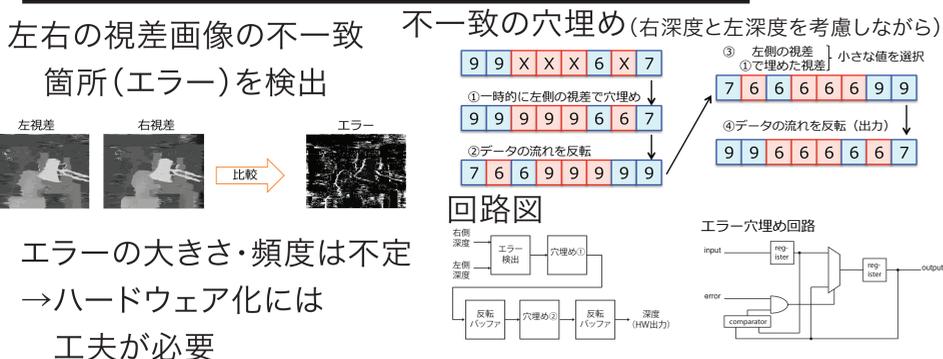
コスト補正部(Guided Filter)の1次元化

精度を上げるため、エッジのみ保持しつつコスト画像を補正したい ⇒ Guided Filterの採用
→ しかし、メモリを大量を必要とする

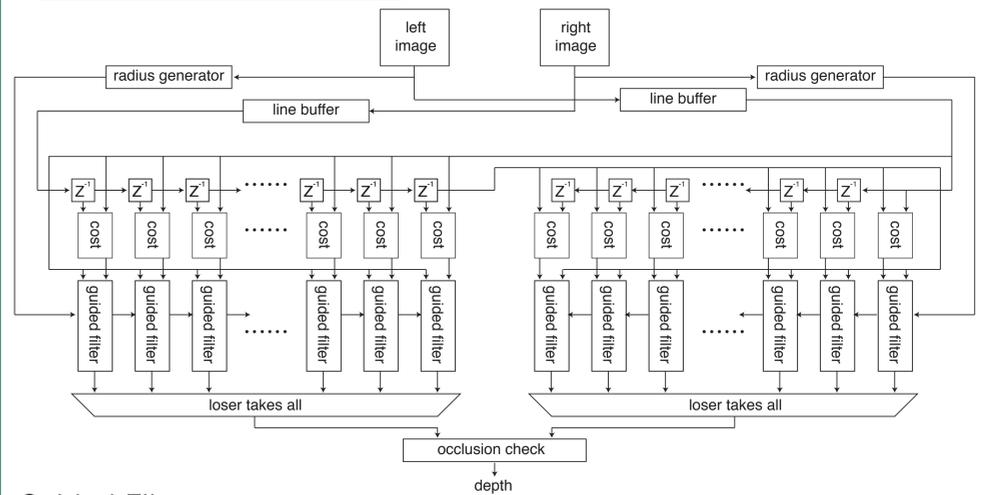


- 1次元処理を採用
→ 100行分以上のラインバッファを削減/行ごとにフィルタ半径設定可能
- グレイスケールを採用 ⇒ さらなるメモリの節約
→ 並列型ステレオマッチングが実現可能に

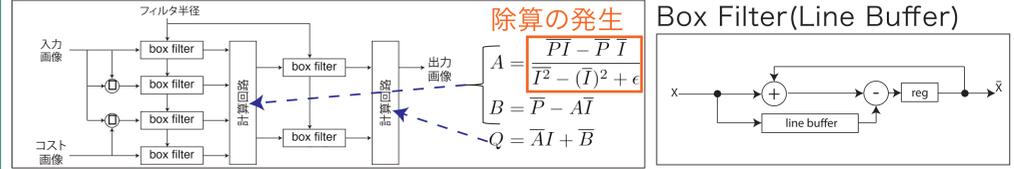
オクルージョン(左右の整合性)チェック



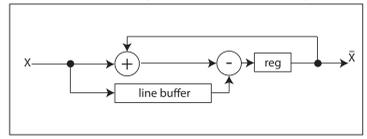
全体回路図(まとめ)



Guided Filter

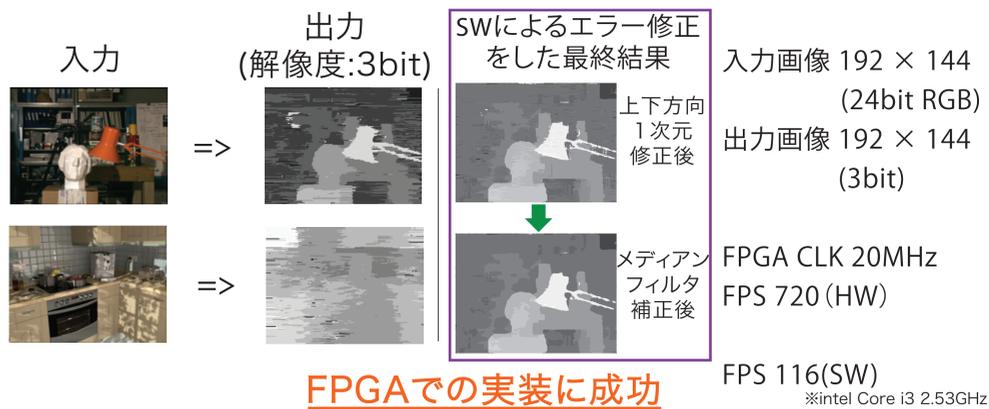


Box Filter(Line Buffer)



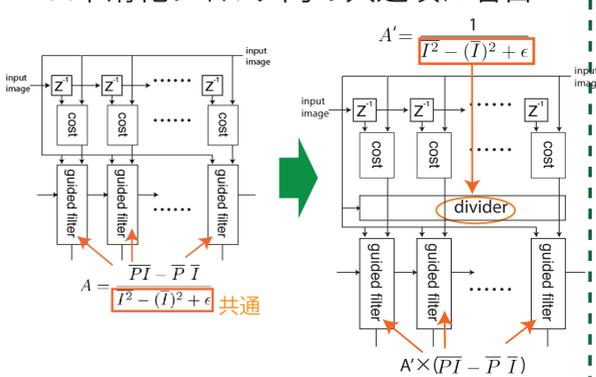
FPGA実装結果

FPGA: Startix II(ALTERA)
ボード: PowerMedusa MU200SX II(MMS)
論理合成ツール: Quartus II(ALTERA)



LSI試作に向けた省面積化の取組み

1. 平滑化フィルタ内の共通項に着目



2. ラインバッファに外付けSRAMを検討

	必要ラインバッファメモリ数(Byte)
RG	402
cost	12
GF	1,041
LTA	N/A
OC	535
計	1,990 (670x300um ²)

各フィルタの共通項をあらかじめ計算
→ 除算器を削減

メモリ部分の削減が上記のように見積もられる